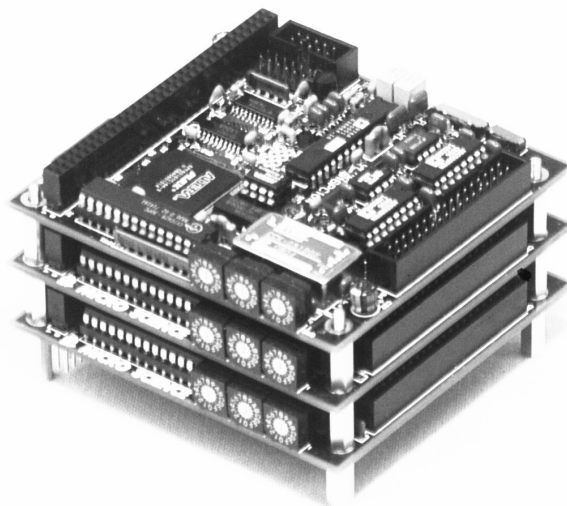


Real Solution for FA/LA



32bit / FIFOメモリ付
自動サンプリング汎用デジタル出力
MDO - 212PC104

取扱い説明書

PC104
ISA互換バス

マイクロサイエンス（株）

〒167-0042 東京都杉並区西荻北2丁目37番12号

TEL 03(3396)8362 代表

FAX 03(3301)5593

Email: welcome@microscience.co.jp

Mar 01, 2002

目 次

使用・適用上の注意	3
修理・サポート方法	4
本製品の構成・価格表	4

第1章．導入

1-1. 本製品の仕様・概要	5
1-2. ボード上の設定	6
1-3. I/Oベースアドレスの設定	7
1-4. 入出力コネクタ・ピン接続	8

第2章．信号入出力

2-1. データ入出力制御構造	11
2-2. 入出力信号の定義	12
2-3. デジタル入出力回路	12

第3章．制御・操作

3- 1. サンプリング動作・トリガ動作の様子	13
3- 2. F I F Oバッファメモリの動作	17
3- 3. 制御レジスタI/Oアドレス・マップ	18
3- 4. ボード・リセット（初期化）、認識	19
3- 5. 出力モード、サンプリング・データ幅の設定	20
3- 6. クロック源の選択	21
3- 7. (クロック源)分周比の設定	21
3- 8. 連続サンプリング回数カウンタの読み書き	22
3- 9. トリガモードの設定	24
3-10. 割り込み制御	26
3-11. サンプリング・スタート/ストップ	28
3-12. ステータスの取得・クリア	29
3-13. データの書き込み	32
3-14. マスタスレーブ動作（複数ボードの同期運転）	34
3-15. 補助デジタル入出力	36

第4章．保守・その他

4-1. 故障・トラブル等の原因と対処	37
4-2. 修理のときは	38
付録． Q & A フォーム（質問／トラブル・故障に対する相談用）	40

本製品の使用・適用についての注意

- 【1】 本製品はP C / 1 0 4 バス（8ビット）に装着して使用するものですが、コネクタの電流容量は3 A仕様の部品を使用することにより+ 5 v電源ピン（計2本）の供給能力が標準規格の（1 A仕様× 2ピン）より大きくなっています。
但し、標準規格に忠実な他社製品と組み合わせて使用するときは低能力側の仕様を採用しなければならない場合もありますので御注意ください。
- 【2】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システムの設計・制作に別途付加・反映させてください。 本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。 これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【3】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。 御利用の場合は同システムの設計・制作で配慮・付加・反映させてください。
- 【4】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【5】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第3者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。 但し、当社製ソフトウェアのソースコードを含むソフトウェアを第3者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【6】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

製品構成

本体ボード、
入出力プラグ・ヘッダ（各 1 個）、
専用スペーサ&ネジ（4 個）、
ソフトウェア（当社ホームページwww.microscience.co.jpからダウンロード）
プレーンな C サンプル、オープンソース C 関数セット、
オープンソース Linux ドライバ、
当社製 P C I、U S B 各インターフェース上でのサンプル。

価格表

製品名	当社直販価格	製品の概要
M D O - 2 1 2 P C 1 0 4 (オプション) 取扱説明書	¥ 3 1, 0 0 0 1, 0 0 0	3 2 ビット自動サンプリング汎用デジタル出力ボード<標準 2 K B / F I F O > 印刷された取扱説明書

- 《 言語 》 英文を御希望の場合は“英文取扱説明書”と御指定ください。（本製品は当社・日本製です。）
なお両版共、P D F ファイルは無償配布の C D R O M に格納されているほか、
当社ホームページからダウンロードもできます。/ 新製品はダウンロードのみ /
www.microscience.co.jp
- 《 メモリ増設 》 該当容量の F I F O メモリ素子に交換して出荷します。（標準搭載容量：2 K B 分）
本体製品型名の末尾に F I F O メモリ容量を示す枝番を付してください。
- 選択枝番： - 1 6 K B（1 6 K バイト分 / ¥ 1 0, 0 0 0 加算）
- 2 M B（2 M バイト分 / ¥ 2 2, 0 0 0 加算）【注】
- 1 6 M B（1 6 M バイト分 / ¥ 2 7, 0 0 0 加算）
- 【注】1 M 語 F I F O モジュールに限り最高読み書き速度 = 2 M B / 秒のため、
本機に適用した場合、最高動作速度が同速度に制限されます。

故障・修理・サポート方法について

- 【1】 納入後 1 年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品
に対して無償修理を行います。但し、故障・不具合の原因や無償修理の対象となるか否
かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【2】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰
する故障品に対しては実費にて修理をお請けします。
- 【3】 修理は宅配便によるセンドバックで行います。なお、運賃は互いに発送する側が負担
するものとします。（無償修理の場合も含む / 着払い不可。）
- 【4】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社
宛に直接御相談・御用命ください。その際は、客観情報の整理・評価を行うために必ず
F A X 等でレポートを御送付ください。（解決速度が格段に上ります。）
本書末尾の《Q & A フォーム》が便利です。

第1章. 導 入

1-1. 本機の仕様・概要

本ボードは効率のよい高速ブロック I/O 転送命令も利用できる F I F O メモリを搭載しており、指定された条件（クック・トリガ・データ長）に従ってボード上で自動サンプリングを行う構造となっています。ソフト上では 条件設定 スタート（トリガ待ち） ステータス取得・評価 データ書き込みだけで、動作タイミング等の制御を必要としません。このような制御構造はリアルタイム / マルチタスクの F A ・ L A システムや W I N D O W S 環境に最適です。

連続サンプリング出力モード：
(クロック同期・FIFO出力)

ソフト指定で 8 / 16 / 24 / 32 ビット出力、
最高速度： 8 ビット出力のとき 4.00 MHz
16 ビット出力のとき 2.00 MHz
24 ビット出力のとき 1.33 MHz
32 ビット出力のとき 1.00 MHz

サンプリング点数を制限しない F I F O メモリ搭載。（標準 2 K B / 最大 1 6 M B 増設可能）
マルチ・クロック源：内部 2 0 M H z / 外部入力。（外部イベントに同期して出力可能）
マルチ・トリガ源：ソフト上の即トリガ / 外部入力。（外部イベントで動作スタート可能）
クロック入出力機能により複数ボードの同期運転可能（マスタスレーブ動作）。

割り込み (ジャンパ設定) : I R O 3 , 4 , 5 , 6 , 7 , 9 , N C

直接出力モードのときは：8ビット×4ポートを各単独に（ラッチ）出力。

I/Oアドレス : 上位12ビットをディップスイッチ設定(16ポート占有)

動作温度範囲 : 0 ~ + 55 (結露しないこと)

保存温度範圍 : - 1 0 ~ + 8 0 (" " ")

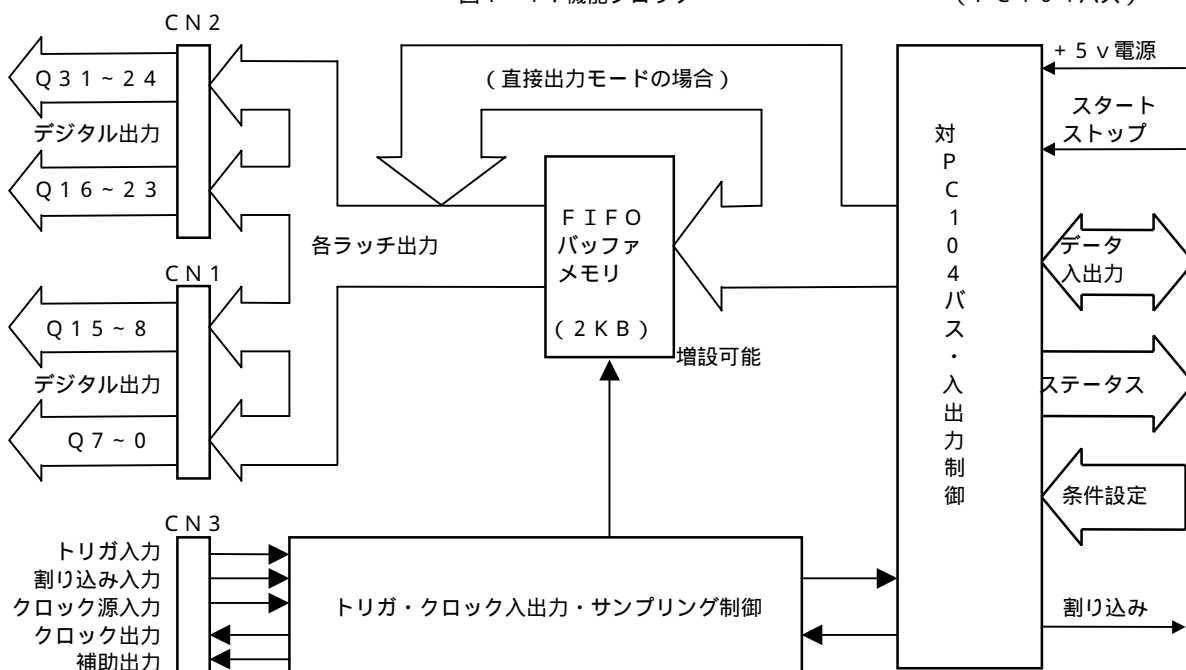
PC104バス駆動：74HCT245相当品使用により強化。

基板寸法 : 95.9 × 90.2 mm (突出部を含まず)

電源・消費電流 : + 5 v / 4 5 0 m A

図 1 - 1 . 機能ブロック

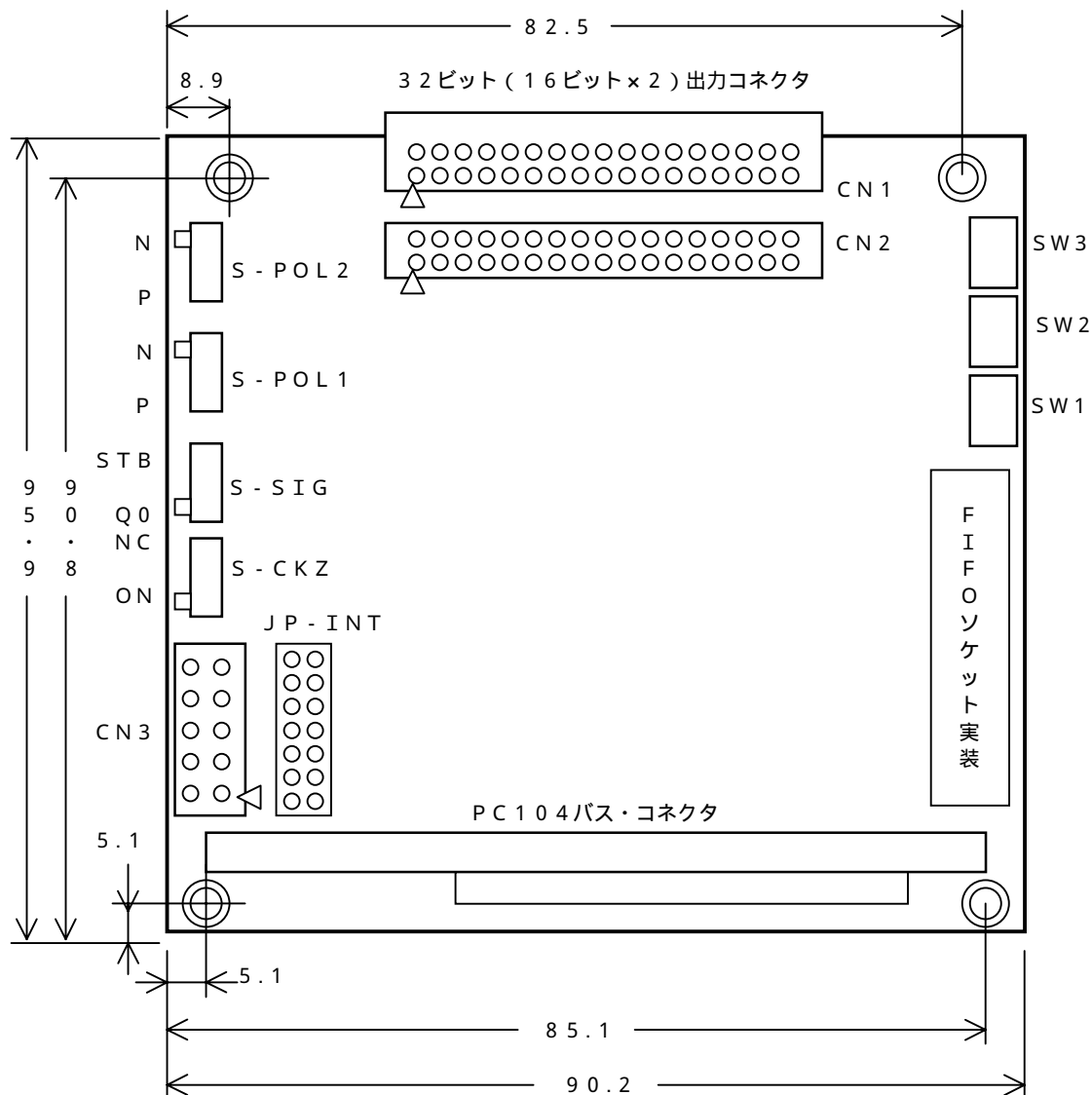
(PC104バス)



【注】 入出力：全てTTLレベル。

1-2. ボード上の設定

図1-2A. MDO - 212PC104 ボード上の部品配置



- S - P O L 2 : 並列デジタル出力極性選択【出荷時：N（負論理）】 / 3 - 13 項
 S - P O L 1 : 補助デジタル出力極性選択【出荷時：N（負論理）】 / 3 - 15 項
 S - S I G : 補助デジタル出力 or ストローブ選択【出荷時：Q 0】 / 3 - 1 項
 S W 1 ~ S W 3 : I / O ベースアドレス設定【出荷時：0 , 1 , B】 / 1 - 3 項
 J P - I N T : 割り込み番号選択【出荷時：N C（非接続）】 / 3 - 10 項
 S - C K Z : 外部クロック信号終端スイッチ【出荷時：O N】 / 3 - 14 項

 C N 1（横向）： デジタル出力コネクタ（40ピンFRC）Q15~Q0 / 1 - 4 項
 C N 2（上向）： デジタル出力コネクタ（40ピンFRC）Q31~Q16 / 1 - 4 項
 C N 3（上向）： 制御信号入出力コネクタ（10ピンFRC） / 1 - 4 項

1-3. I/Oベースアドレスの設定

本機の制御・操作は全てPC104バス上のハードウェアI/O空間に割り付けられます。

I/Oアドレス割り付けは使用するCPU、周辺デバイスの都合で決定・設定してください。

参考までにIBM PC/AT互換機ではパソコン本体デバイスおよび重要な周辺機器・拡張ボードの使用するI/Oアドレスが000h～3FFhにマッピングされています。I/Oアドレス線は16ビット（AB15～AB0）ですが、全んどのIBM PC/AT互換機ではAB9～AB0のみをデコード（AB15～10を無視）しているため上位のアドレス空間1KBごとにイメージが生じることに御留意下さい。本機の出荷時設定は01B、この場合は01B0～01BFのアドレスを占有します。他のボードや周辺機器と重複しない値を御使用ください。

図1-3. I/Oベースアドレスの設定



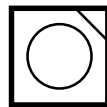
アドレス線	AB15 ~ AB12	AB11 ~ AB8	AB7 ~ AB4	AB3 ~ AB0
ディップ スイッチ SW1 ~ 3	SW1 	SW2 	SW3 	ボード内で 複数のアドレスを使用 / 3 - 3項参照 /
出荷時設定	0	1	B	(0 ~ F)

表1-3. IBM PC/AT互換機システムの(代表的な)I/Oアドレスマップ

I/Oアドレス(hex)	本体デバイス、主要周辺機器	本機で運用の可否	他社の使用例、等
000 ~ 01F	DMAコントローラ1	x 不可	
020 ~ 03F	割り込みコントローラ1	x 不可	
040 ~ 05F	タイマ	x 不可	
060 ~ 06F	キーボード・コントローラ	x 不可	
070 ~ 07F	リアルタイム・クロック、NMI	x 不可	某社の本体システムで使用
080 ~ 09F	DMAページレジスタ	x 不可	
0A0 ~ 0BF	NMIマスキレジスタ	x 不可	
0C0 ~ 0DF		x 不可	DMAコントローラ2
0E0 ~ 0FF		x 不可	NDP
100 ~ 16F		【推奨】	
170 ~ 17F	IDEコントローラ2	x 不可	
180 ~ 1EF		【推奨】	
1F0 ~ 1F7	IDEコントローラ1	x 不可	
200 ~ 20F	ゲームI/O	x 不可	
210 ~ 21F	拡張ユニット	x 不可	
220 ~ 26F		【可能】	
278 ~ 27F	プリンタ2	x 不可	
280 ~ 2AF		【可能】	
2B0 ~ 2DF	EGA	x 不可	
2E1	GPIB	x 不可	
2E2 ~ 2E3	データアキュイジョン	x 不可	
2F8 ~ 2FF	シリアルポート2	x 不可	
300 ~ 31F	プロトタイプ・ボード	【可能】	他社の標準設定と競合し易い
320 ~ 32F	HDDコントローラ	x 不可	
360 ~ 36F	PCネットワーク	x 不可	
378 ~ 37F	プリンタ1	x 不可	
380 ~ 38F	SDLC, バイシク2	x 不可	
390 ~ 393	クラスタ	x 不可	
3A0 ~ 3AF	バイシク1	x 不可	
3B0 ~ 3BF	モノクロディスプレイ、プリンタ	x 不可	
3C0 ~ 3CF	EGAディスプレイ・コントローラ	x 不可	
3D0 ~ 3DF	CGAディスプレイ・コントローラ	x 不可	
3F0 ~ 3F7	FDDコントローラ	x 不可	
3F8 ~ 3FF	シリアルポート1	x 不可	

1-4. 入出力コネクタ・ピン接続

デジタル出力には40ピンFRCコネクタ、また補助デジタル出力（1ビット）を含む制御信号入出力には10ピンFRCコネクタ（各々MIL標準規格2.54ピッチ）が使用されており、適合プラグ・ヘッダ（各々1個）が添付されています。

デジタル出力コネクタ

デジタル出力適合プラグ・ヘッダ型式 : HIF3BA-40DA-2.54R(11)
 基板側型式 CN1: HIF3FC-40PA-2.54DS
 (各ヒロセ製) CN2: HIF3FC-40PA-2.54DSA

図1-4A. MDO-212PC104のデジタル出力コネクタ（CN1 & CN2）ピン接続

機能	信号名（CN1）	信号名（CN2）	ピン番号	ピン番号	信号名（機能）
デジタル出力	ビットQ0	ビットQ16	1	2	DG（デジタル・グランド）
" "	ビットQ1	ビットQ17	3	4	DG（" "）
" "	ビットQ2	ビットQ18	5	6	DG（" "）
" "	ビットQ3	ビットQ19	7	8	DG（" "）
" "	ビットQ4	ビットQ20	9	10	DG（" "）
" "	ビットQ5	ビットQ21	11	12	DG（" "）
" "	ビットQ6	ビットQ22	13	14	DG（" "）
" "	ビットQ7	ビットQ23	15	16	DG（" "）
" "	ビットQ8	ビットQ24	17	18	DG（" "）
" "	ビットQ9	ビットQ25	19	20	DG（" "）
" "	ビットQ10	ビットQ26	21	22	DG（" "）
" "	ビットQ11	ビットQ27	23	24	DG（" "）
" "	ビットQ12	ビットQ28	25	26	DG（" "）
" "	ビットQ13	ビットQ29	27	28	DG（" "）
" "	ビットQ14	ビットQ30	29	30	DG（" "）
" "	ビットQ15	ビットQ31	31	32	DG（" "）
空ピン			33	34	空ピン
空ピン			35	36	空ピン
空ピン			37	38	空ピン
空ピン			39	40	空ピン

【注1】各出力はTTLレベルです。（出力素子：74LS244）

【注2】本図のピン配置は部品面を上から見たものです。

制御信号入出力コネクタ

制御信号入出力適合プラグ・ヘッダ型式 : HIF3BA-10DA-2.54R(11)
 基板側型式 : HIF3FC-10PA-2.54DSA
 (各ヒロセ製)

図1-4B. MDO-212PC104の制御信号入出力コネクタ(CN3)ピン接続

信号名	(機能)	ピン番号	ピン番号	信号名	(機能)
INT-IN	外部割り込み入力	1	2	DG	(デジタル・グランド)
TRG-IN	外部トリガ入力	3	4	DG	(" ")
CLK-IN	外部クロック源入力	5	6	DG	(" ")
CLK-OUT	クロック出力	7	8	DG	(" ")
GPQ-OUT 【注3】	補助デジタル出力	9	10	DG	(" ")

【注1】各信号はTTLレベルです。(入力:各10K プルアップ、入出力素子:74HCT244)

【注2】本図のピン配置は部品面を上から見たものです。

【注3】スイッチ“S-SIG”が<Q0側>のとき補助デジタル出力GPQ-OUTです。/3-15項参照/
 <STB側>のときストローブ出力STB-OUTです。/3-1項参照/

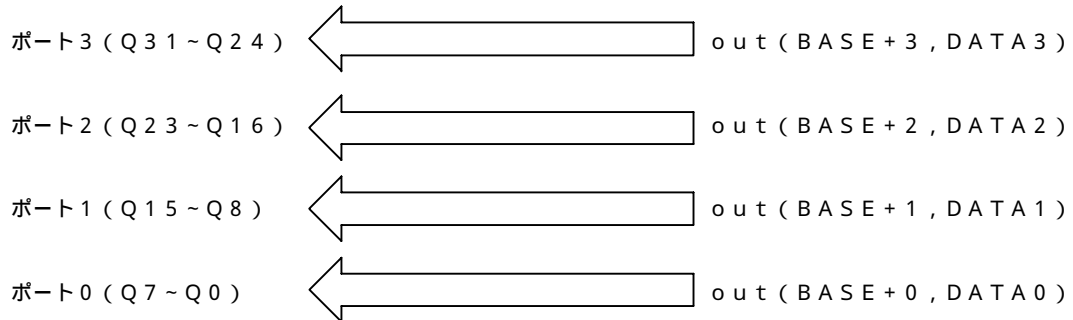
第2章. 信号入出力

2-1. データ入出力構造

本機には2種類の出力動作モードがあります。(ソフト指定)

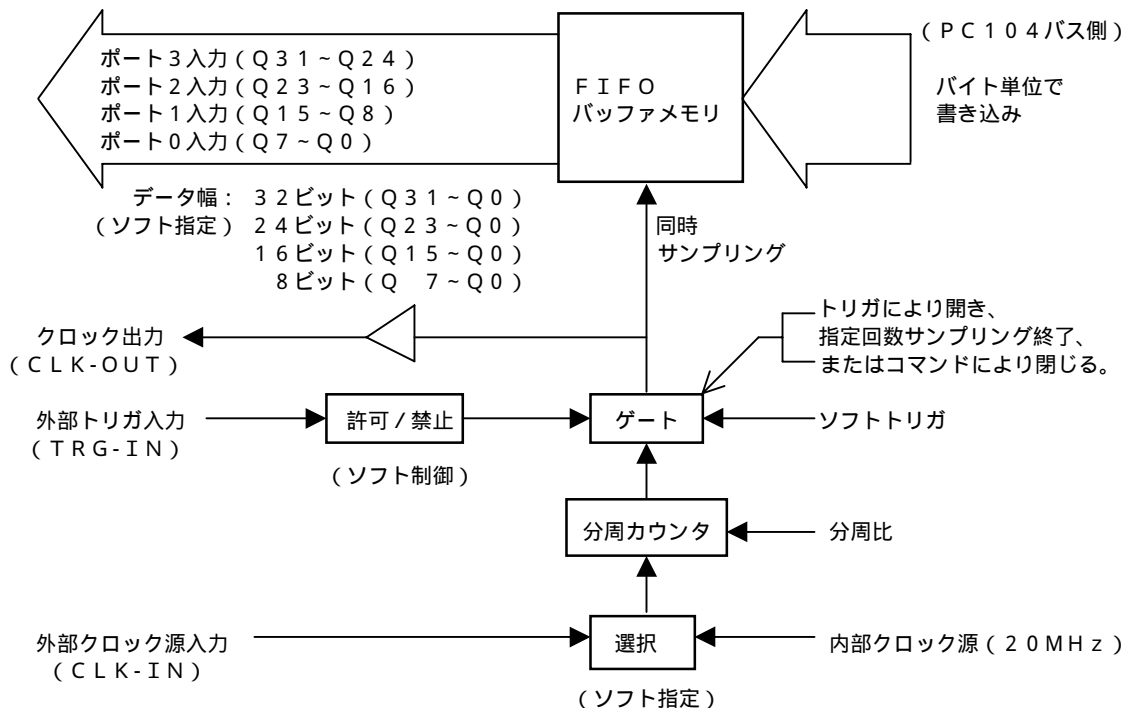
直接出力モードではFIFOバッファは使用されず、各8ビット×4ポートをOUT命令で各単独に書き込み(ラッチ)出力することができます。

図2-1A. 直接出力動作



連続サンプリング出力モードのときはトリガにより指定サンプリングクロックがスタート、当クロックに同期して出力データがFIFOバッファメモリから読み出されます。トリガはプログラム上任意のプロセスから実行するソフトトリガ(即スタート)、または外部トリガ入力エッジです。クロックは内部20MHz、または外部クロック源入力を32ビットのバイナリカウンタで分周して得ます。外部クロック源で分周比=1としたときは外部イベント(ストロブ)信号に1対1で同期した出力動作となり、外部計測器などからのデータ更新要求応答などに好適です。

図2-1B. 連続サンプリング出力動作



2 - 2 . 入出力信号の定義

図 2 - 2 .

信号名	記号	動作・適用
デジタル出力	Q31 ~ Q24	ポート 3 出力 (ソフト指定で連続サンプリングの対象になる)
" "	Q23 ~ Q16	ポート 2 出力 (" " " " " " ")
" "	Q15 ~ Q 8	ポート 1 出力 (" " " " " " ")
" "	Q 7 ~ Q 0	ポート 0 出力 (" " " " " " ")
デジタルグランド	D G	P C 1 0 4 バス側 + 5 v 電源のリターン
外部割り込み入力	INT-IN	汎用の外部割り込み入力 (ソフトで要因に設定可能) 【注 1】
外部トリガ入力	TRG-IN	外部からの連続サンプリングスタート (ソフト指定) 【注 1】
外部クロック源入力	CLK-IN	外部からのクロック源入力 【注 1】
クロック出力	CLK-OUT	各回サンプリングの実行タイミング出力
補助デジタル出力	GPQ-OUT	任意に使用可能な汎用 1 ビット T T L デジタル出力 【注 2】

【注 1】 外部クロック源入力、外部トリガ入力、外部割り込み入力をソフト上で積極的に利用しない場合は補助デジタル入力として使用することもできます。

これら外部制御入力には全て 7 4 H C T 2 4 4 (C M O S 素子) です。

【注 2】 ボード上のスイッチ S - S I G を《Q 0》側に設定すると補助デジタル出力、また《S T B》側に設定するとストローブ出力となります。 / 3 - 1 5 項、3 - 1 項 /

2 - 3 . デジタル入出力回路

全ての入力は T T L レベル・1 0 K でプルアップされています。

また並列デジタル入力、クロック出力、補助 1 ビット・デジタル出力も T T L レベルです。

なお電源投入直後の補助デジタル出力は“ 0 ”となりますがリセット操作 (3 - 4 項) では変化しません。 また並列デジタル出力、補助デジタル出力、共にボード上のスイッチで出力論理を選択することができます。

図 2 - 3 A . 全てのデジタル入力

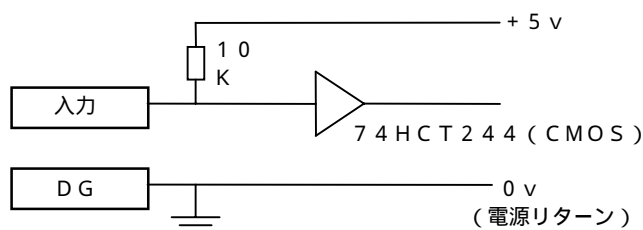
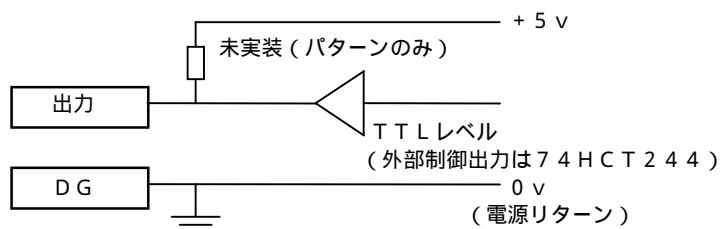


図 2 - 3 B . 全てのデジタル出力



【注】 補助デジタル出力の論理はボード上のスイッチ S - P O L 1 により任意に設定することができます。

出荷時は《N》側に設定 = “負論理” で、電源投入・ハードウェアリセット直後の状態は H i g h レベル (出力 = 0) です。

なお《P》側 = “正論理” モードでは (回路の性格から) 電源投入・ハードウェアリセット時に約 1 0 0 m s の H i g h レベル期間が発生するので御注意ください。

第3章. 制御・操作

基本操作

本機の運転・操作は各機能が割付け設定された制御レジスタ（I/Oポート）に対する入出力命令により行います。 3-1項～3-3項で制御構造・手順を、また、3-4項以下で各制御レジスタの定義を理解してください。

3-1. サンプリング動作・トリガ動作の様子

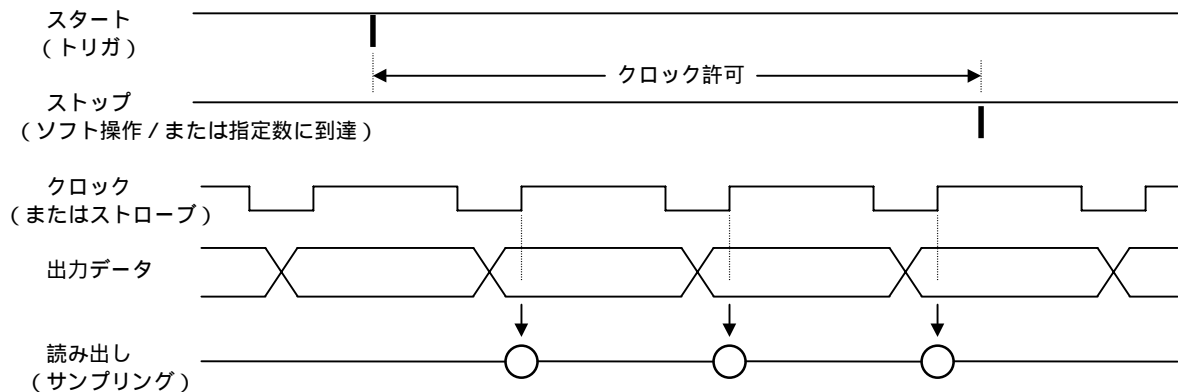
本機には 連続サンプリング・サイクル出力動作、 連続サンプリング非サイクル出力動作、直接出力動作の3モードがあります。

連続サンプリング・サイクル出力モードでは、あらかじめ1周期分の出力データ群をFIFOバッファに書き込んでおきます。 サンプリングがスタートするとFIFOバッファ内のデータ列が指定クロックに同期して（指定回数、または停止操作まで）繰り返し・循環出力されます。

非サイクル出力モードでは、あらかじめ最初の出力データ群をFIFOバッファに書き込んでおき、サンプリングがスタートした後のCPU側からはFIFOの充満状態を示すフラグを参照しながら空出力動作とならないうちに追加データを補給します。【3-2項参照】

FIFOメモリの充満状態を示すフラグは、割り込み要求発生に使用することもできます。

図3-1A. 連続サンプリングFIFOバッファ出力動作例

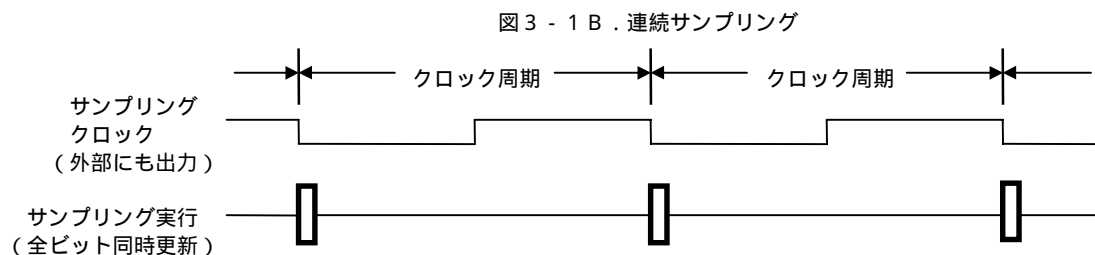


スタート： ソフトトリガ（即スタート）、または外部トリガ入力の指定エッジにより指定クロック（例えば外部TTLクロック入力の指定エッジ）が有効となります。

読み出し： 指定ビット幅（TTL出力）データは、指定クロックの指定エッジに同期してFIFOバッファメモリから読み出されます。この動作は指定回数に達するか、ソフト上の停止操作まで続きます。

書き込み： CPU側からはFIFOメモリの充満状態フラグを監視しながら、FIFOが空にならないうちに追加データを書き込みます。FIFOメモリの入出力動作は非同期、すなわち互いにタイミングを気使う必要がありません。（同時も可能）
またデータは古い順に出口側に詰めて位置しており、読み出された分だけ入口側に空領域が増えるので実質的にデータ数の制限はありません。

連続サンプリング動作： 指定したビット幅のデータを指定したトリガ、クロックでFIFOメモリから転送・**同時更新**出力するものです。(図3-2)

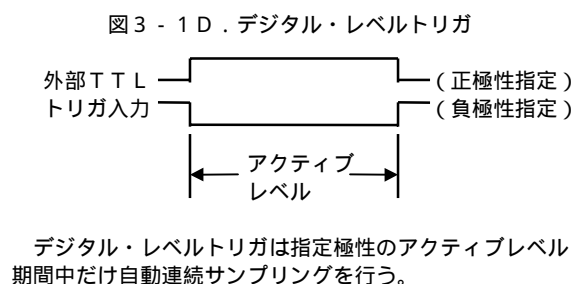
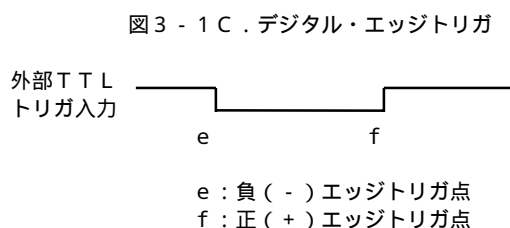


- | 操作手順 | |
|-------------|--|
| (1) 制御部リセット | 【3-4項】：制御部リセット |
| (2) 動作条件設定 | 【3-5項】：使用出力データ幅指定
【3-6項】：クロック源指定(内部/外部)
【3-7項】：クロック源分周比(クロック値)の設定
【3-8項】：連続サンプリング回数設定
【3-9項】：トリガモードの設定
【3-10項】：割り込み要求発生要因の設定<利用は任意> |
| (3) 動作開始 | 【3-11項】：スタート操作 |
| (4) ステータス検査 | 【3-12項】：ステータスの読み込み/評価 |
| (5) データ補給 | 【3-13項】：追加データを(FIFOに)書き込む |

最高サンプリング速度はデータ幅：

- 8ビットのとき4.00MHz
- 16ビットのとき2.00MHz
- 24ビットのとき1.33MHz
- 32ビットのとき1.00MHz

トリガ機能： 本機のトリガは連続サンプリングを開始させるものです。【3-9項参照】
ソフトトリガはプログラム上・任意のプロセスで実行できる即トリガ(即スタート)機能。
外部トリガは外部TTL入力信号の指定エッジ、または指定アクティブ期間で機能します。

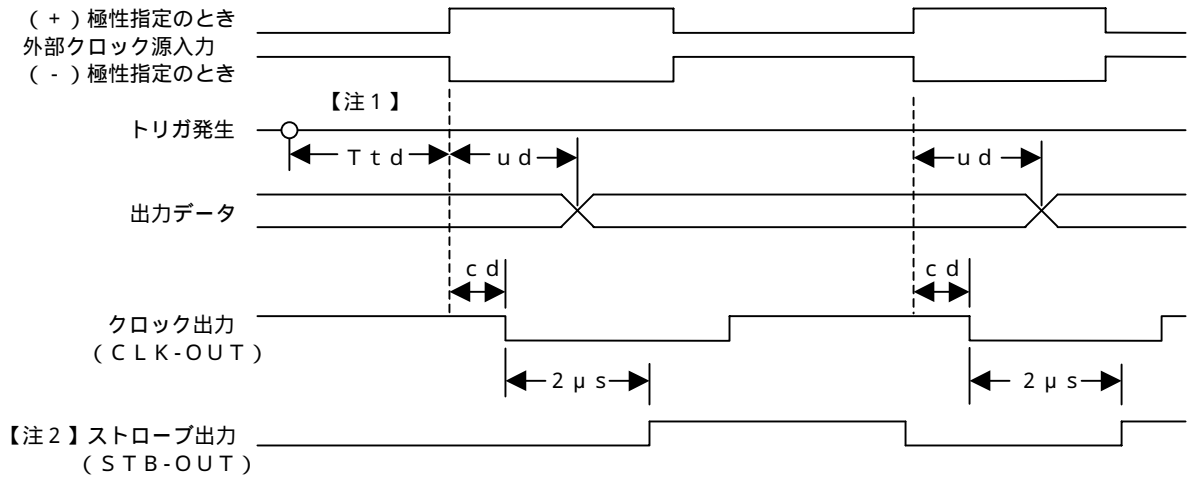


トリガ動作遅れ： 本ボード上で自動的に行われるトリガ検出から連続サンプリング開始までの遅れ時間は最大100nsです。

内部クロックによる出力タイミング = トリガ検出直後 100 ns 以内に最初のサンプリングが実行され、以後は指定周期で実行される。

外部クロック（非分周）による出力タイミング = 外部イベントに 1 対 1 で同期した出力。

図 3 - 1 E .



$u d$ = (外部クロック ~ 出力データ更新遅れ時間)
 $= 1050\text{ ns}$ (32ビット出力)、 800 ns (24ビット出力)、
 550 ns (16ビット出力)、 300 ns (8ビット出力)。

$c d$ = 最大 100 ns (クロック源入力 ~ クロック出力遅れ時間)

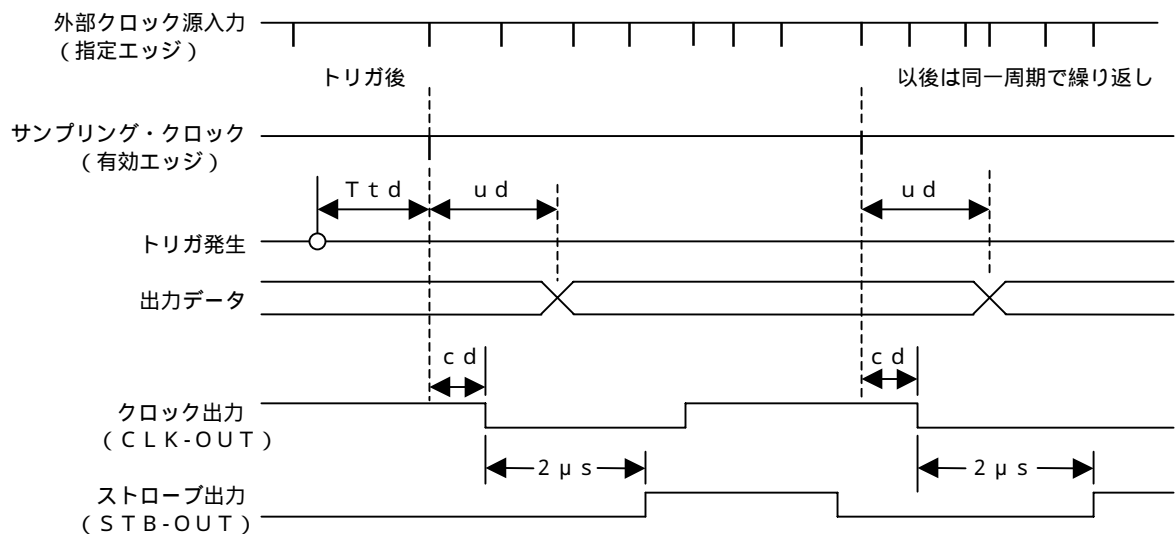
$T t d$ = 最小 100 ns (トリガ・セットアップ期間)

【注1】 $T s d$ は最初のサンプリングに限り必要。

【注2】STB-OUTはCLK-OUTを反転して $2\text{ }\mu\text{s}$ だけ遅らせた信号。
 (ボード上のスイッチ S - SIGで補助出力 Q0と択一切り替え使用)
 なお、 500 KHz 以上は利用不可。

外部クロック（任意分周）による出力タイミング

図 3 - 1 F . (1 / 7 分周の例)



$u d$, $c d$, $T t d$, 【注1】【注2】は図 3 - 1 E 同様。

クロック出力のデューティは約 $1/2$ (奇数分周のときは前半 = 負側が 1 周期分だけ短くなる)

3-2.FIFOバッファメモリの構造・動作

データ転送（CPU FIFO）

連続サンプリング動作モードでは、あらかじめFIFOメモリに書き込まれたデータは出力側からの（指定クロックによる）読み出しを待っています。 サイクル出力動作の場合は1周期分のデータを書き込んでおけばスタート以後は（指定回数、または停止操作まで）繰り返し・循環出力動作となりますが、非サイクル出力動作の場合はサンプリングがスタートした後のCPU側からFIFOの充満状態を示すフラグを参照しながら空出力動作とならないうちに追加データを補給します。

ポーリング： 【Not-FULL】フラグを監視して各データをOUT命令で1語ずつ書き込む方法、【Not Half-Full】フラグを監視して一群のデータをFIFOメモリ容量の半分単位で書き込むブロックI/O転送も可能。

割り込み： 【Not-Full】【Not Half-Full】【1回サンプリング・スキャン終了】【トリガ発生】【外部割り込み】等から選択した要因による割り込みでポーリングと同様のデータ転送を実行する。

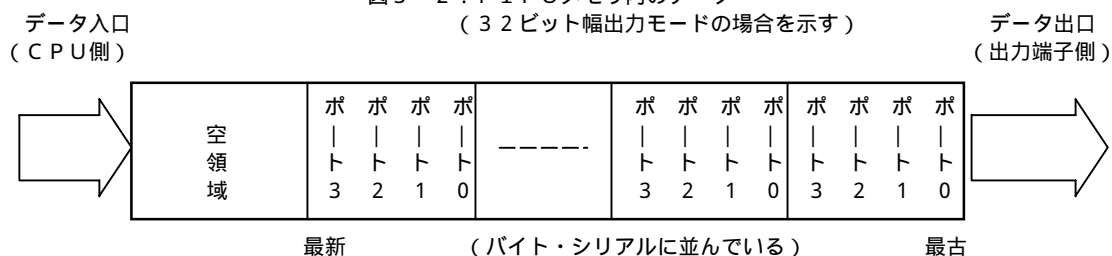
FIFOメモリの動作

FIFO（first in first out）メモリは図3-2に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっている。

読み書きは非同期で同時も可能。 すなわちデータの書き込み（入口）と読み出し（出口）は互いに相手側のタイミングに配慮する必要がない。

FIFOメモリ内部は出口から読み出された分だけ入口側に空領域が増えるので、空となる前にデータを補給する動作であればサンプリング点数を制限しない。 なお空の時に読み出されようとすると【ERR：エラー】フラグがセット（=1）され、出力端は直前のデータを保持する。

図3-2.FIFOメモリ内のデータ



上図は（クロックによる）連続サンプリング、32ビット幅出力モードの場合で、各回サンプリング分のデータは最下位バイト（ポート0）から順に4バイトが連続して並んでいる。 24ビット幅/16ビット幅/8ビット幅の各モードの場合は3バイト/2バイト/1バイトだけの並びになる。

表3-2.FIFOメモリ関連のステータス・フラグ

フラグ名	フラグの意味	（標準2KBのとき）
Not-FULL	空エリア有。	（格納バイト数 2047）
Not-HALF-FULL	[容量の半分]以下。	（格納バイト数 1024）
Data Lost	データロスト・エラー発生。	データ補給が遅いため空出力動作した。

【注】 オプションの1M語、または8M語FIFOモジュールの“Not-HALF-FULL”フラグはモジュール上のスイッチ設定で充満データが1KB、2KB、4KB、8KB、16KB、32KB、64KB、128KBに達しているか否かを示すものです。

3-3. 制御レジスタ I/O アドレス・マップ

表 3 - 3 に本ボード上の各制御レジスタ I/O アドレスを記します。

表中の【BASE】はボード上のスイッチで設定される I/O ベースアドレス値です。【1-3 項】

表 3 - 3 . 制御レジスタ I/O アドレス

I/O アドレス	IN/OUT	ポート / レジスタ名・機能	記載項
【BASE】+ F	IN	ボード制御部リセット	【3-4】
	OUT		未使用
【BASE】+ E	IN	外部制御入力信号モニタ / (補助入力に転用可能)	【3-15】
	OUT	補助デジタル (ラッチ) 出力	
【BASE】+ D	IN	追加ステータス取得	【3-12】
	OUT	追加ステータス・クリア	
【BASE】+ C	IN	基本ステータス取得	
	OUT	基本ステータス・クリア	
【BASE】+ B	IN	(直接出力モードでの) 同期出力操作	【3-13】
	OUT	連続サンプリング・スタート / ストップ制御	【3-11】
【BASE】+ A	IN		未使用
	OUT	割り込み制御 (要因設定)	【3-10】
【BASE】+ 9	IN		未使用
	OUT	トリガモード設定	【3-9】
【BASE】+ 8	IN	連続サンプリング回数カウンタ読み出し	【3-8】
	OUT	連続サンプリング回数カウンタ書き込み	
【BASE】+ 7	IN		未使用
	OUT	(クロック源) 分周比設定	【3-7】
【BASE】+ 6	IN		未使用
	OUT	クロック源選択	【3-6】
【BASE】+ 5	IN		未使用
	OUT		未使用
【BASE】+ 4	IN		未使用
	OUT	出力モード、連続サンプリング出力データ幅設定	【3-5】
【BASE】+ 3	IN		未使用
	OUT	// 直接出力ポート 3	【3-13】
【BASE】+ 2	IN		未使用
	OUT	// 直接出力ポート 2	【3-13】
【BASE】+ 1	IN		未使用
	OUT	// 直接出力ポート 1	【3-13】
【BASE】+ 0	IN		未使用
	OUT	FIFO へのデータ書き込み // 直接出力ポート 0	【3-13】

【読み (IN) / 書き (OUT)】は CPU 側から見た方向。

全てのポートは 1 バイト。

制御操作の詳細

以下【3-4 項】～【3-15 項】に各制御レジスタの詳細を記します。
各ポートアドレス値は表 3-3 を御参照ください。

3-4 . ボード・リセット、認識

```
r s t = i n p ( B A S E + 0 x F ) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ (r s t) は本ボードの I D です。 当操作は電源 O N、またはハードウェアリセットと同等の機能ですが、補助デジタル (ラッチ) 出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

サンプリング中であれば、これを中止する。

F I F O メモリをクリアする。(格納されていた出力待ちデータは失われる)

なお、 クロック源 / 分周比の指定は無効となる。(要再設定)

補助デジタル (ラッチ) 出力は変化せずに保持される。

表 3 - 4 . 【BASE + F H】入力ポートの構成

ビット	各ビットの機能・意味
B 7	M D O - 2 1 2 P C 1 0 4 の ボード I D = 1 B H
B 6	
B 5	
B 4	
B 3	
B 2	
B 1	
B 0	

3-5 . 出力モード、連続サンプリング・データ幅の設定

o u t p (BASE + 0x4 , M O D E) ; /* 出力モード、サンプリング・データ幅の指定 */

表 3 - 5 A . 【BASE + 4 H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7 B 6	未使用			0 0
B 5	直接出力の更新タイミング指定	同期（同時）更新	単独更新	0
B 4	出力モード指定	連続サンプリング（FIFO）出力	直接出力	0
B 3 B 2	未使用			0 0
B 1 B 0	（連続サンプリング出力時の） 出力データ幅指定	表 3 - 5 B 参照。		0 0

表 3 - 5 B . 連続サンプリング出力データ幅指定データ

B 1	B 0	データ幅	出力信号
1	1	32ビット	Q31～0（ポート3, 2, 1, 0）
1	0	24ビット	Q23～0（ポート2, 1, 0）
0	1	16ビット	Q15～0（ポート1, 0）
0	0	8ビット	Q7～0（ポート0）

連続サンプリング（FIFO）出力モードのときは常に全ビット同時更新です。

直接出力モード・単独更新は8ビット×4ポートをOUT命令で単独・個別に更新（ラッチ）出力する動作です。/ビットB5 = 0、B4 = 0 /

直接出力モード・同期更新は8ビット×4ポートを各々OUT命令で用意した後、これを同時更新出力する動作です。/ビットB5 = 1、B4 = 0 /

直接出力モードを指定したときの“出力データ幅指定”は無視されます。

3-6．クロック源の選択

outp (BASE+0x6, cks); /* cks:クロック源選択 */

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的の連続サンプリング・クロックとなります。例えば外部クロック源 (CLK-IN) 入力を選択し、分周比を 1 / 1 に設定すれば、外部イベントに同期したサンプリングとなります。

表 3-6A．【BASE+6H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	外部クロック源 (使用時) の有効極性指定	(+)	(-)	0
B 6 B 5	未使用			0 0
B 4	クロック源選択 (外部 / 内部)	外部	内部	0
B 3 B 2 B 1 B 0	未使用			

3-7．(クロック源) 分周比の設定 連続サンプリングクロック値の設定。

outp (BASE+0x7, div0); /* div0 = 分周比の最下位バイト */
 outp (BASE+0x7, div1); /* div1 = 分周比の中下位バイト */
 outp (BASE+0x7, div2); /* div2 = 分周比の中上位バイト */
 outp (BASE+0x7, div3); /* div3 = 分周比の最上位バイト */

クロック源の分周比データを (BASE+9H ポートに) 書き込みます。

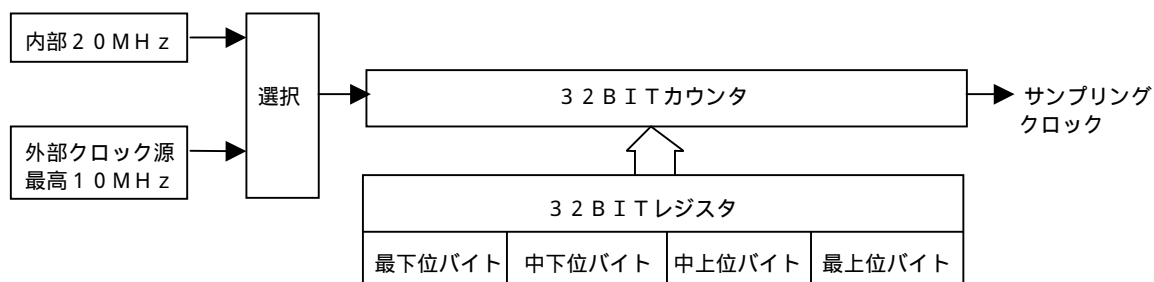
必ず 4 バイト続けて書き込んで下さい。

分周は 32 BIT バイナリカウンタで行われます。

表 3-7．【BASE+7H】出力ポートの構成

ビット	分周比：最下位	分周比：中下位	分周比：中上位	分周比：最上位	リセット時
B 7	(div0) b 7	(div1) b 15	(div2) b 23	(div3) b 31	クリア される
B 6	(") b 6	(") b 14	(") b 22	(") b 30	
B 5	(") b 5	(") b 13	(") b 21	(") b 29	
B 4	(") b 4	(") b 12	(") b 20	(") b 28	
B 3	(") b 3	(") b 11	(") b 19	(") b 27	
B 2	(") b 2	(") b 10	(") b 18	(") b 26	
B 1	(") b 1	(") b 9	(") b 17	(") b 25	
B 0	(") b 0	(") b 8	(") b 16	(") b 24	

図 3-7，連続サンプリングクロックの発生構造



3-8. 連続サンプリング回数カウンタの読み書き / 無限サンプリングモードでは不要 /

有限サンプリング動作モード時の連続サンプリング実行回数を設定、また連続サンプリングの実行中は実行済み回数を取得することができます。

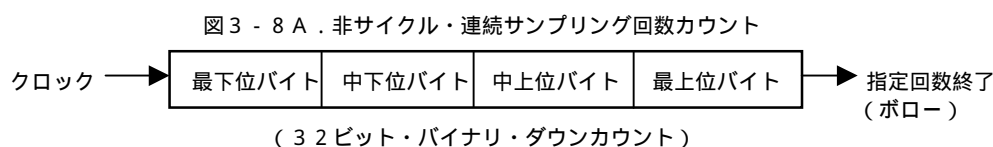
設定1 非サイクル動作の場合

```
o u t p ( BASE + 0x8 , n u m 0 ) ; /* n u m 0 = 回数値の最下位バイト */
o u t p ( BASE + 0x8 , n u m 1 ) ; /* n u m 1 = 回数値の中下位バイト */
o u t p ( BASE + 0x8 , n u m 2 ) ; /* n u m 2 = 回数値の中上位バイト */
o u t p ( BASE + 0x8 , n u m 3 ) ; /* n u m 3 = 回数値の最上位バイト */
```

実行する連続サンプリング回数データを (BASE + 0x8 アドレスに) 書き込みます。

必ず4バイト続けて書き込んで下さい。

計数は32ビットのバイナリ・ダウンカウンタ1本で行われ、計数値が0に達すると連続サンプリングが停止します。【注】無限モードのときの当“回数”設定値は無視される。



設定2 サイクル動作の場合

```
o u t p ( BASE + 0x8 , n u m 0 ) ; /* n u m 0 = 1周期値の下位バイト */
o u t p ( BASE + 0x8 , n u m 1 ) ; /* n u m 1 = " の上位バイト */
o u t p ( BASE + 0x8 , n u m 2 ) ; /* n u m 2 = 繰り返し回数値の下位バイト */
o u t p ( BASE + 0x8 , n u m 3 ) ; /* n u m 3 = " " の上位バイト */
```

あらかじめFIFOバッファに書き込んでおき実行する“繰り返しデータ1周期分の点数”、および“繰り返し回数”を (BASE + 0x8 アドレスに) 書き込みます。

必ず4バイト続けて書き込んで下さい。

1周期分のデータ点数カウンタは指定繰り返し回数に達するまで再ロードされながらダウンカウントされます。【注】無限モードのときの“繰り返し回数”設定値は無視される。

図3-8B. サイクル・連続サンプリング回数カウンタ
(各々16ビット・バイナリ・ダウンカウンタ)

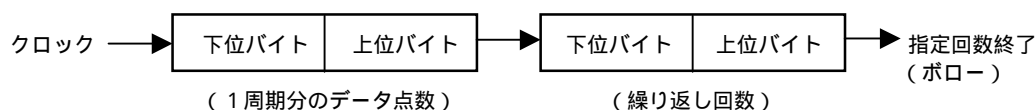


表3-8A. 【BASE + 8H】出力ポートの構成

ビット	回数値：最下位	回数値：中下位	回数値：中上位	回数値：最上位	リセット時
B7	(num0) b7	(num1) b15	(num2) b23	(num3) b31	クリア される
B6	(") b6	(") b14	(") b22	(") b30	
B5	(") b5	(") b13	(") b21	(") b29	
B4	(") b4	(") b12	(") b20	(") b28	
B3	(") b3	(") b11	(") b19	(") b27	
B2	(") b2	(") b10	(") b18	(") b26	
B1	(") b1	(") b9	(") b17	(") b25	
B0	(") b0	(") b8	(") b16	(") b24	

取得1 非サイクル動作の場合

```
num0 = inp (BASE + 0x8) ; /* num0 = 残り回数値 (最下位バイト) */
num1 = inp (BASE + 0x8) ; /* num1 = 残り回数値 (中下位バイト) */
num2 = inp (BASE + 0x8) ; /* num2 = 残り回数値 (中上位バイト) */
num3 = inp (BASE + 0x8) ; /* num3 = 残り回数値 (最上位バイト) */
```

現在までの連続サンプリング実行済み回数データを読み出します。

必ず4バイト続けて読み込んで下さい。最初の 最下位バイトの読み込み操作時に上位バイトも同時ラッチされるので全バイトデータ間に時刻差はありません。

計数は32ビットのバイナリ・ダウンカウンタ1本で行われるので、取得値は残り回数を意味します。

取得2 サイクル動作の場合

```
num0 = inp (BASE + 0x8) ; /* num0 = 1周期途中の残り値 (下位バイト) */
num1 = inp (BASE + 0x8) ; /* num1 = " " " (上位バイト) */
num2 = inp (BASE + 0x8) ; /* num2 = 繰り返し回数残り値 (下位バイト) */
num3 = inp (BASE + 0x8) ; /* num3 = " " " (上位バイト) */
```

現在までの連続サンプリング実行済み回数データを読み出します。

必ず4バイト続けて読み込んで下さい。最初の 1周期途中の最下位バイトの読み込み操作時に以下の3バイトも同時ラッチされるので全バイトデータ間に時刻差はありません。

計数は各16ビットのバイナリ・ダウンカウンタで行われるので取得値は残り値データを意味します。

表3-8B. 【BASE + 8H】入力ポートの構成

ビット	残回数値：最下位	残回数値：中下位	残回数値：中上位	残回数値：最上位	リセット時
B7	(num0) b7	(num1) b15	(num2) b23	(num3) b31	クリア される
B6	(") b6	(") b14	(") b22	(") b30	
B5	(") b5	(") b13	(") b21	(") b29	
B4	(") b4	(") b12	(") b20	(") b28	
B3	(") b3	(") b11	(") b19	(") b27	
B2	(") b2	(") b10	(") b18	(") b26	
B1	(") b1	(") b9	(") b17	(") b25	
B0	(") b0	(") b8	(") b16	(") b24	

3-9. トリガモード設定

o u t p (B A S E + 0 x 9 , t g m) ; / * t g m = トリガモード設定データ */

連続サンプリング動作のトリガモード・データを書き込みます。

表 3-9 A . 【BASE + 9 H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	即トリガ制御 (ソフトトリガ)	許可	禁止	0
B 6	外部トリガ入力信号制御	許可	禁止	0
B 5	未使用			0
B 4	トリガ極性選択	+ ()	- ()	0
B 3	トリガ認識モード選択	エッジ	レベル	0
B 2	未使用			0
B 1	未使用			0
B 0	未使用			0

連続サンプリングは同スタート操作【3-11項】後のトリガ発生により始まり、
(1) 指定回数のサンプリング終了 (有限モード)、または (2) ストップ操作により停止します。
複数のトリガを許可しておくで最初に発生したトリガ要素で連続サンプリングが始まります

プログラム上任意のプロセスから即トリガをかけるには、連続サンプリングスタート操作の後、**ソフトトリガ**制御ビット B 7 をセット (0 → 1) します。また、当 B 7 ビットをセットした状態で連続サンプリングスタート操作を行っても (その時点で) 即トリガとなります。

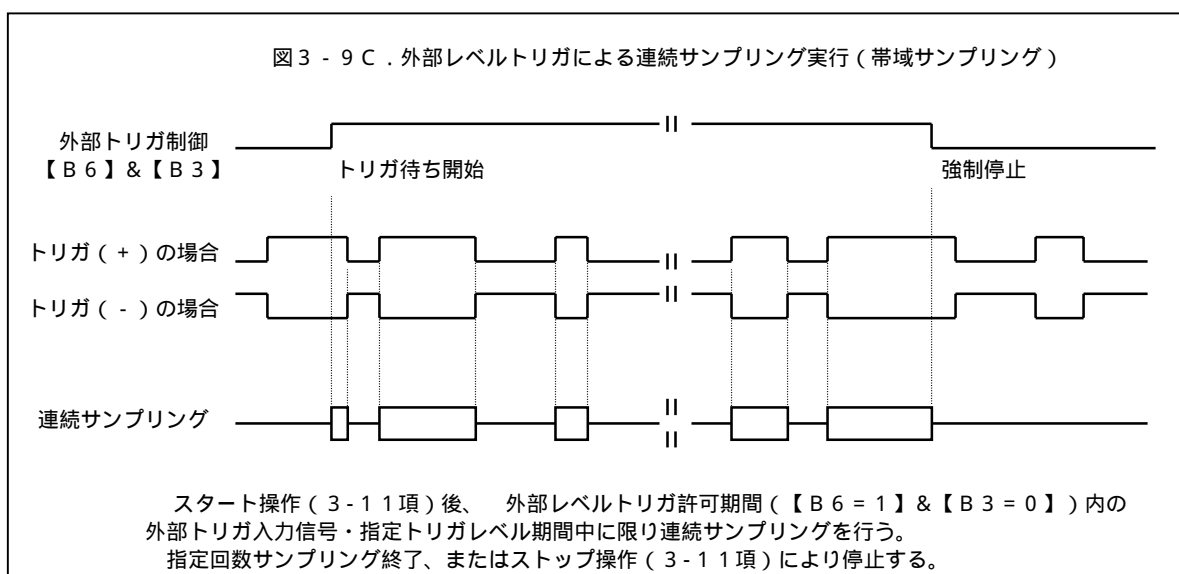
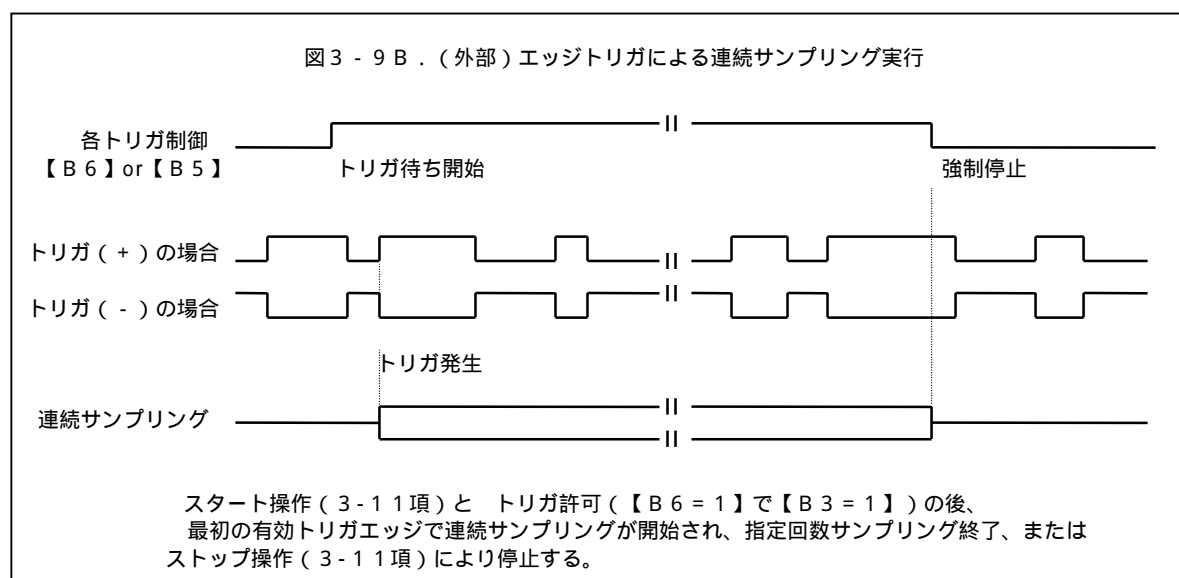
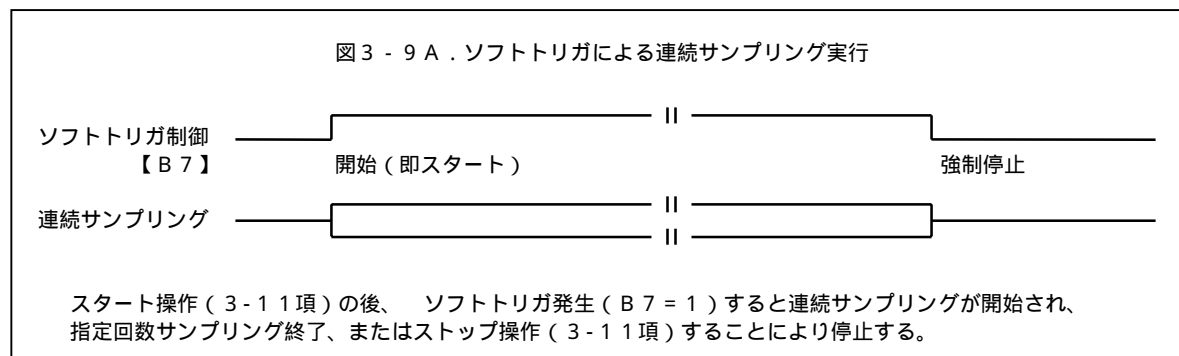
特殊なトリガ形態として**帯域サンプリング** (デジタル・レベルトリガ) 動作があります。
これは外部トリガ入力信号の指定レベル (極性) 期間だけ連続サンプリングを行います。

/ 図 3-9 C / 図 3-1 D 参照 /

トリガ遅れ

トリガ条件が成立したとき、本ボードがこれを検出して実際に連続サンプリングを開始するまでの遅れ時間は最大 100 ns です。

図3-9A, B, Cに一般的なポストトリガ・サンプリング動作の様子を示します。
(いずれもサンプリング動作開始操作 / 3-11項 / 以後のシーケンス)



3-10．割り込み制御

```
o u t p ( BASE + 0xA , i r m ) ; /* i n m : 割り込み要求の発生要因制御 */
```

本ボードからCPUボード側の割り込みコントローラに発信する割り込み要求発生要因を制御します。複数の要因を許可するとOR動作となります。なお本ボードが割り込みを使用するにはボード上のジャンパ設定をしておく必要があります。

【割り込みを使用しない場合は操作不要です。/読み飛ばしてください。】

表3-10A．【BASE + AH】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	外部割り込み信号 (INT-IN) の有効極性指定	(+)	(-)	0
B 6	(FIFO) HALF-FULL 状態に変化 による割り込み	許可	禁止	0
B 5	(FIFO) Not-FULL 状態に変化 による割り込み	許可	禁止	0
B 4	指定回数のサンプリング終了 による割り込み	許可	禁止	0
B 3	1 回サンプリング終了 による割り込み	許可	禁止	0
B 2	トリガ発生 による割り込み	許可	禁止	0
B 1	外部割り込み信号 (INT-IN) による割り込み	許可	禁止	0
B 0	連続サンプリング・クロック による割り込み	許可	禁止	0

《補助説明》

B 7 : 外部割り込み信号 (INT-IN) が許可された場合の信号エッジ極性 () 指定。

B 6 : F I F Oメモリ内の待機データが**半分** (標準 2 K B のとき = 1 K B) **未満となった** タイミングによる割り込み制御。

B 5 : F I F Oメモリ内が**満杯から 1 データ減った**タイミングによる割り込み制御。

B 3 : 各回サンプリング終了タイミングによる割り込み制御。

B 0 : 指定クロックの有効エッジによる割り込み制御。
(各回サンプリング開始タイミングによる割り込み制御)

【注】 各回サンプリング終了タイミングによる割り込みを使用している場合で、F I F Oメモリ中のデータ不足により前回サンプリング動作が不完全、すなわち空読み出力動作となったときは、このサンプリング終了タイミングによる新たな割り込み要求は発生せず、割り込みオーバーラン・エラーフラグがセットされます。(3-12 項参照) / なお連続サンプリング動作は続行される。 /
その後 F I F Oメモリに必要なデータが補充され、以後のサンプリングが正常に実行されれば、その終了タイミングでは新たな割り込み要求が発生します。

《追伸》 上記 F I F Oメモリからの空読み動作の場合、出力端は直前の状態を保持します。

本ボードの使用できる割り込みレベル

PC104バスの割り込みレベル/本ボードで使用する可否を表3-10Bに記します。 使用するときはボード上のジャンパJP-INTで設定します。

表3-10B. PC104バスの割り込みレベル、使用例

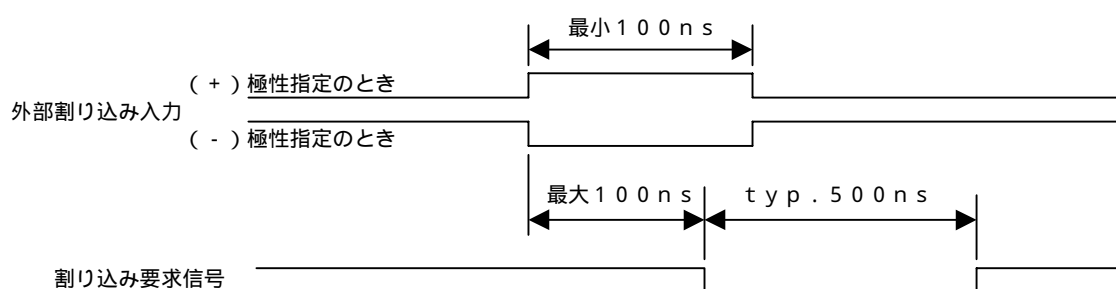
割り込みレベル	本ボードで使用する可否	DOS/V互換機での典型的な割り当て例
IRQ 0	×	タイマ
IRQ 1	×	キーボード
IRQ 2	×	(コントローラ2からカスケード)
IRQ 3	(ジャンパ接続可能)	シリアルポート2
IRQ 4	(ジャンパ接続可能)	シリアルポート1 (本体標準RS-232C)
IRQ 5	(ジャンパ接続可能)	パラレルポート2
IRQ 6	(ジャンパ接続可能)	フロッピーディスク・コントローラ (本体標準)
IRQ 7	(ジャンパ接続可能)	パラレルポート1 (本体標準プリンタ)
IRQ 9	(ジャンパ接続可能)	ソフトウェア割り込み
IRQ10 (A)	×	予約
IRQ11 (B)	×	予約
IRQ12 (C)	×	予約
IRQ13 (D)	×	数値演算コプロセッサ
IRQ14 (E)	×	ハードディスク・コントローラ (本体標準)
IRQ15 (F)	×	予約

割り込み信号

本ボードからPC104バス上への割り込み要求信号はtyp500nsの負パルスです。

外部割り込み入力の場合：最小100nsのパルスを入力します。

図3-10.



3-11. サンプリング動作のスタート/ストップ制御

クロック同期・動作の制御（連続サンプリングのスタート/ストップ）

outp (BASE + 0xB, str); /* str: クロック同期動作スタートデータ */

: 各種クロック同期動作モードの中から1モードを選択・スタートさせます。
これにより指定された動作モードで動作開始&トリガ待ち状態になります。
当操作実行前にトリガモード【3-9項】を設定しておきます。

: 動作を強制停止させます。

: 指定回数の連続動作終了（カウントアップ）により自動停止した場合、
再度スタートさせるときは
一旦、ストップ操作してからあらためてセットします。

表3-11A. 【BASE + BH】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	セット時
B 7	クロック同期動作制御データ	クロックのみ動作	連続サンプリング動作	0
B 6 ~ B 3	未使用			0 ~ 0
B 2	サイクル/非サイクル	サイクル動作	非サイクル動作	0
B 1	有限動作/無限動作	有限回数動作	無限回数動作	0
B 0	スタート/ストップ	スタート	ストップ	0

表3-11B. クロック同期動作モード選択データ

B 7	B 2	B 1	B 0	動作モード
1	1	1	1	ポストトリガ 有限・サイクル 連続クロックのみ スタート
1	1	1	0	各動作停止 ストップ
1	1	0	1	ポストトリガ 無限・サイクル 連続クロックのみ スタート
1	1	0	0	各動作停止 ストップ
1	0	1	1	ポストトリガ 有限・非サイクル 連続クロックのみ スタート
1	0	1	0	各動作停止 ストップ
1	0	0	1	ポストトリガ 無限・非サイクル 連続クロックのみ スタート
1	0	0	0	各動作停止 ストップ
0	1	1	1	ポストトリガ 有限・サイクル 連続サンプリング スタート
0	1	1	0	各動作停止 ストップ
0	1	0	1	ポストトリガ 無限・サイクル 連続サンプリング スタート
0	1	0	0	各動作停止 ストップ
0	0	1	1	ポストトリガ 有限・非サイクル 連続サンプリング スタート
0	0	1	0	各動作停止 ストップ
0	0	0	1	ポストトリガ 無限・非サイクル 連続サンプリング スタート
0	0	0	0	各動作停止 ストップ

【注1】“クロックのみ動作モード”ではサンプリングは行われず、クロックのみが走ります。
ステータス監視や割り込みを使用してクロックを検出し、任意の処理を行うような
使い方が可能です。

【注2】有限モードのときは3-8項で設定した値に達すると自動停止、また
無限モードのときは停止操作まで無限に動作します。

3-12. ステータスの取得、クリア

取得

```
sts1 = inb(BASE + 0xC); /* sts1 = 基本ステータスデータ */
sts2 = inb(BASE + 0xD); /* sts2 = 追加ステータスデータ */
```

本ボードのステータスデータを読み込みます。

表 3-12 A . 【BASE + CH】基本ステータス入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	END : 指定回数の連続サンプリング終了 【注 1】	終了済み	実行中	0
B 6	EOS : 各回サンプリング終了 【注 1】	終了済み	実行中	0
B 5	IRE : 割り込みオーバーラン・エラーフラグ 【注 1】	発生済み	未発生	0
B 4	ORE : オーバーラン・エラーフラグ 【注 1】	発生済み	未発生	0
B 3	LST : データロスト・エラーフラグ 【注 1】	発生済み	未発生	0
B 2	FUL : Not FULL 【注 2】	未満杯	満杯	1
B 1	HLF : Not Half-full 【注 2】	1 / 2 未満	1 / 2 以上	1
B 0	EMP : Not Empty 【注 2】	データ有	データ無	0

【注 1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注 2】現在状態を刻々反映する状態フラグ。

《補足説明》

- (B 7) END : 指定回数の連続サンプリングが実行完了したときにセット (= 1) される。
強制的に連続サンプリングが止められたときには変化しない。
- (B 6) EOS : 各回のサンプリングが終了するたびにセット (= 1) される。
すなわち、後述のTIMからサンプリング実行時間だけ遅れてセットされる。
- (B 5) IRE : 各回のサンプリングが、同終了による割り込み処理が追いつかなくなったときに
セット (= 1) される。 / 詳細は前 3 - 10 項【注】参照。 /
- (B 4) ORE : 本機の仕様以上のクロックで連続サンプリングが実行されるとセット (= 1)
される。 / スピード違反、取得データは無効 /
- (B 3) LST : F I F Oバッファが空になった状態で、次のデータ読み出しが空読みとなった
ときにセット (= 1) される。
- (B 2) FUL : F I F Oバッファ内のデータが《満杯》になるとセット (= 0) され、
読み出しにより《満杯未満》になるとリセット (= 1) される。
Not Full 定義。
- (B 1) HLF : F I F Oバッファ内のデータが《容量の半分 + 1》以上になるとセット (= 0)、
読み出しにより《容量の半分 + 1》未満になるとリセット (= 1) される。
Not Half-Full 定義。
- (B 0) EMP : F I F Oバッファ内のデータが 1 個以上になるとセット (= 1) され、読み出し
により空になるとリセット (= 0) される。
Not Empty 定義。

表 3-12B. 【BASE + DH】追加ステータス入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	セット時
B 7	未使用			0
B 6	未使用			0
B 5	未使用			0
B 4	未使用			0
B 3	未使用			0
B 2	INT: 割り込み要求発生 【注 1】	発生	未発生	0
B 1	TIM: 各回サンプリング・クロック先端【注 1】	発生	未発生	0
B 0	TGD: トリガ発生認識 【注 3】【注 1】	発生	未発生	0

【注 1】一旦セットされるとクリア操作まで保持するラッチフラグ。

《補足説明》

- (B 2) INT: 割り込み要求が発生 (3-11 項) するとセット (= 1) される。
- (B 1) TIM: 各回のサンプリングが開始されるたびに (連続サンプリングクロックの前縁で) セット (= 1) される。クロックのみ動作モード (3-10 項) でも有効。
- (B 0) TGD: 許可されたトリガが発生するとセット (= 1) される。
トリガモード再設定 (3-9 項)、またはボード・リセット (3-4 項) でクリアされる。
- 【注 3】 外部デジタル入力によるレベルトリガ (帯域サンプリング) 動作のときだけは同有効レベル期間中だけセット (= 1) される、すなわち現在状態を刻々反映する状態フラグとなる。

クリア

```
o u t p ( B A S E + 0 x C , s t c 1 ) ; /* s t c 1 = クリアビット指定データ */
```

```
o u t p ( B A S E + 0 x D , s t c 2 ) ; /* s t c 2 = クリアビット指定データ */
```

指定したステータスビットをクリアします。(クリア対象は表3-12A, B中の【注1】)
なお、当出力データは保持されません。

表3-12C. 【BASE+CH】基本ステータスクリア出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	END : 連続サンプリング終了 【注1】	クリア する	クリア しない	0
B 6	EOS : 各回サンプリング終了 【注1】			0
B 5	IRE : 割り込みオーバーラン・エラーフラグ【注1】			0
B 4	ORE : オーバーラン・エラーフラグ 【注1】			0
B 3	LST : データロスト・エラーフラグ 【注1】			0
B 2	未使用			0
B 1	未使用			0
B 0	F I F Oバッファだけのリセット操作 【注4】			0

【注1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注4】F I F Oバッファ内の残りデータを破棄し、同フラグをリセットする。

EMP = 0

H L F = 1

表3-12D. 【BASE+DH】追加ステータスクリア出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用	クリア する	クリア しない	0
B 6	未使用			0
B 5	未使用			0
B 4	未使用			0
B 3	未使用			0
B 2	INT : 割り込み要求発生 【注1】			0
B 1	TIM : 各回サンプリング・クロック先端【注1】			0
B 0	TGD : トリガ発生認識 【注3】【注1】			0

【注1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注3】レベルトリガ動作のときは状態フラグ(前ページ参照)。

3-13. データの書き込み

当初FIFOバッファメモリに書き込まれたデータは図3-13に示す配置となっています。

非サイクル動作モードの場合、これらのデータは逐次クロックにより読み出されて入口側に空領域が増えて行きます。CPU側ではFIFOバッファが全空にならないうちに追加データを書き込みます。方法は通常の実出力命令のほかCPUによってはブロック出力命令もあります。

直接出力モードのときは各バイトデータを各々専用のポートに書き込みます。

《書き込み操作例》

```

単独出力 -----> o u t p ( BASE + 0x4 , 0x0 ) ; /* 直接・単独出力モードに指定 */
同時出力 -----> o u t p ( BASE + 0x4 , 0x20 ) ; /* 直接・同期出力モードに指定 */
                   |
                   | o u t p ( BASE + 0x3 , data3 ) ; /* ポート3 (Q31~24) 出力 */
                   | o u t p ( BASE + 0x2 , data2 ) ; /* ポート2 (Q23~16) 出力 */
                   | o u t p ( BASE + 0x1 , data1 ) ; /* ポート1 (Q15~8) 出力 */
                   | o u t p ( BASE + 0x0 , data0 ) ; /* ポート0 (Q7~0) 出力 */
                   |-----> d m y = i n p ( BASE + 0xB ) : /* 同期出力操作 */

```

連続サンプリング出力データ (FIFOへ) はポート0に書き込みます。

- (1) 通常の実出力命令の場合はバイト単位で (連続して) 書き込みます。

ソフト上ではFIFOメモリに追加書き込みできるかどうか (満杯か否か) を示すステータスフラグFUL、または各回サンプリング終了EOS (前3-12項) をポーリングするか、または同ステータスによる割り込みを使用します。/EOSを推奨/

《書き込み操作例》: 32ビット幅出力モードの1サンプリング分。

```

o u t p ( BASE + 0xd , 0x13 ) ; /* 連続サンプリング出力モード */
o u t p ( BASE + 0x0 , data0 ) ; /* ポート0 (Q7~0) 出力 */
o u t p ( BASE + 0x0 , data1 ) ; /* ポート1 (Q15~8) 出力 */
o u t p ( BASE + 0x0 , data2 ) ; /* ポート2 (Q23~16) 出力 */
o u t p ( BASE + 0x0 , data3 ) ; /* ポート3 (Q31~24) 出力 */

```

【3-6項】クロック源選択、【3-7項】分周比の指定

【3-8項】連続サンプリング回数の設定

【3-9項】トリガモードの設定

【3-11項】スタート操作 (サイクル、または非サイクル)

非サイクルモードの場合、以後は【3-12項】ステータス取得し、FIFOメモリ内のデータ量を評価して追加データを補給 (書き込み) します。

- (2) 80286以上の80系CPUでは、複数のデータを連続してCPU側のメモリからボード上のFIFOメモリに転送するブロック出力転送命令OUTSBを使用することができます。

この場合はFIFOメモリ内のデータが同メモリ容量の 半分+1 以上か/未満かを示すステータスフラグHLF (前3-12項) をポーリングするか、または同ステータス変化による割り込みを使用します。

データ書き込みアルゴリズム作成上の注意

FIFOメモリにデータを書き込むときに監視参照するフラグにはNot-FUL、Not-Half-Full、各回サンプリング終了などがあります。Not-Half-Full フラグはもっぱらFIFOメモリ容量の半分単位でブロック転送(OUTSB)するときを使用し、Not-FULL と各回サンプリング終了フラグは時々刻々の書き込みに使用されます。

【注】 オプションの1M語、または8M語FIFOモジュールの“Not-HALF-FULL”フラグはモジュール上のスイッチ設定で充満データが1KB、2KB、4KB、8KB、16KB、32KB、64KB、128KBに達しているか否かを示すものです。

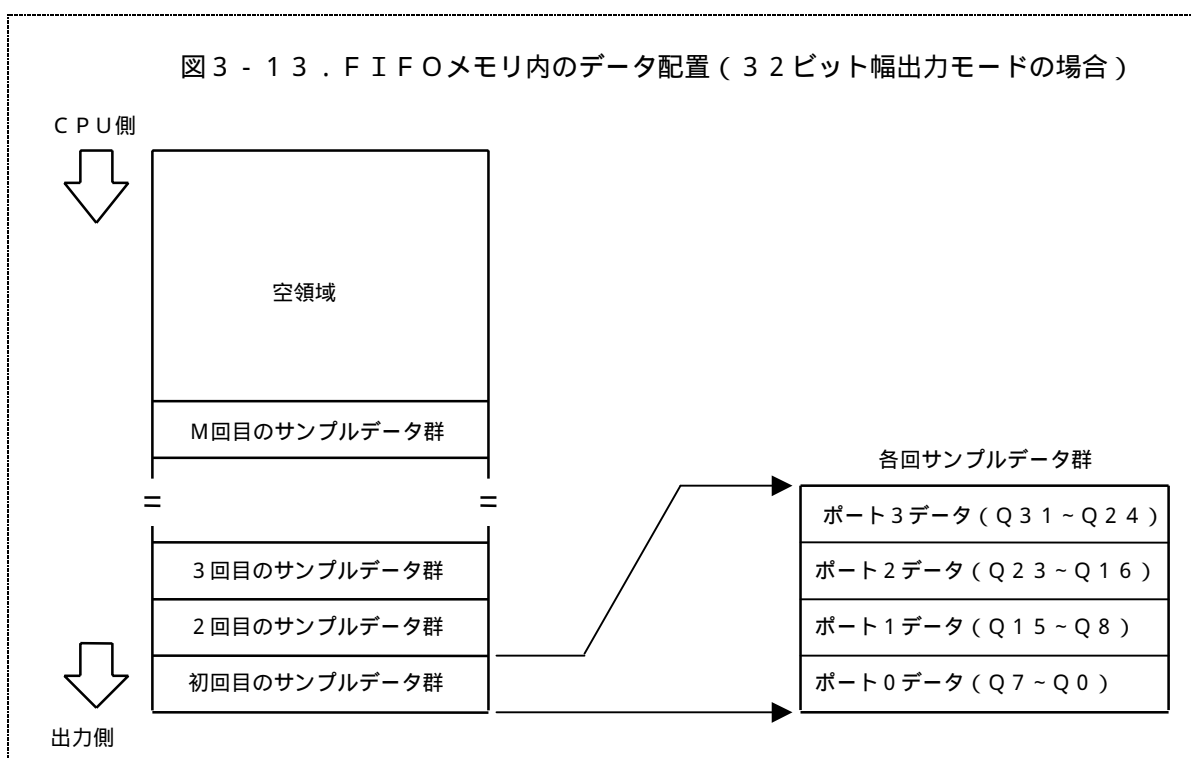
また1M語FIFOモジュールに限って最高読み書き速度=2MB/秒のため、本機に適用した場合、最高動作速度が同速度に制限されます。

エラーが発生するときは、

本ボード搭載のFIFOメモリ出力速度(使用バイト数×サンプリング周波数)が入力側の書き込み速度(CPU側からのデータ転送速度)より速いときは同メモリの充満量が次第に減って行き、ついには空出力状態を起こしてデータロス・エラーフラグが立ちます。

当該点以降に出力されようとした空データは全て無効で、出力端子には直前の出力データが保持されています。

図3-13. FIFOメモリ内のデータ配置(32ビット幅出力モードの場合)



3-14．マスタスレーブ動作（複数ボードの同期・並行動作）

複数の本ボード（最大7枚）を同一クロックで同期運転することもできます。
この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。
スレーブはマスタからのクロックを受けて同期をとりますが、サンプリングタイミングに最大
100nsの遅れが生じます。 接続・操作は以下のとおり。

ボード上の設定

各ボードのI/Oベースアドレスが重複しないように設定する。

スレーブボードが1枚だけのときは同ボード上のクロック入力終端用スイッチS - CKZを【ON】とする。 スレーブボードが複数あるときのスイッチS - CKZは1枚のみ【ON】、ほかは【OFF】に設定する。

ボード間の接続等

マスタ機のクロック出力《CLK-OUT》をスレーブ各機のクロック入力《CLK-IN》に接続するだけである。（図3-14参照）

マスタ機は外部クロック源、外部（デジタル）トリガを使用することもできる。

ソフトウェア

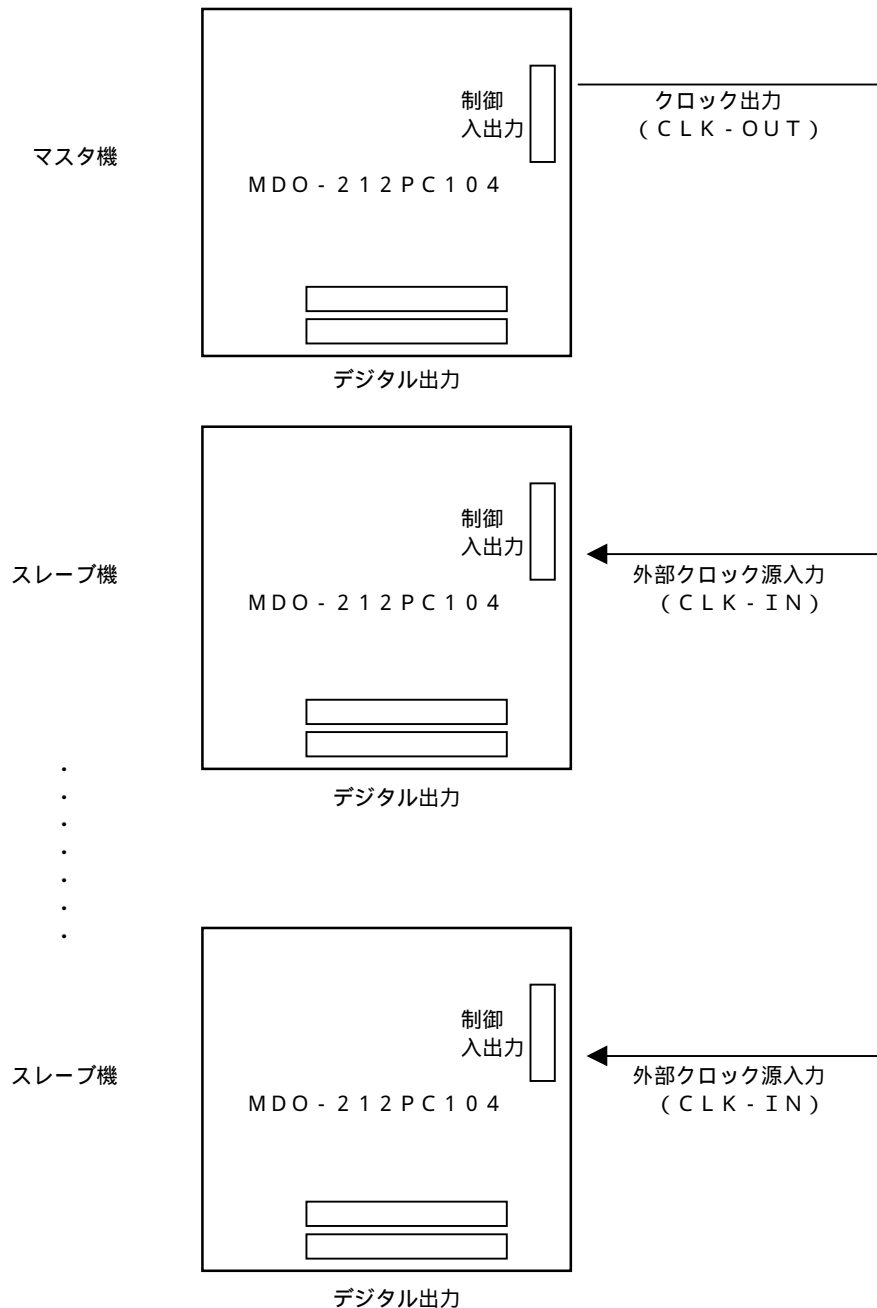
スレーブ各機のクロック源は外部に設定（3-6項）、またクロック源の分周比は1/1に設定（3-7項）しておく。

スレーブ各機の外部トリガは禁止としておく。

マスタ機は単独動作時と同様に（何の制限もなく）条件設定できる。

連続サンプリング動作のスタート操作はスレーブ各機を（ソフトトリガで）先に、最後にマスタ機を（任意のトリガ条件で）行う。 連続サンプリング開始後はマスタ機のステータスを監視しながら適時、各機へのデータ書き込み（補給）を行う。

図3-14. マスタスレーブ接続による複数ボードの並列・同期運転



マスタスレーブ動作の概要

- (1) スレーブ各機をソフトトリガで即スタートさせると外部クロック入力による連続サンプリング動作となるが、この時点ではマスタ機からのクロック入力待ち状態である。
- (2) マスタ機が（設定した）トリガにより連続サンプリングが開始されるとマスタ機から有効なクロック信号が出力され、これがスレーブ各機（最大7枚）に入力されて同期サンプリングが実行される。/この間の遅れ時間は最大100nsである。/
- (3) 以後はマスタ機のステータスを監視して適時、各機のFIFOバッファに追加データを書き込む。マスタを含めて各機は自身の最高速度で連続サンプリングできる

3-15 . 補助デジタル入出力

本機には外部制御入力が3本（外部クロック源入力／外部トリガ入力／外部割込み入力）ありますが、これらの中で本来の外部制御機能として使用しないビットは汎用のデジタル入力として利用することができます。これら補助制御入出力は74HCT244（CMOS素子）です。

入力

`d i n = i n p (B A S E + 0 x C) ; /* 汎用3ビットTTL（現在値）入力 */`

表3-15A . 【BASE + CH】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4 B 3	未使用		
B 2	CLK-IN : 外部クロック源入力	H i g h（開放）	L O W（0Vレベル）
B 1	TRG-IN : 外部トリガ入力	H i g h（開放）	L O W（0Vレベル）
B 0	INT-IN : 外部割込み入力	H i g h（開放）	L O W（0Vレベル）

出力

`o u t p (B A S E + 0 x C , d o u t) ; /* 補助1ビットTTL（ラッチ）出力 */`

表3-15B . 【BASE + CH】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用			
B 0	Q 0 : 汎用デジタル出力ビット0	H i g h	L o w	0

【注1】 電源投入、またはハードウェアリセット直後の補助デジタル出力は“0”ですが、ソフト的な制御部リセット操作（3-4項）ではクリアされません。

【注2】 補助デジタル出力の論理はボード上のスイッチS - P O L 1により任意に設定することができます。

出荷時は《N》側に設定＝“負論理”で、電源投入・ハードウェアリセット直後の状態はH i g hレベル（出力＝0）です。

なお《P》側＝“正論理”モードでは（回路の性格から）電源投入・ハードウェアリセット時に約100msのH i g h期間が発生するので御注意ください。

（1-2項、2-3項参照）

第4章．保守・その他

4-1. 故障・トラブル等の原因と対処

本機は全数検査のうえ出荷されています。

動作に不具合等が見られるときは以下の諸点を再点検してください。

それでも不明なときは巻末の【Q & A フォーム】にシステム構成（特に外部機器の接続回路）等の動作条件を御記入のうえ、技術部宛 FAX してください。

迅速に応答する体制となっています。なお TEL いただく場合も、客観情報の整理・評価は問題解決のスピードアップにつながりますから、事前に【Q & A フォーム】を FAX してください。

再点検・確認ポイント

- (1) I/O アドレス 他のデバイスと重複・競合はないか？ (1 - 3 項)
- (2) 割り込みレベル 他のデバイスと重複・競合はないか？ (3 - 11 項)
- (3) デジタル入出力 本ボードの TTL 入力（割り込み、トリガ、クロック、汎用 bit）に接続できる信号源は TTL（LS、CMOS 等の 5V 電源動作素子）に限ります。現場などで不適切な信号源を接続したために本ボード内の入力素子を破損する事故が頻発していますので御注意ください。

動作確認方法

当社では原則として、ユーザ作成のソフトウェアについては評価しません。

動作確認は無償配布の当社製プログラム実行結果について推測・適否・判定を行います。

Q & A リクエスト時には当プログラムの実行結果をレポートしてください。

4-2. 修理のときは

入手経路の如何にかかわらず当社宛に直接お申しつけください。 商社等を経由されますと時間がかかるだけでなく、情報交換の不便、費用の面でも不利になります。 なお当社では修理依頼を受けた製品が検査の結果、良品と判定された場合は（保証期間内でも）手数料を申し受けます。

特に最初からの不具合には誤解や情報不足によることが多いので、事前に御相談ください。

【Q & A フォーム】が便利です。

無償修理

納入後 1 年以内の自然故障、および当社製造上の問題に起因した故障に対しては無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。

なお当社では保証書を発行していませんが、社内では製造番号と出荷年月日の記録を基に判定しています。

有償修理

落雷等の自然現象、漏電・過電圧印加・機械的破損・その他、ユーザ側の責に帰する故障品、または納入後 1 年間を経過した製品の自然故障に対しては実費・有償にて修理をお請けします。 性格上、事前見積もりは不可能ですが、制限額を事前通知いただければ、作業過程で制限を超えそうな見通しがたった時点で連絡・相談させていただきます。

受け渡し : 通常の授受は宅配便で行います。

修理期間 : 全んどの場合、当社内で 24 時間以内に完了・返送しています。時間を要するような場合は御連絡いたします。

費用の目安 : 修理費用は事務管理手数料、技術者の所要時間（1 時間単位）手数料、および交換部品代の合計です。 2001 年 7 月現在（時勢により変動します）では、

事務管理手数料（1 件当り、返送運賃含）：＝ ¥ 4,000

修理時間手数料：＝（時間単価 ¥ 6,000）× 所要時間

交換部品代 : ＝ ¥ 実費

故障経緯、システム客観情報の添付は時間の節約・コストダウンに有効です。典型的な事例では費用合計が ¥ 20,000 を超えることは希れです。

【注 2】 当社製品に対してユーザが改造を行った場合は、当社サポートの対象外になります。 改造とは製品に新たな部品を追加実装、または実装部品を削除したり、回路パターン・接続に変更を加えることです。 なお、当社がオプションとして供給、または指定した部品の追加実装・交換はこの限りではありません。

マイクロサイエンス（株）行

FAX：03（3301）5593

Q & A フォーム

発信： 年 月 日 / 時 分

製品名	MDO-212PC104		購入時期	年	月	
ボード上の 設定、 使用状況	SW1 = SW2 = SW3 =	S - POL1 = S - POL2 = J P - INT =		S - SIG = S - CKZ =		
その他						
I / O、 周辺状況	同時使用の 他ボード		I / Oアドレス 割り込み、等			
本体 システム	C P U					
	本体メモリ					
	O S	()				
ソフト	言語		コンパイラ	(v r)		
	プログラム名					
(動作状況)						

《 60分以内に応答のないときはお叱りください。》 TEL：03（3396）8377

御使用者			(所属部・課)
団体名			
TEL			(所在地)
FAX			