

本ボードの使用できる割り込みレベル

I S Aバスの割り込みレベル / 割り込み要因 / 本ボードで使用の可否を表3 - 4 Bに記します。

- ： 空いている場合が多いので推奨します。
- ： 他のボード等で使用されることが多く、特に注意が必要です。
- ×： 設定不可能です。（設定しても無効となる。）

表3 - 4 B . 割り込みレベル指定データ / I S Aバスの割り込み使用状況

割り込みレベル指定				指定レベル	本ボードで使用の可否	割り込み要因・使用状況
B 3	B 2	B 1	B 0			
1	1	1	1	I R Q 1 5	推奨	予約
1	1	1	0	I R Q 1 4	× 不可	ハードディスク・コントローラ（本体標準）
1	1	0	1	I R Q 1 3	× 不可	数値演算コプロセッサ
1	1	0	0	I R Q 1 2	注意（競合多い）	予約
1	0	1	1	I R Q 1 1	推奨	予約
1	0	1	0	I R Q 1 0	推奨	予約
1	0	0	1	I R Q 9	注意（競合多い）	ソフトウェア割り込み
1	0	0	0		× 不可	
0	1	1	1	I R Q 7	注意（競合多い）	パラレルポート1（本体標準プリンタ）
0	1	1	0	I R Q 6	× 不可	フロッピーディスク・コントローラ（本体標準）
0	1	0	1	I R Q 5	推奨	パラレルポート2
0	1	0	0	I R Q 4	× 不可	シリアルポート1（本体標準RS - 232C）
0	0	1	1	I R Q 3	注意（競合多い）	シリアルポート2
0	0	1	0	I R Q 2	× 不可	（コントローラ2からカスケード）
0	0	0	1	I R Q 1	× 不可	キーボード
0	0	0	0	I R Q 0	× 不可	タイマ

《 追伸 》

割り込みを使用するには、

- 割り込み処理サブルーチン（機械語）を用意する。
- 本ボードの割り込みレベルを設定する。（本項）
- パソコン本体内の割り込みコントローラをソフト設定する。
- 【UPD - IN】入力に有効なTTL信号を印加する。

以上により割り込みが受け付けられると、指定ベクタ（割り込み処理サブルーチン）にジャンプします。 具体的にはサンプルプログラム・ソースを御参照ください。

3-5. D Aデータ・モードの指定

o u t p (B A S E + 1 , M D 1) ; / * D Aチャンネル1モード・データ * /
o u t p (B A S E + 0 , M D 0) ; / * D Aチャンネル0モード・データ * /

チャンネルごとにアナログ (D A) 出力の範囲 / 動作分解能 / データコード / 更新モード、およびデジタル入力による強制 0 v 出力機能の設定を行います。

表 3 - 5 A . 【 B A S E + 1 】出力ポートの構成 ----- チャンネル1用

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	《未使用》			0
B 6	デジタル入力 (I 1) による強制 0 v 制御	許可	禁止	0
B 5	D Aデータ・コード (バイポーラ のとき)	2 の補数	ワットバ イリ	0
B 4	アナログ出力範囲モード	B モード	A モード	0
B 3	D A分解能選択	表 3 - 5 C		0
B 2				0
B 1	アナログ出力範囲選択	表 3 - 5 D		0
B 0				0

表 3 - 5 B . 【 B A S E + 0 】出力ポートの構成 ----- チャンネル0用

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	更新モード指定	同期	単独	0
B 6	デジタル入力 (I 0) による強制 0 v 制御	許可	禁止	0
B 5	D Aデータ・コード (バイポーラ のとき)	2 の補数	ワットバ イリ	0
B 4	アナログ出力範囲モード	B モード	A モード	0
B 3	D A分解能選択	表 3 - 5 C		0
B 2				0
B 1	アナログ出力範囲選択	表 3 - 5 D		0
B 0				0

《補助説明》

B 7 : 当ビットをセット (= 1) すると両チャンネルの D A 出力更新はチャンネル 0 の上位バイト書き込み直後 (ボード内フォトカプラ転送時間 9 . 5 μ s 後)、同時に行われます。また、更新時に【 U P D - O U T 】信号を出力します。この信号は複数ボードの同期更新 (マスタスレーブ) 動作に使用できます。 / 3 - 1 項 . 参照。
当ビットがクリア (= 0) されている場合、各チャンネルの D A 出力更新は各チャンネルのデータ書き込みごとに独立して行われます。

B 6 : 当ビットのセット (= 1) により、該当入力が O N (T T L レベル L O W) になったとき該当 D A 出力が強制的に 0 v となります。

B 5 : ユニポーラ出力範囲の D A データ・コードはストレートバイナリのみですが、バイポーラ (±) 出力範囲のときは当ビットにより選択されます。

B 4 : 2 - 2 項を御参照ください。

表 3 - 5 C . 分解能選択

B 3	B 2	DA分解能
1	1	16ビット【注】
1	0	16ビット【注】
0	1	14ビット
0	0	12ビット

【注】 16ビット指定のときの出力範囲は
±10Vに限る。

表 3 - 5 D . 出力範囲選択

B 1	B 0	アナログ (DA) 出力範囲
1	1	± 5 V
1	0	± 10 V
0	1	0 ~ + 5 V
0	0	0 ~ + 10 V

【2 - 2項 . 参照】

表 3 - 5 E . 上記2表・総合

B 3	B 2	B 1	B 0	(Hex)	選択される分解能	選択される出力範囲
1	x	x	x	8 ~ F	16ビット	± 10 V
0	1	1	1	7	14ビット	± 5 V
0	1	1	0	6	" "	± 10 V
0	1	0	1	5	" "	0 ~ + 5 V
0	1	0	0	4	" "	0 ~ + 10 V
0	0	1	1	3	12ビット	± 5 V
0	0	1	0	2	" "	± 10 V
0	0	0	1	1	" "	0 ~ + 5 V
0	0	0	0	0	" "	0 ~ + 10 V

3-6. D Aデータの書き込み

```

outp ( B A S E + 6 , 1 L ) ; /* D Aチャンネル1の下位バイト書き込み */
outp ( B A S E + 7 , 1 H ) ; /* D Aチャンネル1の上位バイト書き込み */
outp ( B A S E + 4 , 0 L ) ; /* D Aチャンネル0の下位バイト書き込み */
outp ( B A S E + 5 , 0 H ) ; /* D Aチャンネル0の上位バイト書き込み */

```

各チャンネルのD Aデータは必ず下位バイト 上位バイトの順に書き込みます。更新モードが単独動作のときはD Aデータの上位バイト書き込み直後(フォトカプラ転送時間 $9.5 \mu s$)にD A出力素子内蔵のラッチが更新されます。同期動作のときはチャンネル0の上位バイト書き込み直後(フォトカプラ転送時間 $9.5 \mu s$)に両チャンネル出力素子内蔵のラッチが同時に更新されます。本動作の様子は3 - 1項 / 図3 - 1 B / 図3 - 1 Cを御参照ください。

ワード・アクセスのときは各下位バイト・データ用のアドレスを指定します。

表3 - 6 A . 【 B A S E + 4 】および【 B A S E + 6 】出力ポートの構成
(チャンネル0用) (チャンネル1用)

ビット	ビット機能	適 用	リセット時
B 7	: D 7	D Aデータ・ <u>下位</u> 8 ビット	【注】
B 6	: D 6		
B 5	: D 5		
B 4	: D 4		
B 3	: D 3		
B 2	: D 2		
B 1	: D 1		
B 0	: D 0 (LSB)		

表3 - 6 B . 【 B A S E + 5 】および【 B A S E + 7 】出力ポートの構成
(チャンネル0用) (チャンネル1用)

ビット	ビット機能	適 用	リセット時
B 7	: D 15 (MSB)	D Aデータ・ <u>上位</u> 8 ビット	【注】
B 6	: D 14		
B 5	: D 13		
B 4	: D 12		
B 3	: D 11		
B 2	: D 10		
B 1	: D 9		
B 0	: D 8		

【注】 電源ON、パソコン本体のハードウェア・リセット操作、または本ボードのリセット操作によりD A出力は初期値 = 0 v になります。
(0 , 1 , 両チャンネル共)

DAデータ・フォーマット

DAデータは出力モード設定【3 - 5項】により各チャンネルごとにデータ長 (= 分解能) とコードを指定できます。1データは2バイト構成なので12BIT・14BITのときは右詰め、すなわち上位バイトの最上位ビット側に無効ビットが生じます。

図3 - 6 . DAデータ・フォーマット



印：無効データ

3-7. ステータス・データ

```
s t s = i n p ( B A S E + 2 ) ; /* ステータス・データ */
```

本ボードに書き込まれたD Aデータが（絶縁用フォトカプラを通して）D A出力素子に転送中であることを示すB U S Yフラグ、および（U P D - I N端子に）有効な割り込み信号が入力されたことを示すI N Tフラグを読み込みます。

表3 - 7 . 【 B A S E + 2 】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	割り込み要求フラグ	割り込み要求発生	未発生・読み済	0
B 6	外部入力（U P D - I N）現在状態	H i g h	L O W	0
B 5	《未使用》			0
B 4	《未使用》			0
B 3	《未使用》			0
B 2	B U S Y - 2 フラグ（= BUSY-1 OR BUSY-0）	転送中	未転送・転送終了	0
B 1	B U S Y - 1 フラグ（D Aチャンネル1）	転送中	未転送・転送終了	0
B 0	B U S Y - 0 フラグ（D Aチャンネル0）	転送中	未転送・転送終了	0

《補助説明》

B 7 : 当割り込み要求フラグは外部入力信号U P D - I Nを割り込みとして許可しているとき、その指定極性エッジでセット（= 1）され、同時に割り込み要求信号がI S Aバス上に発信されます。【3 - 4項・参照】

なお、割り込み要求フラグは読み込み直後にクリア（= 0）されます。

B 2

B 1

B 0 : 本機に制御データ（3 - 4項，3 - 5項）やD Aデータ（3 - 6項）を書き込むときはB U S Yフラグが“ 0 ”（= データ転送中ではない）でなければなりません。

【3 - 1項／図3 - 1 B，C・参照】

D A出力を連続して更新するような場合は当B U S Yフラグが“ 0 ”であることを確認してから更新データを書き込む手順としてください。

B U S Y - 2（ビットB 2）は両チャンネルのO Rを示すので、普通は当フラグを使用すればよいでしょう。

3-8. 汎用TTLデジタル入出力

```
din = inp ( BASE + 3 ) ; /* 汎用TTL ( 現在値 ) 入力 */
```

表3 - 8 A . 【BASE + 3】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4	《未使用》		
B 3	I 3 : 汎用デジタル入力ビット 3	High・(開放)	LOW・(DG に接続)
B 2	I 2 : " " " " 2	"・(")	"・(" ")
B 1	I 1 : " " " " 1【注】	"・(")	"・(" ")
B 0	I 0 : " " " " 0【注】	"・(")	"・(" ")

【注】 ビット 1、0 はソフト指定 (3 - 5 項) でアナログ出力の強制 0 v 出力制御にも使用できます。 アナログ出力の強制 0 v 出力制御が許可されているときは、

I 1 = High・(開放) のとき : チャンネル 1 は強制 0 v 出力。

I 1 = LOW・(DG に接続) のとき : チャンネル 1 は通常アナログ出力。

I 0 = High・(開放) のとき : チャンネル 0 は強制 0 v 出力。

I 0 = LOW・(DG に接続) のとき : チャンネル 0 は通常アナログ出力。

```
outp ( BASE + 3 , dout ) ; /* 汎用TTL ( ラッチ ) 出力 */
```

表3 - 8 B . 【BASE + 3】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4	《未使用》			0 0 0 0
B 3	Q 3 : 汎用デジタル出力ビット 3	High	LOW	0
B 2	Q 2 : " " " " 2	"	"	0
B 1	Q 1 : " " " " 1	"	"	0
B 0	Q 0 : " " " " 0	"	"	0

【注】 当ポートの出力レベル / 論理は出力素子 (ソケット実装) の交換により変更も可能です。
また、出力端にプルアップ抵抗 (RA 1) 実装可能エリアも用意されています。

(図 1 - 2 A、回路図参照)

表3 - 8 C .

適用	論理 / レベル	出力素子名
出荷時実装	正論理 / TTL レベル	74LS04
オプション	負論理 / TTL レベル	74ALS34A
" "	正論理 / オープンコレクタ	74LS06
" "	負論理 / オープンコレクタ	74LS07

