

第3章．制御・操作

3-1. 制御・操作とデジタル出力の様子

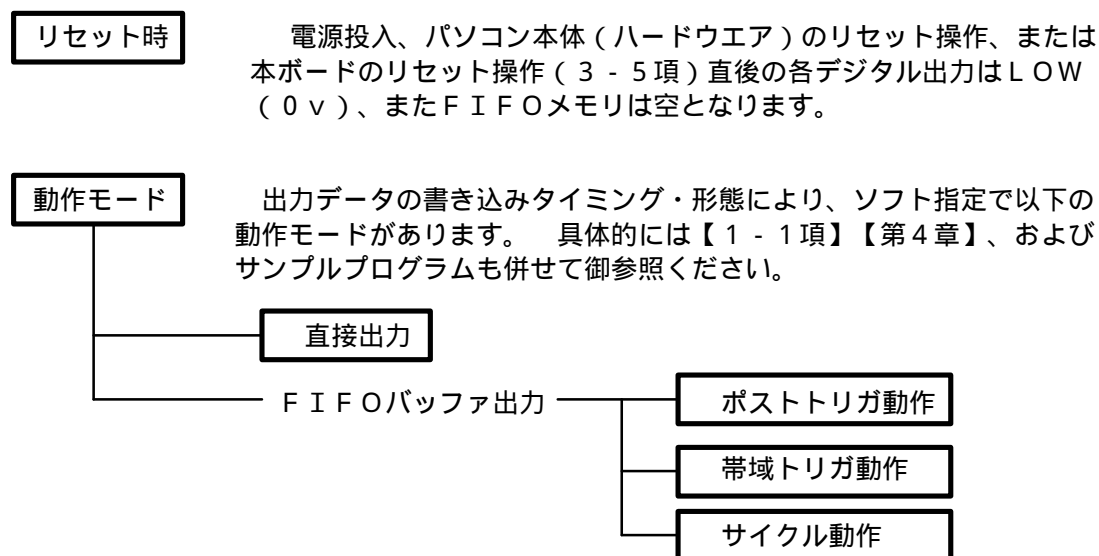
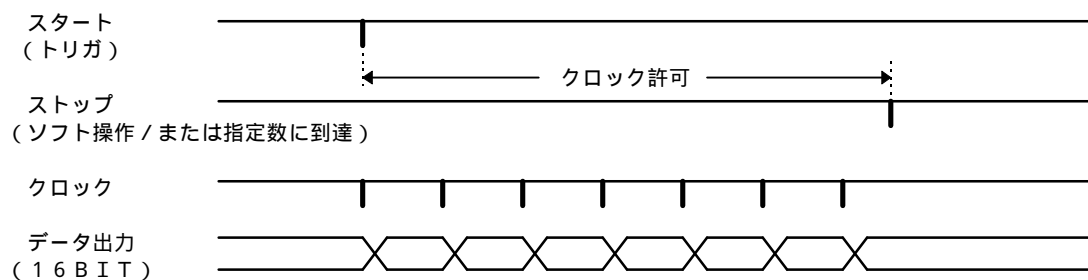


図3 - 1 A . F I F Oバッファ出力動作



スタート： ソフトトリガ、または外部トリガ入力の指定エッジにより指定クロックが有効となります。

読み出し： 16 BIT出力データはクロックに同期してF I F Oメモリから読み出し出力されます。この動作は指定データ数（最大65535）に達するか、無限モードのときはソフト上の停止操作まで続きます。

書き込み： パソコン側からはF I F Oメモリの充満状態フラグを監視しながら空読み操作とならないうちに追加データを書き込みます。F I F Oメモリの入出力は互いにタイミングを気使う必要がありません。（同時可能）
データは古い順に出口側に詰めて並んでおり、読み出された分だけ入口側に空領域が増えるので実質的にデータ数の制限はありません。

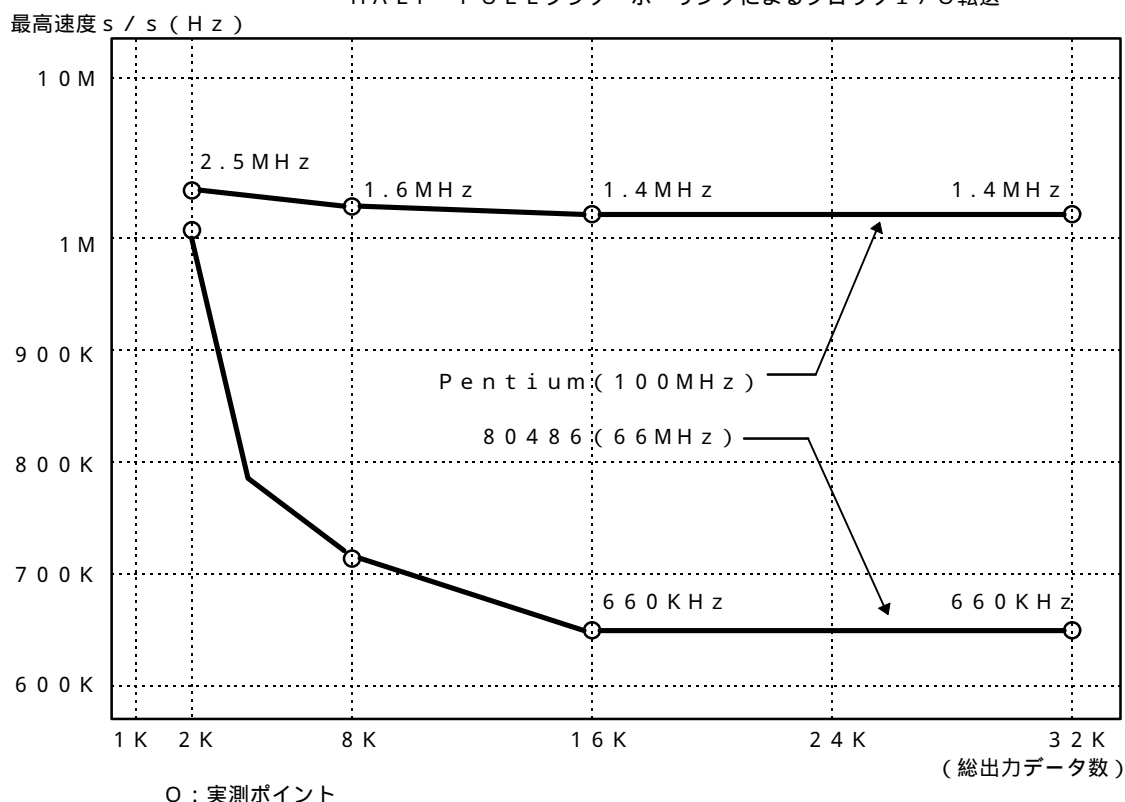
最高サンプリング速度 (1 - 1 項 / 表 1 - 1 も併せて参照)

総出力データ数がFIFOメモリ容量以内、またはサイクル動作のときはパソコン側からの書き込み速度に関係なく常に最高速度 (1 0 M H z) が可能です。

総出力データ数がFIFOメモリ容量以上のときは、FIFOメモリが空読み操作とならないうちに追加データを書き込む必要があるためパソコン側からのデータ転送速度・総出力データ数・FIFOメモリ容量で可能な最高速度が決まります。

図 3 - 1 B . FIFOバッファ通過動作の期待最高速度 (特定機での実測データ)

【測定条件】 FIFO容量 : 標準 1 0 2 4 語
HALF - FULLフラグ・ポーリングによるブロックI/O転送



3-2. F I F Oメモリの動作

F I F O (first in first out) メモリは図3 - 2に示すパイプ状の構造で、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される動作となります。読み書きは非同期で同時も可能、すなわち、データ書き込み（入口）と読み出し（出口）は互いに相手側のタイミングを配慮する必要がありません。またF I F Oメモリ内部は出口から読み出された分だけ入口側に空領域が増えるため、空となる前に追加データを書き込む動作では総通過データ数を制限しない。

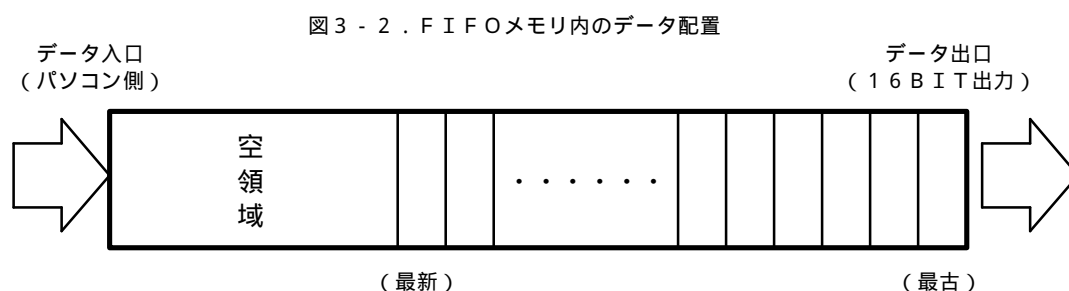


表3 - 2 . F I F Oメモリのステータス・フラグ

フラグ名	フラグの意味 (標準1024語のとき)
Not - Full	満杯ではない。 (格納データ数 1023)
Not - Half - Full	容量の1/2以下 (格納データ数 512)
ERR	サンプリング・エラー発生

16BIT出力データ転送 (パソコン F I F O)

F I F Oバッファ出力モードでは、F I F Oメモリに書き込まれたデータは出力側からの（クロックによる）自動読み出しを待っています。ソフト上ではF I F Oメモリの充満状態を示すフラグを監視、または同状態によるDMAや割り込み起動を設定してアプリケーションに適した転送方法を採用します。いずれの場合でもF I F Oバッファメモリがサンプリング実行（データ出力）とデータ転送のタイミング違いを吸収するので、マルチタスクを容易に実現することができます。

ポーリング： 【Not-Full】フラグを監視して追加データを1語ずつ書き込む方法、または【Not-HalfFull】フラグを監視して追加データをF I F Oメモリ容量の半分単位で書き込むブロック転送がある。

割り込み： 【Not-Full】【Not-HalfFull】【クロック】【外部割り込み】等から選択設定した要因による割り込み処理ルーチン内でポーリングと同様のデータ転送を実行する。

DMA： 【Not-Full】状態によりDMAを起動・実行する。

ワンポイント： ブロック転送が最速です。

3-3 . 制御・操作の手順

直接出力

最初に リセット・転送モード設定を行ったら、以後はプログラム上で任意に出力操作を行うことができます。

```
r s t = i n p ( B A S E + 7 ) ; /* 制御部リセット ( 3 - 5 項 ) */
o u t p ( B A S E + 8 , t r s m ) ; /* 転送モード設定 : t r s m = 0 ( 3 - 6 項 ) */
o u t p ( B A S E + 0 , D L ) ; /* 1 6 B I T データ出力 ( 下位バイト ) */
o u t p ( B A S E + 1 , D H ) ; /* 1 6 B I T データ出力 ( 上位バイト ) */
```

F I F O バッファ出力

～ までの手順・操作でサンプリング動作を即開始、またはトリガ待ち状態となります。ここまでは全んどの応用で同一手順となります。特に は割り込み/クロック/トリガの許可操作ですから最後に行います。

```
r s t = i n p ( B A S E + 7 ) ; /* 制御部リセット ( 3 - 5 項 ) */
o u t p ( B A S E + 8 , t r s m ) ; /* 転送モード設定 : t r s m = 0 ( 3 - 6 項 ) */

o u t p ( B A S E + 4 , c k s ) ; /* クロック源選択 ( 3 - 9 項 ) */

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子 1 の制御レジスタを対象に設定 */
o u t p ( B A S E + 6 , 0 x 3 6 ) ; /* 制御データ : 固定値 ( 3 - 1 1 項 ) */
o u t p ( B A S E + 7 , 0 ) ; /* 素子 1 の # 0 カウンタを対象に指定 */
o u t p ( B A S E + 6 , d v # 0 L ) ; /* クロック源分周比 ( # 0 下位バイト ) */
o u t p ( B A S E + 6 , d v # 0 H ) ; /* " " ( # 0 上位バイト ) */
o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子 1 の制御レジスタを対象に設定 */
o u t p ( B A S E + 6 , 0 x 7 6 ) ; /* 制御データ : 固定値 ( 3 - 1 1 項 ) */
o u t p ( B A S E + 7 , 1 ) ; /* 素子 1 の # 1 カウンタを対象に指定 */
o u t p ( B A S E + 6 , d v # 1 L ) ; /* クロック源分周比 ( # 1 下位バイト ) */
o u t p ( B A S E + 6 , d v # 1 H ) ; /* " " ( # 1 上位バイト ) */
```

前記の要領で (必要なら) サンプリング点数カウンタにも書き込む。 (3 - 1 2 項)

```
o u t p ( B A S E + 5 , i d c ) ; /* 割り込みレベル & D M A チャンネル設定 */
パソコン内 ( I S A バス上 ) の割り込み、または D M A コントローラ設定【前処理】
```

```
o u t p ( B A S E + 2 , s t r ) ; /* スタート = トリガモード設定 ( 3 - 1 3 項 ) */
```

以後はステータスを評価して適切な以下の操作を行う。

```
s t s = i n p ( B A S E + 1 0 ) ; /* ステータス取得 ( 3 - 1 4 項 ) */
o u t p ( B A S E + 0 , D L ) ; /* 1 6 B I T データ出力 ( 下位バイト ) */
o u t p ( B A S E + 1 , D H ) ; /* 1 6 B I T データ出力 ( 上位バイト ) */

o u t p ( B A S E + 2 , s t p ) ; /* ストップ = トリガモード設定 ( 3 - 1 3 項 ) */
```

パソコン内 (I S A バス上) の割り込み、または D M A コントローラ設定【後処理】等。

【注 1】 サンプリング点数の設定は < 有限サンプリング > のときのみ必要。

【注 2】 割り込み、D M A に関する設定は使用する場合のみ必要。

3-4. 制御レジスタ I / O アドレス・マップ

表 3 - 4 A に本ボード上の各制御レジスタ I / O アドレスを記します。
表中の【BASE】は (1 - 3 項) で設定した I / O ベースアドレス値です。

表 3 - 4 A . 各制御レジスタの I / O アドレス

書き込み (O U T) ポート	I/O アドレス	読み出し (I N) ポート
16 B I T データ出力の下位バイト	BASE + 0	未使用
” ” 上位バイト	BASE + 1	未使用
トリガモード設定	BASE + 2	未使用
割り込み要求の発生要因制御	BASE + 3	未使用
クロック源選択	BASE + 4	未使用
割込レベル & D M A チャンネル指定	BASE + 5	未使用
カウンタ書き込み	BASE + 6	カウンタ読み出し
読み書き対象カウンタ指定	BASE + 7	ボード制御部リセット
16 B I T データ転送モード指定	BASE + 8	未使用
汎用 2 B I T (ラッチ) 出力	BASE + 9	汎用 2 B I T (現在値) 入力
ステータスクリア & F I F O リセット	BASE + 10	ボード・ステータス取得

【読み (I N) / 書き (O U T)】はパソコン側から見た方向。

全ての対外部入出力は T T L レベル。

全てのポートは 1 バイト。(16 B I T データ出力はワードアクセスも可能)

3-5 . ボード制御部リセット

```
r s t = i n p ( B A S E + 7 ) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ (r s t = 4) はボード I D です。 当操作は電源 O N、またはパソコン本体のハードウェアリセットと同等の機能ですが、汎用 2 B I T デジタル (ラッチ) 出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

サンプリング (クロック同期出力) 中であれば、これを中止する。

F I F O メモリをクリアする。 (格納されていた出力待ちデータは失われる)

なお、

クロック源分周およびサンプリング点数カウンタの値は無効となる。 (要再設定)
汎用 2 B I T デジタル (ラッチ) 出力は変化せずに保持される。

表 3 - 5 . 【 B A S E + 7 】 入力ポートの構成

ビット	各ビットの機能・意味
B 7	ボード I D (= 4)
B 6	
B 5	
B 4	
B 3	
B 2	
B 1	
B 0	

また、

F I F O メモリだけをリセットすることもできます。【 3 - 1 4 項】