

## 3-7. アナログ入力選択 &amp; ADスタート操作

o u t p ( B A S E + 0 , c h a n n e l ) ; /\* c h a n n e l : 入力チャンネル指定 \*/

指定チャンネルのAD変換を開始します。 当操作ではアナログ入力選択とAD変換スタートが続けて実行されます。(AD変換器にはサンプルホールド機能もあり、意識する必要は無い。)

AD変換は25  $\mu$ s以内に終了します。 次3 - 8項でAD変換終了を確認し、次々3 - 9項のADデータ読み込みの手順となります。

表3 - 7 A . 【BASE + 0】出力ポートの構成

| ビット        | 各ビットの機能・意味                       | リセット時  |
|------------|----------------------------------|--------|
| B 7        | 無効データ                            | 0      |
| B 6        | " "                              | 0      |
| B 5        | " "                              | 0      |
| B 4        | " "                              | 0      |
| B 3        | " "                              | 0      |
| B 2        | 固定値【= 0】に限る。                     | 0      |
| B 1<br>B 0 | アナログ入力チャンネル指定データ<br>(表3 - 7 B参照) | 0<br>0 |

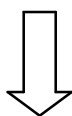


表3 - 7 B . アナログ入力チャンネル指定データ

| B 1 | B 0 | 選択されるアナログ入力 |
|-----|-----|-------------|
| 1   | 1   | チャンネル 3     |
| 1   | 0   | チャンネル 2     |
| 0   | 1   | チャンネル 1     |
| 0   | 0   | チャンネル 0     |

## 3-8. ボード・ステータスの読み込み

```
sts = inp (BASE + 2) ; /* sts : ステータスデータ */
```

AD・DA変換部の動作状態（変換中／変換終了・待機中）、および外部割り込み信号の入力状態を認識する1バイト・データを得ます。

表3 - 8 . 【BASE + 2】入力ポートの構成

| ビット | 各ビットの機能・意味  | = 1 のとき | = 0 のとき    | リセット時 |
|-----|-------------|---------|------------|-------|
| B 7 | 外部割り込み入力フラグ | セット（未読） | リセット（読み済み） | 0     |
| B 6 | 外部割り込み入力    | 現在状態    |            | 0     |
| B 5 | 未使用         |         |            | 0     |
| B 4 | 未使用         |         |            | 0     |
| B 3 | 未使用         |         |            | 0     |
| B 2 | 未使用         |         |            | 0     |
| B 1 | DA変換データ転送状態 | 転送中     | 転送済み（待機中）  | 0     |
| B 0 | AD変換フラグ     | 変換中     | 変換終了（待機中）  | 0     |

## 《補助説明》

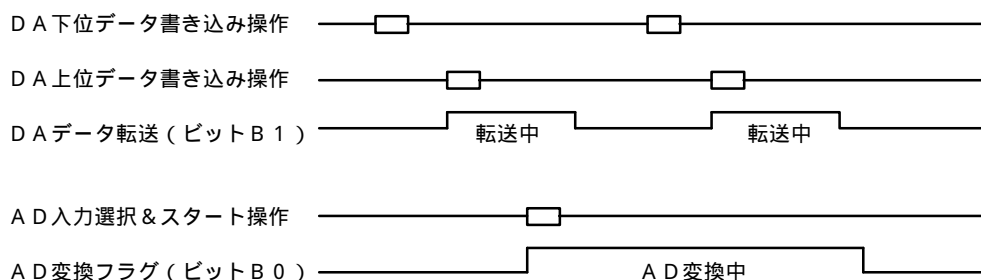
B 7 : 外部割り込みを許可した状態で外部割り込み入力INTに有効エッジ（3 - 4項）が印加されるとセット（= 1）され、本ステータスポートの読み込み直後にリセット（= 0）されます。3 - 4項で説明されているように、この有効エッジで割り込みを発生させる以外に、割り込みを使用せず（割り込みレベルを無効な値 = 0 に設定）、当ビットを監視して外部イベントの発生に応じた処理を実行するようなプログラムも可能です。

B 6 : 外部割り込み入力INTの現在状態を反映します。割り込みを禁止した状態では汎用の1ビット入力として利用することもできます。

B 1 : DAデータは上位バイト書き込み操作により（先に書き込み・保持された）下位バイトと併せた2バイトが同時にDA変換器の入力ラッチに転送・保持されるのですが、この転送期間中だけセット（= 1）されます。この時間は2.5 μsですが次のDAデータ書き込み操作禁止期間です。

B 0 : AD変換実行中（24 μs以内）だけセット（= 1）されます。

図3 - 8 . AD・DA実行操作とステータス・ビット



## 3-9. ADデータの読み込み

```
ad_low = in p (BASE+0) ; /* ad__low : 下位8BITデータ */
ad_high= in p (BASE+1) ; /* ad__high: 上位4BITデータ */
```

ADデータは2バイトに分けて読み込みます。(この順番は任意です。)

表 3 - 9 A . 【BASE + 1】入力ポートの構成

| ビット | 各ビットの機能・意味                 | リセット時 |
|-----|----------------------------|-------|
| B 7 | 無効データ 【注】                  | 無効データ |
| B 6 | " " 【注】                    |       |
| B 5 | " " 【注】                    |       |
| B 4 | " " 【注】                    |       |
| B 3 | ADデータ ADD 11 (MSB: 最上位ビット) |       |
| B 2 | " " ADD 10                 |       |
| B 1 | " " ADD 9                  |       |
| B 0 | " " ADD 8                  |       |

【注】 上位バイトデータのビットB 7 ~ B 4は指定データコード(3-5項)によって定義が変わります。 バイナリの場合は: 全て= 0となりますが、2の補数が指定されているときは最上位ビットADD 11(ビットB 3)と同じ値になります。

表 3 - 9 B . 【BASE + 0】入力ポートの構成

| ビット | 各ビットの機能・意味              | リセット時 |
|-----|-------------------------|-------|
| B 7 | ADデータ ADD 7             | 無効データ |
| B 6 | " " ADD 6               |       |
| B 5 | " " ADD 5               |       |
| B 4 | " " ADD 4               |       |
| B 3 | " " ADD 3               |       |
| B 2 | " " ADD 2               |       |
| B 1 | " " ADD 1               |       |
| B 0 | " " ADD 0 (LSB: 最下位ビット) |       |

## 3-10. 汎用2BITデジタル入出力

d i n = i n p ( B A S E + 3 ) ; /\* din : 2ビット入力 (現在値) \*/  
o u t p ( B A S E + 3 , d o u t ) ; /\* dout : 2ビット出力 (ラッチ) \*/

各入出力ポートの下位2ビットが有効です。

表3 - 10 A . 【BASE + 3】入力ポートの構成

| ビット | 各ビットの機能・意味         |
|-----|--------------------|
| B 7 | 未使用                |
| B 6 | "                  |
| B 5 | "                  |
| B 4 | "                  |
| B 3 | "                  |
| B 2 | "                  |
| B 1 | 汎用デジタル入力 D 1 (現在値) |
| B 0 | 汎用デジタル入力 D 0 (現在値) |

表3 - 10 B . 【BASE + 3】出力ポートの構成

| ビット | 各ビットの機能・意味         | リセット時 |
|-----|--------------------|-------|
| B 7 | 未使用                |       |
| B 6 | "                  |       |
| B 5 | "                  |       |
| B 4 | "                  |       |
| B 3 | "                  |       |
| B 2 | "                  |       |
| B 1 | 汎用デジタル出力 Q 1 (ラッチ) | 【注1】  |
| B 0 | 汎用デジタル出力 Q 0 (ラッチ) | 【注1】  |

【注1】 電源投入、またはハードウェア・リセット直後の汎用デジタル出力 Q 0 , Q 1 は " 0 " ですが、本ボードの制御部リセット操作 ( 3 - 3 項 ) ではクリアされません。

【注2】 出荷時の汎用デジタル出力 Q 0 , Q 1 は T T L レベル・正論理ですが、出力素子 (ソケット実装) はユーザ側で変更可能です。

|           | 論理・信号レベル      | 出力素子                |
|-----------|---------------|---------------------|
| 標準出荷時     | 正論理・T T L レベル | 7 4 L S 0 4         |
| ユーザ・オプション | 負論理・T T L レベル | 7 4 A L S 3 4 A【注3】 |
| " "       | 正論理・オープンコレクタ  | 7 4 L S 0 5         |
| " "       | 負論理・オープンコレクタ  | 7 4 L S 0 6         |

【注3】 7 4 A L S 3 4 A は入手困難ですが、オープンコレクタ素子 7 4 L S 0 6 とプルアップ抵抗 ( R 6 2 , R 6 3 ) で代用できます。