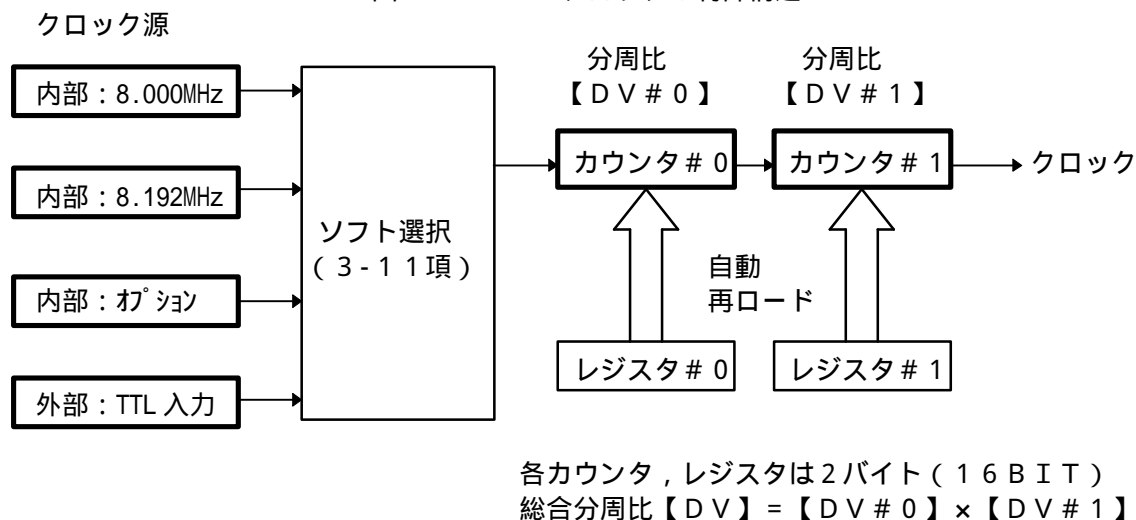


図 3 - 1 3 A . クロックの制御構造

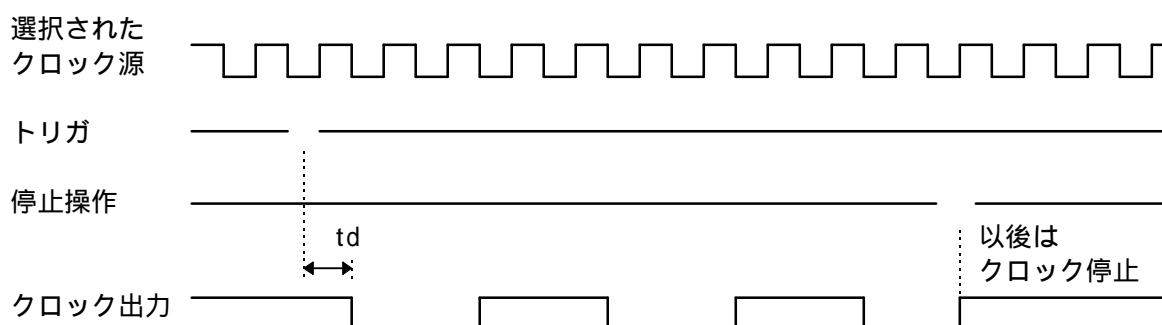


（3-11項で）選択されたクロック源信号は“素子1”内のカウンタ#0，#1で分周されてクロック値となります。カウンタ#0，#1は直列に接続された各16BITのバイナリDOWNカウンタで、当素子（μPD71054）のモード3で動作させます。

前記“操作手順”により書き込まれた分周比データは（実際には）、各カウンタ専用の入力レジスタ#0，#1に保持されており、クロックスタート（トリガ発生）操作により各カウンタにロードされて計数が開始されます。総合32BITの当カウンタが“0”までカウントダウンすると1クロックを出力し、次のカウント・タイミングで入力レジスタ内のデータが再ロードされて再びカウントダウンが続けられます。この動作の様子を図3-13Bに示します。

【注4】 クロックスタート（トリガ発生）時にも1クロック出力があります。

図 3 - 1 3 B . クロック発生タイミング



《動作説明》 上記はトリガ（クロックスタート＝出力開始）後、3クロック出力後に停止操作等で動作終了となった例。分周比は4。なお、

クロック源信号、およびクロック出力の有効エッジは常に立下り（☐）。最初のクロック出力遅れtdは最大で1クロック源周期。

3-14. D A出力データ点数の設定・認識

クロック同期更新モードで出力するD Aデータ点数は前3 - 1 3項で得たクロック出力をカウントして得ます。 当モードによる出力D Aデータ点数は、【1ブロック当りのデータ点数】を【指定ブロック数】または【停止操作等まで無限に】設定・制御する構造です。(3 - 1 7項) ここではカウンタ素子2を使用し、

カウンタ# 0に書き込む値NUM: 1ブロック当りのデータ点数(2 ~ 6 5 5 3 5)、
 カウンタ# 1に書き込む値BLK: 指定ブロック数(1 ~ 6 5 5 3 5)、
 とします。

1ブロック当りのデータ点数の最小値=2であることに御注意ください。 なお、当値はサイクルモード時の1波形周期でもあります。 また、非サイクルモードのときは割り込み要求発生要因に“1ブロック出力終了”を指定(3 - 1 0項)して、割り込み処理ルーチン内でブロックI/O転送の単位に当値(1ブロック当りのデータ点数)を使用するような使い方ができます。

【特注】 F I F Oメモリ内のD Aデータ点数を1周期として循環出力するサイクルモードのときは、F I F Oメモリ内の実在D Aデータ点数とカウンタ# 0の値(=1ブロック当りのデータ点数)が一致しなければなりません。

設定操作手順

```

outp(BASE+0,0) ; /* 所属ページ指定(=0) */

outp(BASE+7,0x7) ; /* 素子2の制御レジスタを対象に指定 */
outp(BASE+6,0x34) ; /* 制御データ【注2】:固定値 */

outp(BASE+7,0x4) ; /* 素子2のカウンタ#0を対象に指定 */
outp(BASE+6,NUML) ; /* 下位バイト書き込み */
outp(BASE+6,NUMH) ; /* 上位バイト書き込み */

outp(BASE+7,0x7) ; /* 素子2の制御レジスタを対象に指定 */
outp(BASE+6,0x72) ; /* 制御データ【注3】:固定値 */

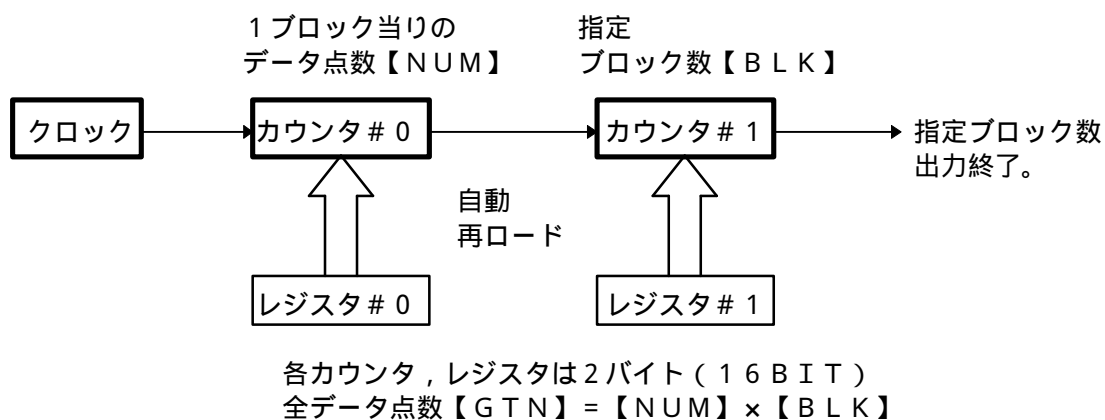
outp(BASE+7,0x5) ; /* 素子2のカウンタ#1を対象に指定 */
outp(BASE+6,BLKL) ; /* 下位バイト書き込み */
outp(BASE+6,BLKH) ; /* 上位バイト書き込み */

```

【注1】: 書き込み対象選択については前3 - 1 2項、参照。
 また、各カウンタの書き込みは下位バイトを先に、続けて上位バイトの順とする。

【注2】/【注3】: カウンタ#0/#1を同素子の“モード2”/“モード1”で使用する意味の固定データ。(無条件に適用してください。)

図3 - 1 4 A . D A出力データ点数の制御構造



(3 - 1 3 項で) 得られたクロック信号はD Aデータ更新動作に使用されると同時に“素子2”内のカウンタ#0, #1で更新実行点数としてカウントされます。

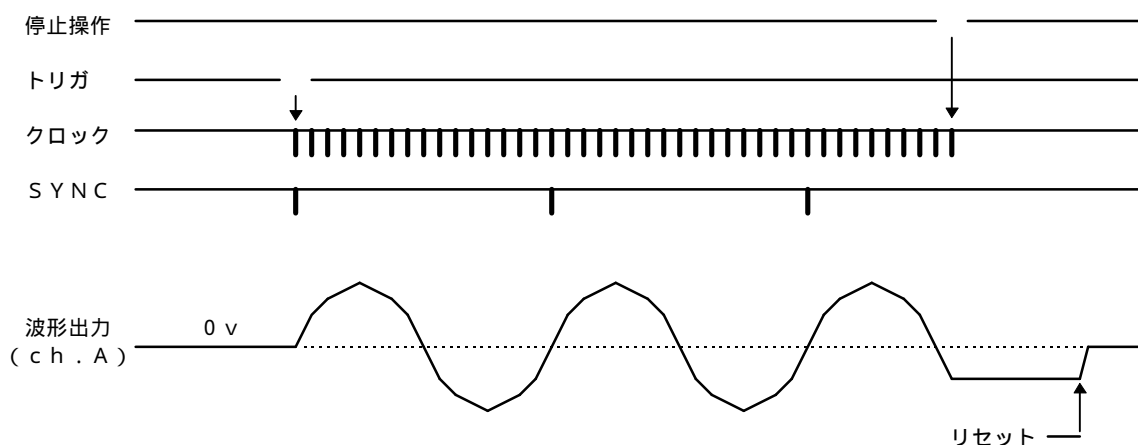
カウンタ#0, #1は直列に接続された各16BITのバイナリDOWNカウンタで、当素子(μPD71054)のモード2またはモード1で動作させます。

前記“操作手順”により書き込まれた各データは(実際には)各カウンタ専用の入力レジスタ#0, #1に保持されており、クロックスタート(トリガ発生)操作により各カウンタにロードされて計数が開始されます。【1ブロック当りのデータ点数カウンタ】#0が“0”までカウントダウンすると1パルスを出力し、次のカウント・タイミングで入力レジスタ内のデータが再ロードされて再びカウントダウンが続けられます。カウンタ#0からのパルス出力はボード内の制御タイミングに利用されると同時に【指定ブロック数カウンタ】#1の入力ともなります。

#1のダウンカウント値が“0”に達すると全データ出力終了なのでクロックを止めます。

なお、#1の出力を無視して【停止操作等まで無限に】クロック動作を続ける動作モードもあります。(3 - 1 7 項・参照)

図3 - 1 4 B . クロック同期更新モードの動作



SYNC: 各データ・ブロックの先頭位置を示す1クロック幅の外部出力信号。選択(3 - 1 6 項)により、クロック信号に代えて出力することができる。

波形出力: D A出力は(チャンネルA, B共)電源ON、パソコン本体(ハード)リセット操作、または本ボードの制御部リセット操作(3 - 5 項)により初期値 = 0 vとなる。以後はD A出力操作(またはクロック)により更新された値が次の更新まで保持(ラッチ)される。

出力済みD Aデータ点数の読み込み

クロック同期更新モードで出力中、素子2のカウンタ#0, #1を読むことにより現在までの出力済み点数を知ることができます。

動作開始時のカウンタ#0設定値【NUM】：1ブロック当りのデータ点数
カウンタ#1設定値【BLK】：指定ブロック数

現在のカウンタ#0読み込み値【CNM】
#1読み込み値【CBK】

とすると、

出力済み点数

$$【DON】 = (【BLK】 - 【CBK】) \times 【NUM】 + (【NUM】 - 【CNM】)$$

読み込み手順

```

outp (BASE + 0, 0)      ; /* 所属ページ指定 (= 0) */

outp (BASE + 7, 0x7)    ; /* 素子2の制御レジスタを対象に指定 */
outp (BASE + 6, 0xD6)   ; /* 制御データ【注2】：固定値 */

outp (BASE + 7, 0x4)    ; /* 素子2のカウンタ#0を対象に指定 */
CNML = inp (BASE + 6)   ; /* 下位バイト読み込み */
CNMH = inp (BASE + 6)   ; /* 上位バイト読み込み */

outp (BASE + 7, 0x5)    ; /* 素子2のカウンタ#1を対象に指定 */
CBKL = inp (BASE + 6)   ; /* 下位バイト読み込み */
CBKH = inp (BASE + 6)   ; /* 上位バイト読み込み */

```

【注1】：読み込み対象選択については前3 - 12項、参照。
また、各カウンタの読み込みは下位バイトを先に、続けて上位バイトの順とする。

【注2】：カウンタ#0 / #1の値を同時ラッチ（出力用ラッチに読み出し）する意味の固定データ。（無条件に適用してください。）当操作後は必ず続けてカウンタ（ラッチ）の読み込み操作を行うこと。各ラッチは上位バイト読み出し直後からカウンタに追従を開始する。

3-15. SYNC / クロック出力切り替え

```

outp (BASE + 0, 1)    ; /*  所属ページ (= 1) 指定  */
outp (BASE + 5, syn) ; /*  出力信号選択      */

```

外部TTL出力信号【SYNC / CLK - OUT】を【SYNC】出力とするか、【CLK】出力とするかの選択を行う。

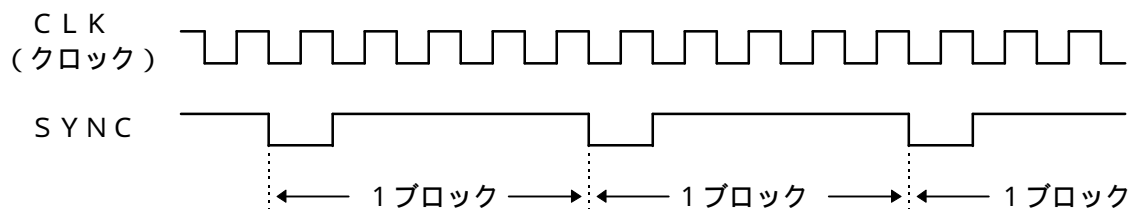
【CLK】出力： クロック同期更新モード（3 - 17項）で使用される連続DAデータの更新タイミング信号（TTL立下り）、すなわち“クロック”出力。

【SYNC】出力： クロック同期更新モード（3 - 17項）のとき、1ブロックDAデータ群の先頭データ出力タイミング（TTL立下り）を示す。

表 3 - 1 5 A . 【BASE + 5】（ページ1）出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用			
B 6				
B 5				
B 4				
B 3				
B 2				
B 1				
B 0	SYNC / クロック出力切り替え	SYNC 出力	クロックを出力	0

図 3 - 1 5 . CLK / SYNC タイミング（例）



クロックのパルス幅：デューティは（50 %）±（1クロック源周期）
 SYNCのパルス幅：1クロック周期
 両信号の有効エッジ：共に立下り（ ）

本例は1ブロック分データ点数 = 5 の場合。

3-16. D Aデータの書き込み

以下の定義は次の各項を御参照ください。
 【更新モード】…………… 次 3 - 1 7 項
 【D Aデータ転送方法】…………… 3 - 8 項

D AチャンネルA： クロック同期更新モードのときはF I F Oメモリに書き込まれる。
 即時更新モードのときはD A素子（ラッチ付）に直接書き込まれる。
 D Aデータの転送方法が【I / O】に設定されているときは下記の
 ように通常のO U T命令、またはブロックO U T命令（O U T S W）が
 使用できる。なお、ワード書き込みの場合は下位バイト書き込み用の
 アドレスに対してアクセスする。D Aデータの転送方法が【D M A】
 に設定されているときはバイトD M A（シングルモード）のみ使用可能。

```
o u t p ( B A S E + 8 , A L ) ; /* D AチャンネルAの下位バイト書き込み */
o u t p ( B A S E + 9 , A H ) ; /* D AチャンネルAの上位バイト書き込み */
```

D AチャンネルB： 設定された更新モードにかかわらずD A素子（ラッチ付）に直接書き
 込まれる。なお、D Aデータの転送方法が【D M A】に設定されてい
 るときは当チャンネルBに書き込むことができない。

```
o u t p ( B A S E + 10 , B L ) ; /* D AチャンネルBの下位バイト書き込み */
o u t p ( B A S E + 11 , B H ) ; /* D AチャンネルBの上位バイト書き込み */
```

表 3 - 1 6 A . 【B A S E + 9】および【B A S E + 11】出力ポートの構成

ビット	ビット機能	適 用	リセット時
B 7 B 6 B 5 B 4	未使用		
B 3 : D 11 (MSB) B 2 : D 10 B 1 : D 9 B 0 : D 8		D Aデータ・上位4ビット	【注】

表 3 - 1 6 B . 【B A S E + 8】および【B A S E + 10】出力ポートの構成

ビット	ビット機能	適 用	リセット時
B 7 : D 7 B 6 : D 6 B 5 : D 5 B 4 : D 4 B 3 : D 3 B 2 : D 2 B 1 : D 1 B 0 : D 0 (LSB)		D Aデータ・下位8ビット	【注】

【注】 電源ON、パソコン本体のハードウェア・リセット操作、または
 本ボードの制御部リセット操作により、D A出力は初期値 = 0 v に
 なります。（A , B , 両チャンネル共）