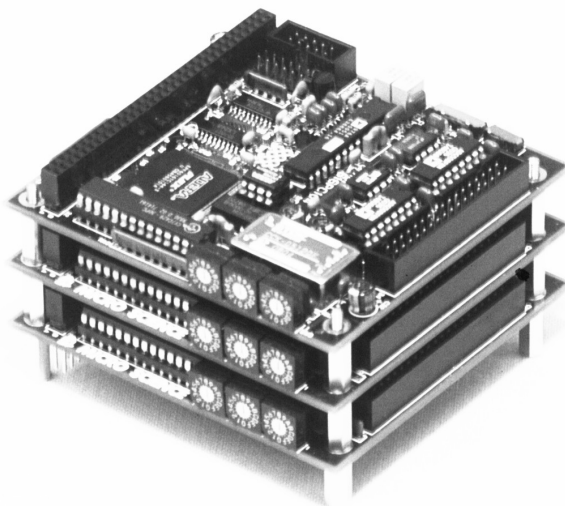


Real Solution for FA/LA



12bit / 4ch / FIFOバッファメモリ付
自動サンプリングDA変換

MDA - 714 PC104

取扱い説明書

PC104
ISA互換バス

マイクロサイエンス（株）

〒167-0042 東京都杉並区西荻北2丁目37番12号

TEL 03(3396)8362 代表

FAX 03(3301)5593

Email: welcome@microscience.co.jp

Mar 01, 2002

目 次

| | |
|------------|---|
| 使用・適用上の注意 | 4 |
| 本製品の仕様一覧 | 5 |
| 本製品の構成・価格表 | 6 |

第1章．導入・試運転

| | |
|--------------------|----|
| 1-1. 本製品の概要 | 7 |
| 1-2. ボード上の設定 | 8 |
| 1-3. I/Oベースアドレスの設定 | 9 |
| 1-4. 入出力コネクタ・ピン接続 | 10 |

第2章．信号入出力

| | |
|----------------|----|
| 2-1. アナログ出力端 | 11 |
| 2-2. アナログ出力範囲 | 12 |
| 2-3. 入出力信号の定義 | 14 |
| 2-4. デジタル入出力回路 | 14 |

第3章．制御・操作

| | |
|------------------------------|----|
| 3- 1. 制御・操作とアナログの様子 | 15 |
| 3- 2. F I F Oバッファメモリの構造・動作 | 20 |
| 3- 3. 制御レジスタI/Oアドレス・マップ | 21 |
| 3- 4. ボード・リセット（初期化）、認識 | 22 |
| 3- 5. 出力範囲・出力モード・出力チャンネル数の設定 | 23 |
| 3- 6. クロック源の選択 | 25 |
| 3- 7. (クロック源)分周比の設定 | 25 |
| 3- 8. 連続サンプリング回数カウンタの読み書き | 26 |
| 3- 9. トリガモードの設定 | 28 |
| 3-10. 割り込み制御 | 30 |
| 3-11. サンプリング・スタート/ストップ | 32 |
| 3-12. ステータスデータの取得・クリア | 33 |
| 3-13. D Aデータの書き込み | 36 |
| 3-14. マスタスレーブ動作（複数ボードの同期運転） | 38 |
| 3-15. 補助デジタル入出力 | 40 |

第4章．保守・その他

| | |
|----------------------------------|----|
| 4-1．故障・トラブル等の原因と対処 | 41 |
| 4-2．修理のときは | 42 |
| 4-3．再調整 | 43 |
| 付録．Q & A フォーム（質問／トラブル・故障に対する相談用） | 44 |

本製品の使用・適用についての注意

- 【１】 本製品はPC / 104バス（８ビット）に装着して使用するものですが、コネクタの電流容量は３Ａ仕様の部品を使用することにより＋５ｖ電源ピン（計２本）の供給能力は標準規格の（１Ａ仕様×２ピン）より大きくなっています。
但し、標準規格に忠実な他社製品と組み合わせて使用するときは低能力側の仕様を採用しなければならない場合もありますので御注意ください。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システムの設計・制作に別途付加・反映させてください。 本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。 これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。 御利用の場合は同システムの設計・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第３者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。 但し、当社製ソフトウェアのソースコードを含むソフトウェアを第３者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

本機の仕様一覧

アナログ出力部

| 項 目 | |
|---------|---|
| アナログ出力数 | 4 チャンネル (同時更新) |
| 出力範囲 | $\pm 10 \text{ V} / \pm 5 \text{ V} / 0 \sim 10 \text{ V} / 0 \sim 5 \text{ V}$ (ソフト設定) |
| その他 | 負荷駆動能力 = $2 \text{ K} / 500 \text{ pF}$ 、出力抵抗 = 1Ω 以下、電源 ON 時のハードウェアリセットによる 0 V 出力機能。 |

D A 変換部

| 項 目 | |
|----------------|--|
| 分解能 | 12 ビット |
| 単 c h サンプリグ速度 | $0.5 \mu \text{ s} (2 \text{ MHz})$ |
| 複 c h サンプリグ速度 | $0.5 \mu \text{ s} \times (\text{実行チャンネル数})$ |
| セトリグ時間 (max) | $8 \mu \text{ s}$ (負荷容量 100 pF 、 10 V スイグで $0.1 \% \text{ FS}$ 到達時間) |
| スルーレート | $5 \text{ V} / \mu \text{ s}$ |
| 非直線性 (max) | $\pm 0.004 \% \text{ FS}$ |
| 正確度 (max) | $\pm 0.07 \% \text{ FS}$ 【注 1】 |
| グリッジ・インパルス | $400 \text{ mV} (\text{typ})$ |
| 温度ドリフト (typ) | $\pm 25 \text{ ppm} /$ |
| D A データ・コード | ストレート / オフセット・バイナリ |

【注 1】常温で製造時調整のとき。(較正測定器誤差 0.012% を含み、内部雑音を含まず。)

制御部・その他 (共通)

| 項 目 | |
|-----------------------------|---|
| クロック (ソフト指定) | クロック源 : 内部 20 MHz / 外部 TTL 入力 分周機能 : 32 BIT プログラマブルカウンタ (バイナリ) |
| トリガ (サンプリグ開始) | 内部トリガ : プログラム上からの即トリガ、 外部トリガ : 外部 TTL 入力の指定エッジ、またはレベル |
| バッファメモリ | 標準 1024 語 FIFO メモリ (オプションで 8 K 語 ~ 最大 8 M 語に増設可能) |
| D A データ転送 | ブロック転送 : 通常 FIFO の HALF - FULL フラグを利用して容量の半分単位で行う。 通常 OUT 命令 : 2 バイト (上位・下位) に分割して連続書き込み。 |
| マスタスレーブ動作 | マスタのクロック出力をスレーブのクロック源入力に接続することにより可能。 |
| 割り込み (ジャンパ設定) | 割り込み番号 : (IRQ3 , 4 , 5 , 6 , 7 , 9) の中から選択。 割り込み要因 : 1 回サンプリグ終了、トリガ発生、指定回数サンプリグ終了 サンプリグ・クロック、外部 TTL 入力の指定エッジ、 FIFO メモリの FULL 解消、同 HALF - FULL フラグ。 |
| 汎用デジタル入出力 (HCT 型 CMOS 素子) | 3 ビット TTL 入力 : (外部割り込み、外部クロック源、外部トリガ、各入力と兼用。) 1 ビット TTL 出力 : (ラッチ出力、ボード上に極性切り替えスイッチ付) |
| I / O アドレス | ボード上の DIP スイッチ設定により (連続した) 16 アドレス占有。 |
| PC / 104 バス駆動 | 74LS245 相当品使用で標準規格より強化。(シンク電流 = 24 mA) |
| 基板寸法 | PC 104 標準サイズ (95.9 mm) \times (90.2 mm) / 突出部を含まず。 |
| 動作環境 (結露しないこと) | 周囲温度 : $0 \sim +55$ 、保存温度 : $-10 \sim +80$ (結露しないこと) |
| 付属品 | 取扱説明書、回路図、入出力プラグヘッダ (各 1 個) |
| 電源消費 (+5 V) | 300 mA |

製品構成

本体 D A ボード、
 入出力プラグ・ヘッダ（各 1 個）
 専用スペーサ&ネジ（4 個）
 ソフトウェア（当社ホームページwww.microscience.co.jpからダウンロード）
 プレーンな C サンプル、オープンソース C 関数セット、
 オープンソース L i n u x ドライバ、
 当社製 P C I、U S B 各インターフェース上でのサンプル。

価格表

| 製品名 | 当社直販価格 | 製品の概要 |
|-----------------------|---------------|--|
| MDA - 7 1 4 P C 1 0 4 | ¥ 4 4 , 0 0 0 | 1 2 ビット 4 チャンネル F I F O メモリ付 D A 変換ボード |
| (オプション) 取扱説明書 | 1 , 0 0 0 | 印刷された取扱説明書 |

《 言語 》 英文を御希望の場合は“英文取扱説明書”と御指定ください。（本製品は当社・日本製です。）
 なお両版共、P D F ファイルは無償配布の C D R O M に格納されているほか、
 当社ホームページからダウンロードもできます。/ 新製品はダウンロードのみ /
www.microscience.co.jp

《 メモリ増設 》 該当容量の F I F O メモリ素子に交換して出荷します。（標準搭載容量：1 K 語分）
 本体製品型名の末尾に F I F O メモリ容量を示す枝番を付してください。

選択枝番： - 8 K W（8 K 語分 / ¥ 1 0 , 0 0 0 加算）
 - 1 M W（1 M 語分 / ¥ 2 2 , 0 0 0 加算）【注】
 - 8 M W（8 M 語分 / ¥ 2 7 , 0 0 0 加算）

【注】1 M 語 F I F O モジュールに限り最高読み書き速度 = 2 M B / 秒（1 M 語 / 秒）のため、
 本機に適用した場合、最高動作速度が同速度に制限されます。

故障・修理・サポート方法について

- 【1】 納入後 1 年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品
 に対して無償修理を行います。但し、故障・不具合の原因や無償修理の対象となるか否
 かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【2】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰
 する故障品に対しては実費にて修理をお請けします。
- 【3】 修理は宅配便によるセンドバックで行います。なお、運賃は互いに発送する側が負担
 するものとします。（無償修理の場合も含む / 着払い不可。）
- 【4】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社
 宛に直接御相談・御用命ください。その際は、客観情報の整理・評価を行うために必ず
 F A X 等でレポートを御送付ください。（解決速度が格段に上ります。）
 本書末尾の《Q & A フォーム》が便利です。

第1章. 導入

1-1. 本機の概要

本ボードは効率のよい高速ブロックI/O転送命令も利用できるFIFOメモリを搭載しており、指定された条件（トリガ・チャネル数）に従ってボード上で自動サンプリングを行う構造となっています。ソフト上では条件設定・スタート（トリガ待ち）・ステータス取得・評価・データ書き込みだけで、動作タイミング等の制御を必要としません。このような制御構造はリアルタイム/マルチタスクのFALシステムやWINDOWS環境に最適です。

最高サンプリング（波形出力）速度：2MHz（500ns/ch、同時更新）

セトリング時間：8μs、スルーレート：5v/μs、

サンプリング点数を制限しないFIFOメモリ搭載。（標準1K語/最大8M語増設可能）

マルチ・クロック源：内部20MHz/外部入力。（32ビットカウンタで分周して使用）

外部イベントに同期した出力が可能。（外部クロック&分周比=1）

マルチ・トリガ源：ソフト上の即トリガ/外部入力。

アナログ出力範囲：±10v/±5v/0~10v/0~5v（ソフト指定）

クロック入出力機能により複数ボードの同期運転可能（マスタスレーブ動作）。

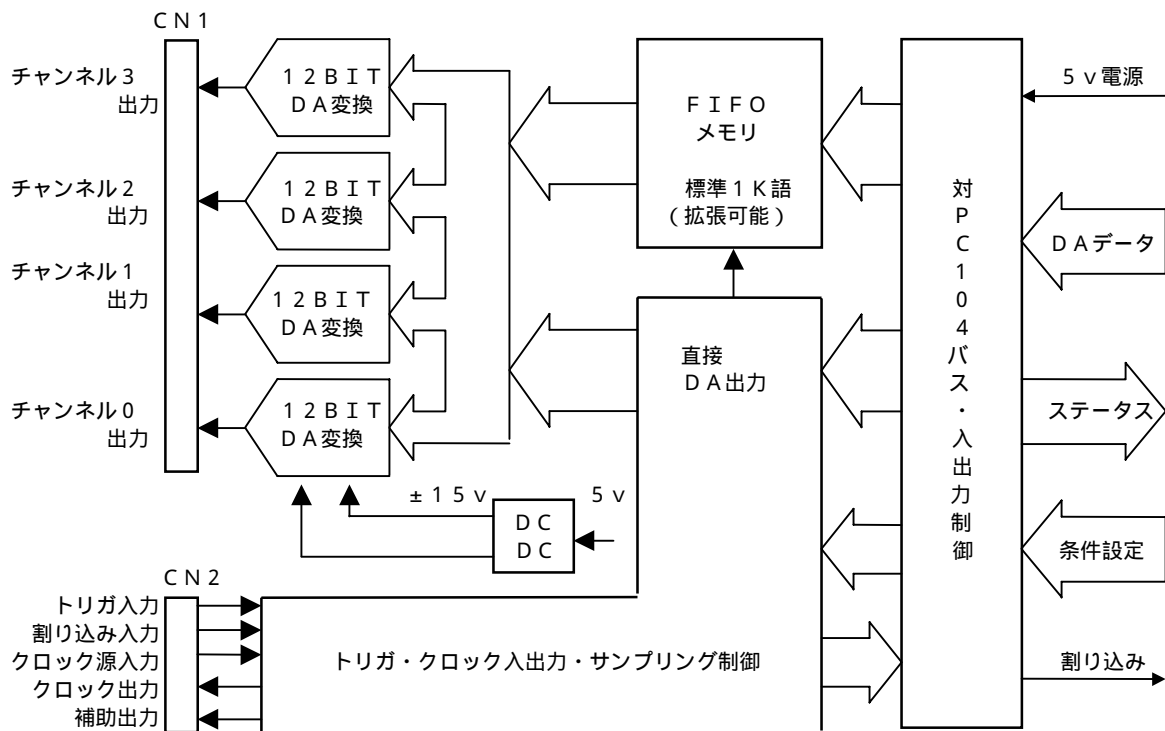
パワーON（ハードウェア）リセットによる強制0v出力機能。

I/Oアドレス：上位12ビットをディップスイッチ設定（16ポート占有）

動作温度範囲：0~+55（結露しないこと）

保存温度範囲：-10~+80（" " "）

図1-1. MDA-714PC104機能ブロック

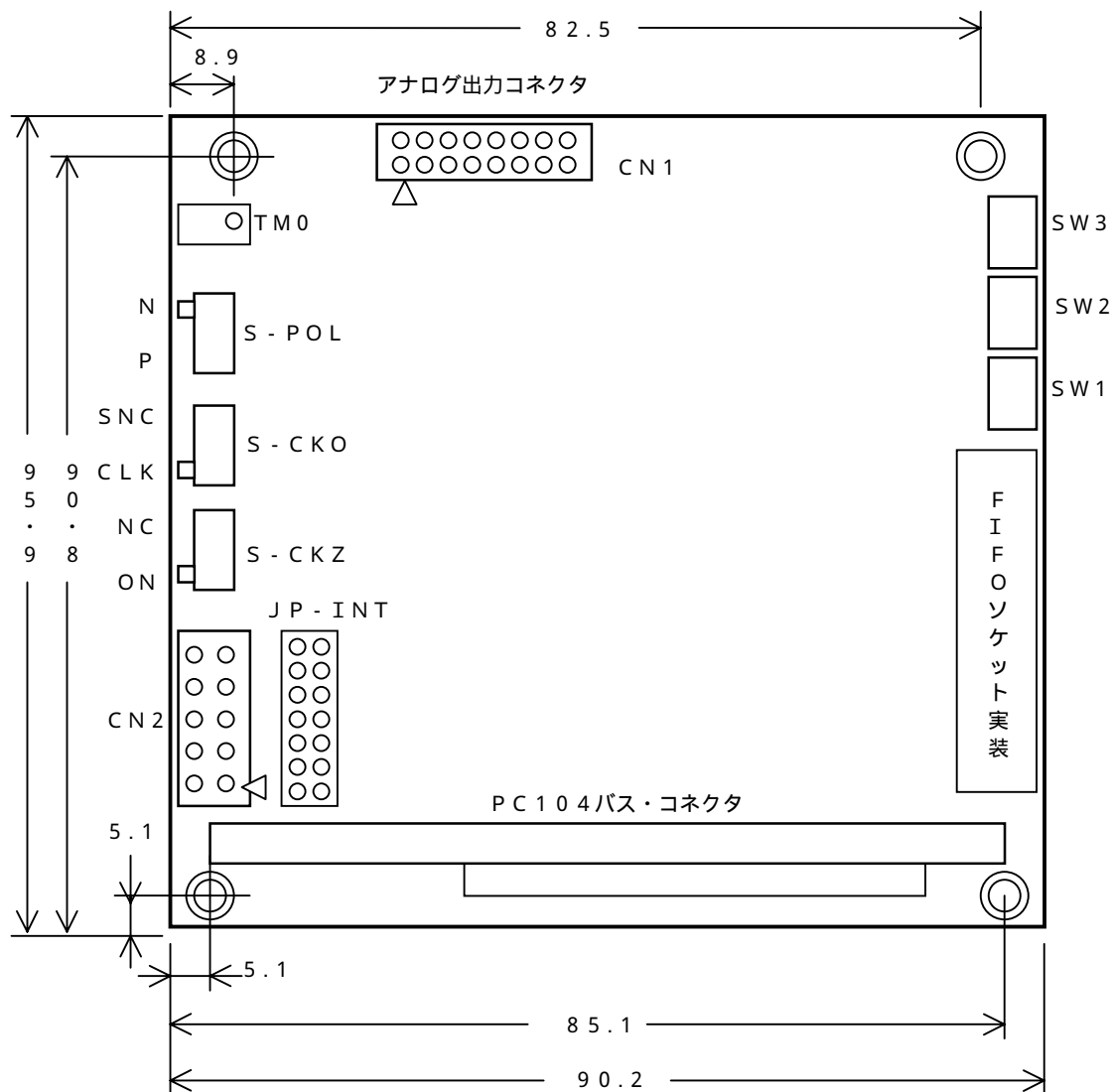


【注】汎用入力：トリガ、割り込み、クロック源入力のうち制御に使用しない信号入力を転用可能。

汎用出力：1ビット（ラッチ）出力。

1-2. ボード上の設定

図1-2A. MDA - 714PC104ボード上の部品配置



SW1 ~ SW3 : I/Oベースアドレス設定【出荷時：0, 1, E】 / 1 - 3項
 S - POL : 汎用デジタル出力極性選択【出荷時：N (負論理)】 / 3 - 15項
 S - CKO : 制御出力信号選択 【出荷時：CLK (クロック)】 / 2 - 3項
 S - CKZ : クロック出力終端選択 【出荷時：ON (接続)】 / 3 - 14項
 JP - INT : 割り込み番号選択 【出荷時：NC (非接続)】 / 3 - 10項

TM0 : ゲイン調整トリマ。(再調整用) / 4 - 3項

CN1 : アナログ出力コネクタ (16ピンFRC) : 1番ピン / 1 - 4項

CN2 : デジタル入出力コネクタ (10ピンFRC) : 1番ピン / 1 - 4項

1-3. I/Oベースアドレスの設定

本機の制御・操作は全てPC104バス上のハードウェアI/O空間に割り付けられます。

I/Oアドレス割り付けは使用するCPU、周辺デバイスの都合で決定・設定してください。

参考までにIBM PC/AT互換機ではパソコン本体デバイスおよび重要な周辺機器・拡張ボードの使用するI/Oアドレスが000h～3FFhにマッピングされています。I/Oアドレス線は16ビット（AB15～AB0）ですが、全んどのIBM PC/AT互換機ではAB9～AB0のみをデコード（AB15～10を無視）しているため上位のアドレス空間1KBごとにイメージが生じることに御留意下さい。本機の出荷時設定は01E、この場合は01E0～01EFのアドレスを占有します。他のボードや周辺機器と重複しない値を御使用ください。

図1-3. I/Oベースアドレスの設定



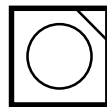
| アドレス線 | AB15 ~ AB12 | AB11 ~ AB8 | AB7 ~ AB4 | AB3 ~ AB0 |
|-------------------------|--|--|---|-------------------------------------|
| ディップ スイッチ SW1 ~ 3 | SW1  | SW2  | SW3  | ボード内で 複数のアドレスを使用 / 3 - 3項参照 / |
| 出荷時設定 | 0 | 1 | E | (0 ~ F) |

表1-3. IBM PC/AT互換機システムの(代表的な)I/Oアドレスマップ

| I/Oアドレス(hex) | 本体デバイス、主要周辺機器 | 本機で運用の可否 | 他社の使用例、等 |
|--------------|------------------|----------|---------------|
| 000 ~ 01F | DMAコントローラ1 | x 不可 | |
| 020 ~ 03F | 割り込みコントローラ1 | x 不可 | |
| 040 ~ 05F | タイマ | x 不可 | |
| 060 ~ 06F | キーボード・コントローラ | x 不可 | |
| 070 ~ 07F | リアルタイム・クロック、NMI | x 不可 | 某社の本体システムで使用 |
| 080 ~ 09F | DMAページレジスタ | x 不可 | |
| 0A0 ~ 0BF | NMIマスキレジスタ | x 不可 | |
| 0C0 ~ 0DF | | x 不可 | DMAコントローラ2 |
| 0E0 ~ 0FF | | x 不可 | NDP |
| 100 ~ 16F | | 【推奨】 | |
| 170 ~ 17F | IDEコントローラ2 | x 不可 | |
| 180 ~ 1EF | | 【推奨】 | |
| 1F0 ~ 1F7 | IDEコントローラ1 | x 不可 | |
| 200 ~ 20F | ゲームI/O | x 不可 | |
| 210 ~ 21F | 拡張ユニット | x 不可 | |
| 220 ~ 26F | | 【可能】 | |
| 278 ~ 27F | プリンタ2 | x 不可 | |
| 280 ~ 2AF | | 【可能】 | |
| 2B0 ~ 2DF | EGA | x 不可 | |
| 2E1 | GPIB | x 不可 | |
| 2E2 ~ 2E3 | データアキュイジョン | x 不可 | |
| 2F8 ~ 2FF | シリアルポート2 | x 不可 | |
| 300 ~ 31F | プロトタイプ・ボード | 【可能】 | 他社の標準設定と競合し易い |
| 320 ~ 32F | HDDコントローラ | x 不可 | |
| 360 ~ 36F | PCネットワーク | x 不可 | |
| 378 ~ 37F | プリンタ1 | x 不可 | |
| 380 ~ 38F | SDLC, バイシク2 | x 不可 | |
| 390 ~ 393 | クラスタ | x 不可 | |
| 3A0 ~ 3AF | バイシク1 | x 不可 | |
| 3B0 ~ 3BF | モノクロディスプレイ、プリンタ | x 不可 | |
| 3C0 ~ 3CF | EGAディスプレイ・コントローラ | x 不可 | |
| 3D0 ~ 3DF | CGAディスプレイ・コントローラ | x 不可 | |
| 3F0 ~ 3F7 | FDDコントローラ | x 不可 | |
| 3F8 ~ 3FF | シリアルポート1 | x 不可 | |

1-4. 入出力コネクタ・ピン接続

アナログ出力には16ピンFRCコネクタ、また補助デジタル出力1ビットを含む制御信号の入出力には10ピンFRCコネクタ（各々MIL標準規格2.54ピッチ）が使用されており、適合プラグ・ヘッダ（各々1個）が添付されています。

アナログ出力コネクタ

適合プラグ・ヘッダ型式
基板側型式

ヒロセ製：HIF3BA-16DA-2.54R(11)
ヒロセ製：HIF3FC-16PA-2.54SDA

図1-4A. MDA-714PC104のアナログ出力コネクタ（CN1）ピン接続

| 信号名 | 機 能 | ピン番号 | ピン番号 | 信号名（機能） |
|-----|--------------|------|------|--------------|
| CH0 | アナログ出力チャンネル0 | 1 | 2 | AG（アナロググランド） |
| CH1 | アナログ出力チャンネル0 | 3 | 4 | AG（ " " ） |
| CH2 | アナログ出力チャンネル0 | 5 | 6 | AG（ " " ） |
| CH3 | アナログ出力チャンネル0 | 7 | 8 | AG（ " " ） |
| | | 9 | 10 | |
| | | 11 | 12 | |
| | | 13 | 14 | |
| | | 15 | 16 | |

【注1】アナロググランドAGとデジタルグランドDGはボード上で接続されています。

【注2】本図のピン配置は部品面を上から見たものです。

デジタル入出力コネクタ

適合プラグ・ヘッダ型式
基板側型式

ヒロセ製：HIF3BA-10DA-2.54R(11)
ヒロセ製：HIF3FC-10PA-2.54SDA

図1-4B. MDA-714PC104のデジタル入出力コネクタ（CN2）ピン接続

| 信号名 | （機 能） | ピン番号 | ピン番号 | 信号名 | （機 能） |
|---------|-----------|------|------|-----|-------------|
| INT-IN | 外部割り込み入力 | 1 | 2 | DG | （デジタル・グランド） |
| TRG-IN | 外部トリガ入力 | 3 | 4 | DG | （ " " ） |
| CLK-IN | 外部クロック源入力 | 5 | 6 | DG | （ " " ） |
| CLK-OUT | クロック出力 | 7 | 8 | DG | （ " " ） |
| GPQ-OUT | 補助デジタル出力 | 9 | 10 | DG | （ " " ） |

【注1】各信号はTTLレベルです。（入力：10Kプルアップ、入出力素子：74HCT244）

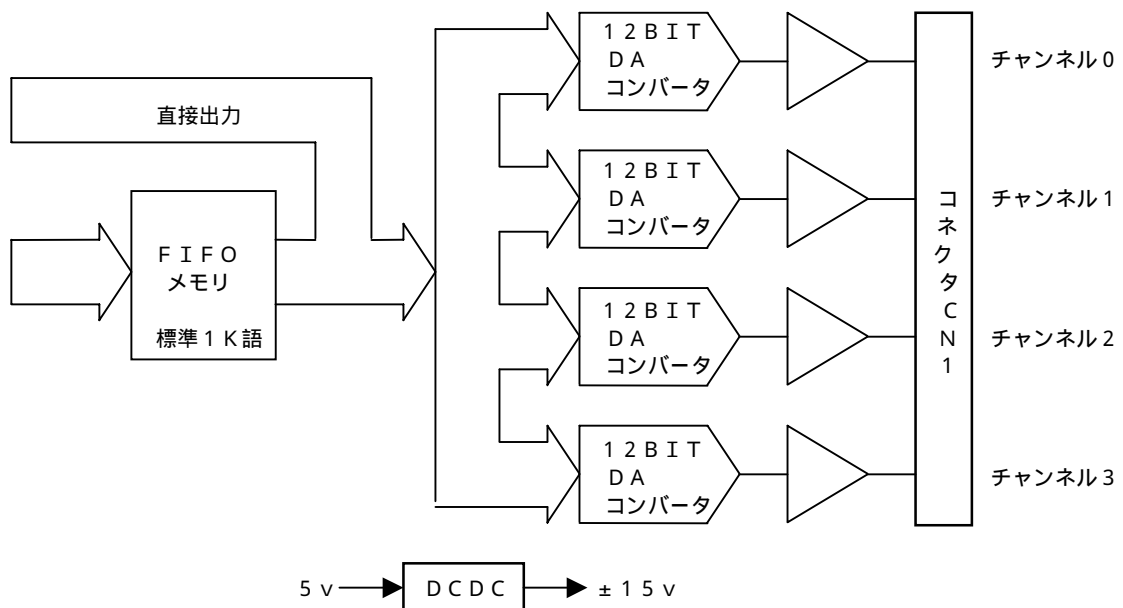
【注2】本図のピン配置は部品面を上から見たものです。

第2章 信号入出力

2-1. アナログ出力端

本機のアナログ出力回路は各チャンネルごとに専用のD/A変換器、出力バッファがあります。FIFOメモリを使用した（指定クロック同期）自動サンプリング動作のときは全チャンネル同時更新、また直接（マニュアル）出力動作のときは単独更新・同時更新を選択使用できます。

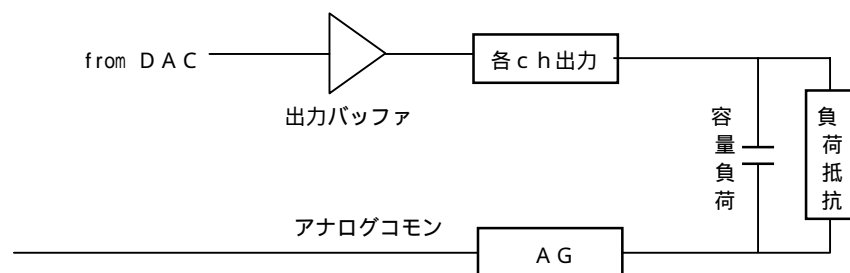
図2-1A. アナログ出力構造



過負荷に注意

電圧出力に接続できる負荷は抵抗5K以上（最大負荷電流2mA）、また、本機は容量性負荷（最大500pFまで）にも強い出力回路になっていますが、長距離をシールドケーブル等で接続するときは御注意ください。駆動能力を超えた容量性負荷を接続すると出力電圧が不安定になったり、発振することがあります。

図2-1B. アナログ出力構造



《参考》 一般的なツイストペア線やシールド線は1m当り、50～70pF程度の容量があります。

2-2. アナログ出力範囲

表 2 - 2 A . アナログ出力範囲

| 公称出力範囲 | 実際の出力範囲 | 分解能 [mv/digit] |
|------------|---------------------|------------------|
| 0 ~ + 10 v | 0 ~ + 9.9976 | 2.44..... |
| 0 ~ + 5 v | 0 ~ + 4.9988 | 1.22..... |
| ± 10 v | - 10.000 ~ + 9.9951 | 4.88..... |
| ± 5 v | - 5.000 ~ + 4.9976 | 2.44..... |

伝達関数

12ビットDAの分解能は“2の12乗分の1”ですから、DAデータとアナログ出力電圧の関係は以下ようになります。

$$\text{分解能} \quad R e s = V s p a n \div 4096 \quad [v / d i g i t]$$

$$\begin{aligned} \text{DAデータ} \quad D d a &= V o u t \div R e s \quad [d i g i t] \quad / \text{ユニポーラ} \text{のとき} \\ D d a &= (V o u t \div R e s) + 2048 \quad [d i g i t] \quad / \text{バイポーラ} \text{のとき} \end{aligned}$$

$$\begin{aligned} \text{出力電圧} \quad V o u t &= D d a \times R e s \quad [v] \quad / \text{ユニポーラ} \text{のとき} \\ V o u t &= (D d a - 2048) \times R e s \quad [v] \quad / \text{バイポーラ} \text{のとき} \end{aligned}$$

【注】 Vspan はDA出力範囲の絶対幅です。 具体的には表 2 - 2 A の範囲に 1 digit 分の電圧値を加算した値です。

図 2 - 2 A . バイポーラ出力

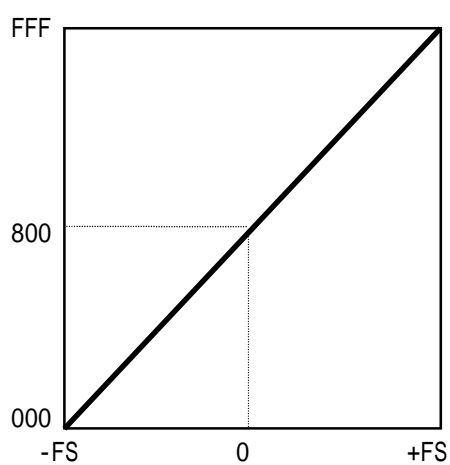


図 2 - 2 B . ユニポーラ出力

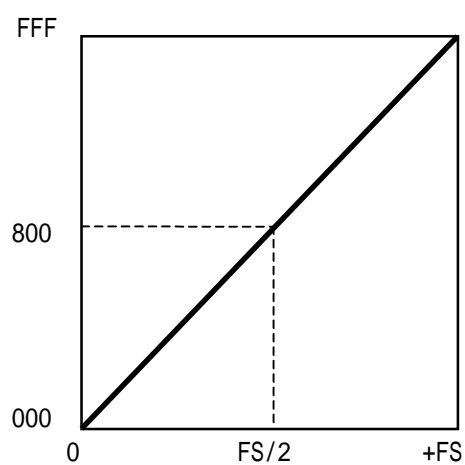


表 2 - 2 B . 12ビットDAデータ vs アナログ出力

| DAデータ hex / 10進 | アナログ出力範囲 (表 2 - 2 A 参照) | | | | | |
|--------------------|-------------------------|-----------|--|--|-----------|-----------|
| | ±10v | ±5v | | | 0 ~ +10v | 0 ~ +5v |
| FFF / 4095 | +9.99512 | + 4.99756 | | | + 9.99756 | + 4.99878 |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| 801 / 2049 | + 0.00488 | + 0.00244 | | | | |
| 800 / 2048 | 0.00000 | 0.0000 | | | + 5.00000 | + 2.50000 |
| 7FF / 2047 | - 0.00488 | - 0.00244 | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| 001 / 1 | - 9.99512 | - 4.99756 | | | + 0.00244 | + 0.00122 |
| 000 / 0 | - 10.00000 | - 5.00000 | | | 0.00000 | 0.00000 |

2 - 3 . 入出力信号の定義

図 2 - 3 .

| 信号名 | 記号 | 動作・適用 |
|-----------|---------|--------------------------------|
| アナログ出力 | CH0 | DA出力0 (ソフト指定で連続サンプリングの対象になる) |
| " " | CH1 | DA出力1 (" " " " " " ") |
| " " | CH2 | DA出力2 (" " " " " " ") |
| " " | CH3 | DA出力3 (" " " " " " ") |
| アナロググランド | AG | アナログ・コモン |
| デジタルグランド | DG | PC104バス側+5v電源出力のリターン |
| 外部割り込み入力 | INT-IN | 汎用の外部割り込み入力 (ソフトで要因に設定可能) 【注1】 |
| 外部トリガ入力 | TRG-IN | 外部からの連続サンプリングスタート (ソフト指定) 【注1】 |
| 外部クロック源入力 | CLK-IN | 外部からのクロック源入力 (ソフト指定) 【注1】 |
| クロック出力 | CLK-OUT | 各回サンプリングの実行タイミング出力【注2】 |
| 補助デジタル出力 | GPQ-OUT | 任意に使用可能 |

【注1】 外部クロック源入力、外部トリガ入力、外部割り込み入力をソフト上で積極的に利用しない場合は補助デジタル入力として使用することもできます。

【注2】 ボード上のスイッチS - CKOを“CLK”側に設定した場合はクロック出力、“SNC”側に設定した場合はサイクル動作時の各サイクル先頭マーカ出力です。

2 - 4 . デジタル入出力回路

全ての入力はTTLレベル・10K でプルアップされています。

また全てのデジタル出力もTTLレベルです。

なお電源投入直後の補助デジタル出力は“0”となりますがリセット操作 (3 - 4項) では変化しません。 補助デジタル出力はボード上のスイッチで論理を選択することができます。

図 2 - 4 A . 全てのデジタル入力

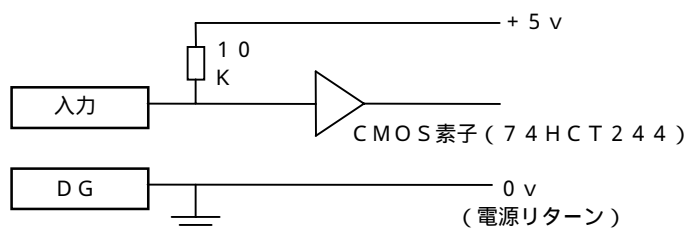
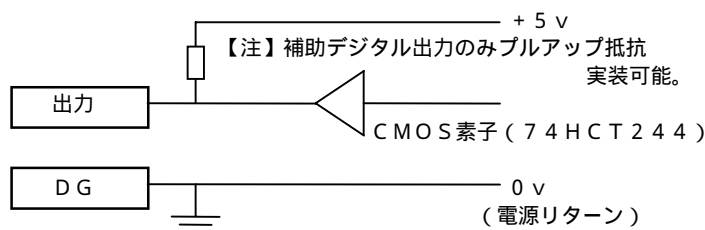


図 2 - 4 B . 全てのデジタル出力



【注】 補助デジタル出力の論理はボード上のスイッチS - POLにより任意に設定することができます。

出荷時は《N》側に設定 = “負論理” で、電源投入・ハードウェアリセット直後の状態はHighレベル (出力 = 0) です。

なお《P》側 = “正論理” モードでは (回路の性格から) 電源投入・ハードウェアリセット時に約100msのHigh期間が発生するので御注意ください。

第3章. 制御・操作

基本操作

本機の運転・操作は各機能が割付け設定された制御レジスタ（I/Oポート）に対する入出力命令により行います。 3-1項～3-3項で制御構造・手順を、また、3-4項以下で各制御レジスタの定義を理解してください。

3-1. 制御・操作とアナログ出力の様子

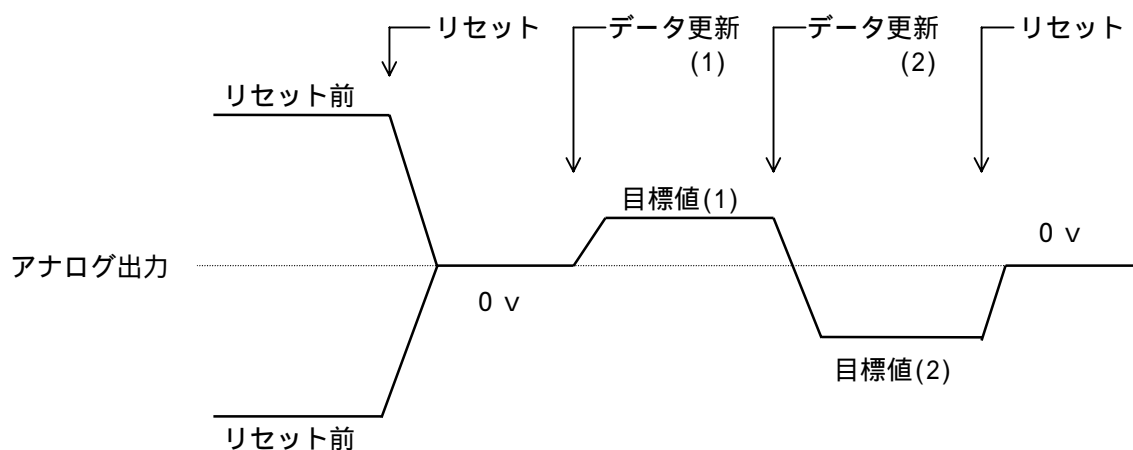
リセット時

電源投入、システム（ハードウェア）リセット操作、または本ボードの制御部リセット操作（3-3項）直後のアナログ出力は両チャンネル共に0Vとなります。

更新出力後

任意のデータがD/A素子に書き込まれる（更新される）とアナログ出力は対応する値（2-2項/表2-2A, B）となり、以後は次更新まで同値を保持します。

図3-1A. アナログ（D/A）出力の様子



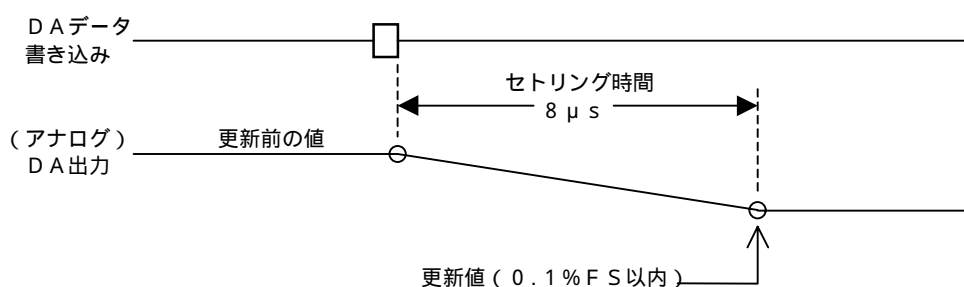
セトリング時間： データが更新されると、D/A素子のアナログ出力は新たな目標値に向かって変化を始めます。本機では10Vの変化幅を0.1%FS精度で到達するセトリング時間=約8μs、スルーレート=5V/μsです。

本機には 連続サンプリング・サイクル出力動作、 連続サンプリング非サイクル出力動作、
直接出力動作の3モードがあります。

(直接出力) 単独更新

各D A出力チャンネルが非同期に(互いに時間的連携なく)
独立して更新制御される動作です。【3-5項参照】

図3-1B. 単独更新(非同期)..... 1チャンネル分のみ示す。



= 操作手順 = 詳しくは3-3項以下、第4章、およびサンプルプログラム・ソースを併せ
御参照ください。 下記OUT命令中の《BASE》はボード上のスイッチで
設定されたI/Oアドレスのベース値です。

最初にD A出力更新モード、各チャンネルの出力範囲を指定します。

```
o u t p ( BASE + 0x4 , D A M ) ; /* D A出力モード・データ【3-5項】 */
o u t p ( BASE + 0x5 , R A L ) ; /* 出力範囲選択データ【3-5項】 */
```

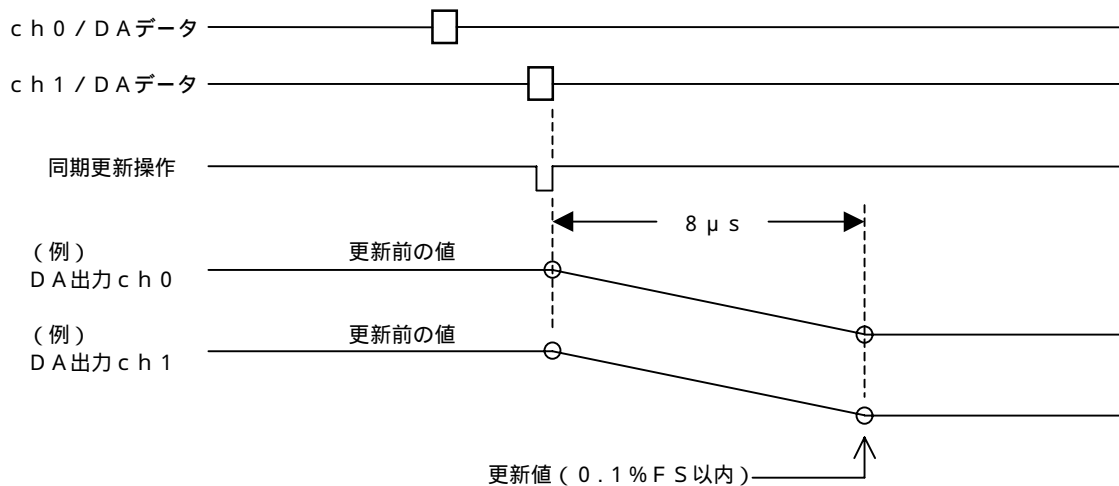
各チャンネルごとのD A出力データを書き込みます。

```
o u t p ( BASE + 0x0 , D A 0 L ) ; /* ch0 更新出力(下位)データ【3-13項】 */
o u t p ( BASE + 0x0 , D A 0 H ) ; /* ch0 更新出力(上位)データ【  "  】 */
o u t p ( BASE + 0x1 , D A 1 L ) ; /* ch1 更新出力(下位)データ【  "  】 */
o u t p ( BASE + 0x1 , D A 1 H ) ; /* ch1 更新出力(上位)データ【  "  】 */
o u t p ( BASE + 0x2 , D A 2 L ) ; /* ch2 更新出力(下位)データ【  "  】 */
o u t p ( BASE + 0x2 , D A 2 H ) ; /* ch2 更新出力(上位)データ【  "  】 */
o u t p ( BASE + 0x3 , D A 3 L ) ; /* ch3 更新出力(下位)データ【  "  】 */
o u t p ( BASE + 0x3 , D A 3 H ) ; /* ch3 更新出力(上位)データ【  "  】 */
```


(直接出力)同期更新

各チャンネルのD/A出力データ書き込み後、同期更新操作により全チャンネルのD/A出力が一斉に更新制御される動作です。

図3-1C. 同期更新(2チャンネル使用例)



= 操作手順 = 詳しくは3-3項以下、第4章、およびサンプルプログラム・ソースを併せ御参照ください。下記OUT命令中の《BASE》はボード上のスイッチで設定されたI/Oアドレスのベース値です。

(1) 最初にD/A出力更新モード、各チャンネルの出力範囲を指定します。

```
outp (BASE + 0x4, DAM); /* D/A出力モード・データ【3-5項】 */
outp (BASE + 0x5, RAL); /* 出力範囲選択データ【3-5項】 */
```

(2) 各チャンネルごとのD/A出力データを書き込みます。(全チャンネル使用例)

```
outp (BASE + 0x0, DA0L); /* ch0 更新出力(下位)データ【3-13項】 */
outp (BASE + 0x0, DA0H); /* ch0 更新出力(上位)データ【  "  】 */
outp (BASE + 0x1, DA1L); /* ch1 更新出力(下位)データ【  "  】 */
outp (BASE + 0x1, DA1H); /* ch1 更新出力(上位)データ【  "  】 */
outp (BASE + 0x2, DA2L); /* ch2 更新出力(下位)データ【  "  】 */
outp (BASE + 0x2, DA2H); /* ch2 更新出力(上位)データ【  "  】 */
outp (BASE + 0x3, DA3L); /* ch3 更新出力(下位)データ【  "  】 */
outp (BASE + 0x3, DA3H); /* ch3 更新出力(上位)データ【  "  】 */
```

(3) 全チャンネルを同時更新します。

```
upd = inp (BASE + 0xB); /* 同時更新実行【3-13項】 */
```

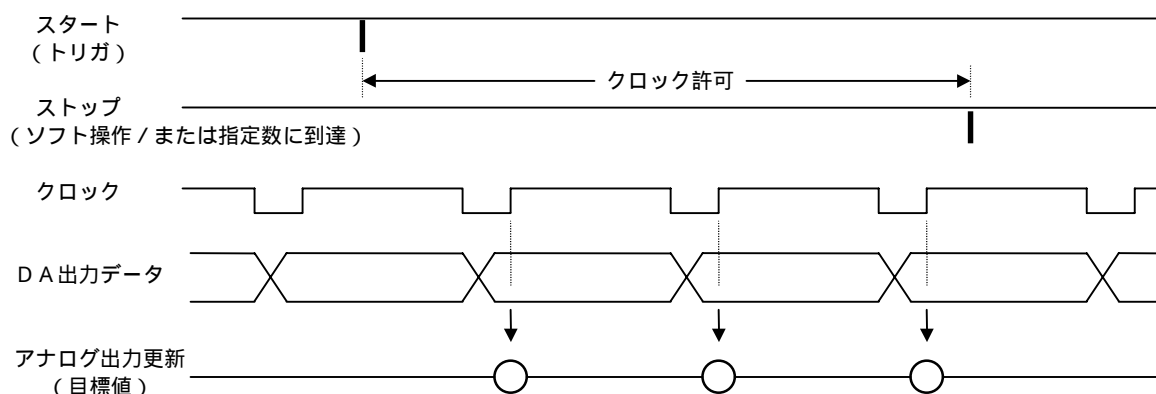
連続サンプリング動作 (全チャンネル同時更新)

連続サンプリング・サイクル出力モードでは、あらかじめ1周期分のD/Aデータ群をFIFOバッファに書き込んでおきます。サンプリングがスタートするとFIFOバッファ内のデータ列が指定クロックに同期して(指定回数、または停止操作まで)繰り返し・循環出力されます。

非サイクル出力モードでは、あらかじめ最初の出力データ群をFIFOバッファに書き込んでおき、サンプリングがスタートした後のCPU側からはFIFOの充満状態を示すフラグを参照しながら空出力動作とならないうちに追加データを補給します。【3-2項参照】

FIFOメモリの充満状態を示すフラグは、割り込み要求発生に使用することもできます。

図3-1D. 連続サンプリングFIFOバッファ出力動作



スタート: ソフトトリガ(即スタート)、または外部トリガ入力の指定エッジにより指定クロックが有効となります。例えば外部クロック源を分周比=1で使用すると外部イベントに1対1で同期した更新出力動作になります。

読み出し: 各チャンネルのD/A出力データ群は、指定クロックの指定エッジに同期してFIFOバッファメモリから読み出されD/A変換器を更新します。この動作は指定回数に達するか、ソフト上の停止操作まで続きます。

書き込み: サイクルモードではスタート前に行うだけですが、非サイクルモードのときは動作スタート後、CPU側からFIFOメモリの充満状態フラグを監視しながら空にならないうちに追加データを書き込みます。FIFOメモリの入出力動作は非同期、すなわち互いにタイミングを気使う必要がありません。(同時に可能)
またデータは古い順に出口側に詰めて位置しており、読み出された分だけ入口側に空領域が増えるので実質的にデータ数の制限はありません。

最高サンプリング速度は使用チャンネル数:

| | |
|-----------|---------|
| 1チャンネルのとき | 2MHz、 |
| 2チャンネルのとき | 1MHz、 |
| 3チャンネルのとき | 666KHz、 |
| 4チャンネルのとき | 500KHz。 |

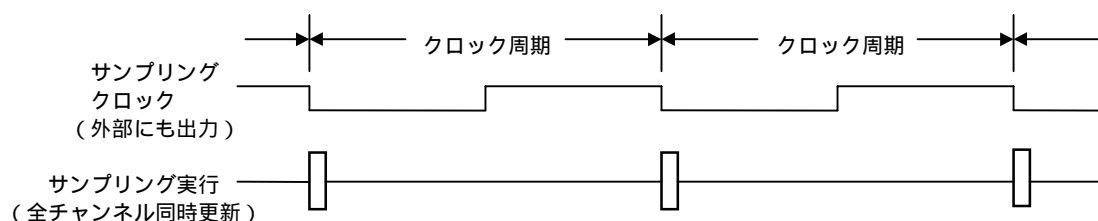
1 回サンプリング動作タイミング

図 3 - 1 E . 1 回サンプリング動作



連続サンプリング動作タイミング (全チャンネル同時更新)

図 3 - 1 F . 連続サンプリング動作



操作手順

- (1) 制御部リセット 【3 - 4 項】: 制御部リセット
- (2) 動作条件設定 【3 - 5 項】: 使用チャンネル数指定
 【3 - 6 項】: クロック源指定 (内部 / 外部)
 【3 - 7 項】: クロック源分周比 (クロック値) の設定
 【3 - 8 項】: 連続サンプリング回数の設定
 【3 - 9 項】: トリガモードの設定
 【3 - 10 項】: 割り込み要求発生要因の設定 < 利用は任意 >
- (3) データ書き込み 【3 - 13 項】: 初期のデータを (FIFO) に書き込む
- (4) 動作開始 【3 - 11 項】: スタート操作
- (5) ステータス検査 【3 - 12 項】: ステータスの読み込み / 評価
- (6) データ補給 【3 - 13 項】: 追加データを (FIFO) に書き込む

トリガ機能: 本機のトリガは連続サンプリングを開始させるものです。【3 - 9 項参照】
 ソフトトリガはプログラム上・任意のプロセスで実行できる即トリガ (即スタート) 機能。
 外部トリガは外部 TTL 入力信号の指定エッジ、または指定アクティブ期間で機能します。

図 3 - 1 G . デジタル・エッジトリガ

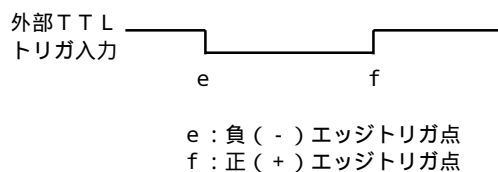
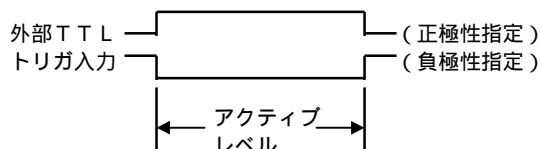


図 3 - 1 H . デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

トリガ動作遅れ: 本ボード上で自動的に行われるトリガ検出から連続サンプリング開始までの遅れ時間は最大 100 ns です。

3-2.F I F Oバッファメモリの構造・動作

データ転送（C P U F I F O）

連続サンプリング動作モードでは、あらかじめF I F Oメモリに書き込まれた各D Aデータは出力側からの（指定クロックによる）読み出しを待っています。 サイクル出力動作の場合では1周期分のデータを書き込んでおけば、スタート以後は（指定回数、または停止操作まで）繰り返し循環出力動作となりますが、非サイクル出力動作の場合はサンプリングがスタートした後のC P U側からF I F Oの充满状態を示すフラグを参照しながら空出力動作とならないうちに追加データを補給します。

ポーリング： 【Not-Full】フラグを監視して各データをOUT命令で1語ずつ書き込む方法、【Not Half-Full】フラグを監視して一群のデータをF I F Oメモリ容量の半分単位で書き込むブロックI / O転送も可能。

割り込み： 【Not-Full】【Not Half-Full】【サイクル周期の先頭】【トリガ発生】【外部割り込み】等から選択した要因による割り込みでポーリングと同様のデータ転送を実行する。

F I F Oメモリの動作

F I F O（first in first out）メモリは図3-2に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっている。

読み書きは非同期で同時も可能。 すなわちデータの書き込み（入口）と読み出し（出口）は互いに相手側のタイミングに配慮する必要がない。

F I F Oメモリ内部は出口から読み出された分だけ入口側に空領域が増えるので、空となる前にデータを補給する動作であればサンプリング点数を制限しない。 なお空の時に読み出しされようとする【ERR：エラー】フラグがセット（=1）され、出力端は直前のデータを保持する。



上図は（クロックによる）連続サンプリング出力モード、4チャンネルの場合で、各回サンプリング分のデータはチャンネル0から順に8バイト（1語=2バイト）が連続して並んでいる。

表3-2.F I F Oメモリ関連のステータス・フラグ

| フラグ名 | フラグの意味 | (標準2KB=1K語のとき) |
|---------------|--------------|----------------------|
| Not-FULL | 空エリアが有る。 | |
| Not-HALF-FULL | [容量の半分]以下。 | (格納バイト数 1024) |
| Data Lost | データロス・エラー発生。 | データ補給が遅いため空出力動作動作した。 |

【注】 オプションの1M語、または8M語F I F Oモジュールの“Not-HALF-FULL”フラグはモジュール上のスイッチ設定で充满データが512語、1K語、2K語、4K語、8K語、16K語、32K語、64K語に達しているか否かを示すものです。

3-3. 制御レジスタ I/O アドレス・マップ

表 3-3 に本ボード上の各制御レジスタ I/O アドレスを記します。

表中の【BASE】はボード上のスイッチで設定される I/O ベースアドレス値です。【1-3 項】

表 3-3. 制御レジスタ I/O アドレス

| I/O アドレス | IN/OUT | ポート / レジスタ名・機能 | 記載項 |
|-----------|--------|---------------------------------|--------|
| 【BASE】+ F | IN | ボード制御部リセット | 【3-4】 |
| | OUT | | 未使用 |
| 【BASE】+ E | IN | 外部制御入力信号モニタ / (補助入力に転用可能) | 【3-15】 |
| | OUT | 補助デジタル (ラッチ) 出力 | |
| 【BASE】+ D | IN | 追加ステータス取得 | 【3-12】 |
| | OUT | 追加ステータス・クリア | |
| 【BASE】+ C | IN | 基本ステータス取得 | |
| | OUT | 基本ステータス・クリア | |
| 【BASE】+ B | IN | (マニュアル) 同期出力操作 | 【3-13】 |
| | OUT | 連続サンプリング・スタート / ストップ制御 | 【3-11】 |
| 【BASE】+ A | IN | | 未使用 |
| | OUT | 割り込み制御 (要因設定) | 【3-10】 |
| 【BASE】+ 9 | IN | | 未使用 |
| | OUT | トリガモード設定 | 【3-9】 |
| 【BASE】+ 8 | IN | 連続サンプリング回数カウンタ書き込み | 【3-8】 |
| | OUT | 連続サンプリング回数カウンタ読み出し | |
| 【BASE】+ 7 | IN | | 未使用 |
| | OUT | (クロック源) 分周比設定 | 【3-7】 |
| 【BASE】+ 6 | IN | | 未使用 |
| | OUT | クロック源選択 | 【3-6】 |
| 【BASE】+ 5 | IN | | 未使用 |
| | OUT | アナログ出力範囲の設定 | 【3-5】 |
| 【BASE】+ 4 | IN | | 未使用 |
| | OUT | アナログ出力モード、出力チャンネル数の設定 | 【3-5】 |
| 【BASE】+ 3 | IN | | 未使用 |
| | OUT | / / 直接 D/A 出力ポート 3 | 【3-13】 |
| 【BASE】+ 2 | IN | | 未使用 |
| | OUT | / / 直接 D/A 出力ポート 2 | 【3-13】 |
| 【BASE】+ 1 | IN | | 未使用 |
| | OUT | / / 直接 D/A 出力ポート 1 | 【3-13】 |
| 【BASE】+ 0 | IN | | 未使用 |
| | OUT | FIFO 書き込みポート / / 直接 D/A 出力ポート 0 | 【3-13】 |

【読み (IN) / 書き (OUT)】は CPU 側から見た方向。

全てのポートは 1 バイト。

制御操作の詳細

以下【3-4 項】～【3-15 項】に各制御レジスタの詳細を記します。
各ポートアドレス値は表 3-3 を御参照ください。

3-4 . ボード・リセット、認識

```
r s t = i n p ( B A S E + 0 x F ) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ (r s t) は本ボードの I D です。 当操作は電源 O N、またはハードウェアリセットと同等の機能ですが、補助デジタル (ラッチ) 出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

サンプリング中であれば、これを中止する。

F I F O メモリをクリアする。(格納されていた出力待ちデータは失われる)

なお、 全てのアナログ出力は 0 v になる。

補助デジタル (ラッチ) 出力は変化せずに保持される。

クロック源 / 分周比の指定は無効になる。(要再設定)

表 3 - 4 . 【BASE + F H】入力ポートの構成

| ビット | 各ビットの機能・意味 |
|-----|--|
| B 7 | M D A - 7 1 4 P C 1 0 4 のボード I D = 1 E H |
| B 6 | |
| B 5 | |
| B 4 | |
| B 3 | |
| B 2 | |
| B 1 | |
| B 0 | |

3-5. 出力モード、チャンネル数、出力範囲の設定

出力モード、チャンネル数

o u t p (BASE + 0x4 , M O D E) ; /* 出力モード、チャンネル数指定 */

表 3 - 5 A . 【BASE + 4 H】出力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき | リセット時 |
|------------|---------------------------|------------------|---------|--------|
| B 7 B 6 | 未使用 | | | 0 0 |
| B 5 | 直接出力時の更新モード指定 | 同期（同時）更新 | 単独更新 | 0 |
| B 4 | 出力モード指定 | 連続サンプリング（FIFO）出力 | 直接出力 | 0 |
| B 3 B 2 | 未使用 | | | 0 0 |
| B 1 B 0 | 連続サンプリング動作の 対象チャンネル数指定 | | | 0 0 |

表 3 - 5 B .

| B 1 | B 0 | サンプリング・スキャン 最終チャンネル番号 |
|-----|-----|--------------------------|
| 1 | 1 | 3 |
| 1 | 0 | 2 |
| 0 | 1 | 1 |
| 0 | 0 | 0 |

連続サンプリング出力モードはFIFOメモリから指定クロックに同期して自動更新出力するモードです。（常に全チャンネルを同時更新します。）

連続サンプリング動作の対象チャンネル数をスキャン最終チャンネル番号で指定します。
なお、各回サンプリング・スキャンはチャンネル番号の若い順（先頭＝チャンネル0）に固定されているので、連続サンプリングの対象チャンネル数は（指定番号＋1）となります。

直接出力モードは各DA出力をFIFOバッファメモリを介さずにOUT命令で直接更新出力する動作です。単独更新モードでは新データを書き込むと即時更新となり各チャンネル間の同時性はありません。同期更新モードでは各チャンネルの新データを書き込んだ後、同時に更新されます。（3-1項参照）

出力範囲

```
o u t p ( B A S E + 0 x 5 , r n g ) ; /* r n g : 出力範囲指定データ */
```

各 D A 出力チャンネルの範囲を選択・指定します。

表 3 - 5 C . 【BASE + 5 H】出力ポートの構成

| ビット | コード | 各ビットの機能・意味 | リセット時 |
|-----|-----|-------------------|-------|
| B 7 | R 1 | チャンネル 3 出力範囲指定データ | 0 |
| B 6 | R 0 | | 0 |
| B 5 | R 1 | チャンネル 2 出力範囲指定データ | 0 |
| B 4 | R 0 | | 0 |
| B 3 | R 1 | チャンネル 1 出力範囲指定データ | 0 |
| B 2 | R 0 | | 0 |
| B 1 | R 1 | チャンネル 0 出力範囲指定データ | 0 |
| B 0 | R 0 | | 0 |

表 3 - 5 D . 出力範囲指定コード

| R 1 | R 0 | アナログ出力範囲 |
|-----|-----|-----------------------|
| 1 | 1 | $\pm 5 \text{ V}$ |
| 1 | 0 | $\pm 10 \text{ V}$ |
| 0 | 1 | $0 \sim 5 \text{ V}$ |
| 0 | 0 | $0 \sim 10 \text{ V}$ |

【注】アナログ出力範囲は出力データ更新のたびに（出力データと共に）更新されます。
すなわちアナログ出力範囲だけを更新しても次の出力データ更新までは変化しません。

3-6 . クロック源の選択

```
outp (BASE+0x6, cks); /* cks : クロック源選択 */
```

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的の連続サンプリング・クロックとなります。例えば外部クロック源 (CLK-IN) 入力を選択し、分周比を 1 / 1 に設定すれば、外部イベントに同期したサンプリングとなります。

表 3 - 6 A . 【BASE + 6 H】出力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき | リセット時 |
|--------------------------|-----------------------|---------|---------|--------|
| B 7 | 外部クロック源 (使用時) の有効極性指定 | (+) | (-) | 0 |
| B 6 B 5 | 未使用 | | | 0 0 |
| B 4 | クロック源選択 (外部 / 内部) | 外部 | 内部 | 0 |
| B 3 B 2 B 1 B 0 | 未使用 | | | |

3-7 . (クロック源) 分周比の設定 連続サンプリングクロック値の設定。

```
outp (BASE+0x7, div0); /* div0 = 分周比の最下位バイト */
outp (BASE+0x7, div1); /* div1 = 分周比の中下位バイト */
outp (BASE+0x7, div2); /* div2 = 分周比の中上位バイト */
outp (BASE+0x7, div3); /* div3 = 分周比の最上位バイト */
```

クロック源の分周比データを (BASE + 7 H ポートに) 書き込みます。

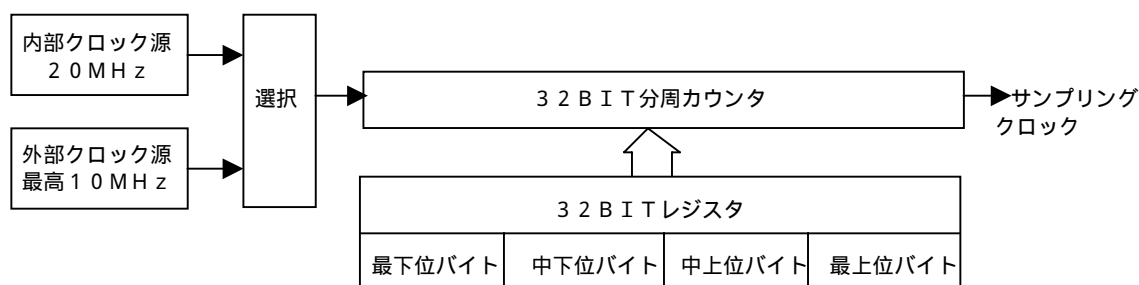
必ず 4 バイト続けて書き込んで下さい。

分周は 32 BIT バイナリカウンタで行われます。

表 3 - 7 . 【BASE + 7 H】出力ポートの構成

| ビット | 分周比 : 最下位 | 分周比 : 中下位 | 分周比 : 中上位 | 分周比 : 最上位 | リセット時 |
|-----|------------|-------------|-------------|-------------|------------|
| B 7 | (div0) b 7 | (div1) b 15 | (div2) b 23 | (div3) b 31 | クリア される |
| B 6 | (") b 6 | (") b 14 | (") b 22 | (") b 30 | |
| B 5 | (") b 5 | (") b 13 | (") b 21 | (") b 29 | |
| B 4 | (") b 4 | (") b 12 | (") b 20 | (") b 28 | |
| B 3 | (") b 3 | (") b 11 | (") b 19 | (") b 27 | |
| B 2 | (") b 2 | (") b 10 | (") b 18 | (") b 26 | |
| B 1 | (") b 1 | (") b 9 | (") b 17 | (") b 25 | |
| B 0 | (") b 0 | (") b 8 | (") b 16 | (") b 24 | |

図 3 - 7 , 連続サンプリングクロックの発生構造



3-8. 連続サンプリング回数カウンタの読み書き / 無限サンプリングモードでは不要 /

有限サンプリング動作モード時の連続サンプリング実行回数を設定、また連続サンプリングの実行中は実行済み回数を取得することができます。

設定1 非サイクル動作の場合

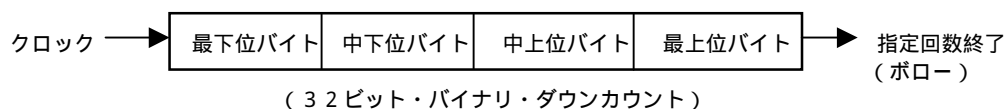
```
o u t p ( BASE + 0x8 , n u m 0 ) ; /* n u m 0 = 回数値の最下位バイト */
o u t p ( BASE + 0x8 , n u m 1 ) ; /* n u m 1 = 回数値の中下位バイト */
o u t p ( BASE + 0x8 , n u m 2 ) ; /* n u m 2 = 回数値の中上位バイト */
o u t p ( BASE + 0x8 , n u m 3 ) ; /* n u m 3 = 回数値の最上位バイト */
```

実行する連続サンプリング回数データを (BASE + 0x8 アドレスに) 書き込みます。

必ず4バイト続けて書き込んで下さい。

計数は32ビットのバイナリ・ダウンカウンタ1本で行われ、計数値が0に達すると連続サンプリングが停止します。【注】無限モードのときの当“回数”設定値は無視される。

図3-8A. 非サイクル・連続サンプリング回数カウンタ



設定2 サイクル動作の場合

```
o u t p ( BASE + 0x8 , n u m 0 ) ; /* n u m 0 = 1周期値の下位バイト */
o u t p ( BASE + 0x8 , n u m 1 ) ; /* n u m 1 = " の上位バイト */
o u t p ( BASE + 0x8 , n u m 2 ) ; /* n u m 2 = 繰り返し回数値の下位バイト */
o u t p ( BASE + 0x8 , n u m 3 ) ; /* n u m 3 = " " の上位バイト */
```

あらかじめFIFOバッファに書き込んでおき実行する“繰り返し1周期分のデータ点数”、および“繰り返し回数”を (BASE + 0x8 アドレスに) 書き込みます。

必ず4バイト続けて書き込んで下さい。

1周期分のデータ点数カウンタは指定繰り返し回数に達するまで再ロードされながらダウンカウントされます。【注】無限モードのときの“繰り返し回数”設定値は無視される。

図3-8B. サイクル・連続サンプリング回数カウンタ
(各々16ビット・バイナリ・ダウンカウンタ)

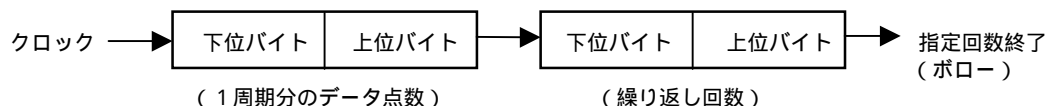


表3-8A. 【BASE + 8H】出力ポートの構成

| ビット | 回数値：最下位 | 回数値：中下位 | 回数値：中上位 | 回数値：最上位 | リセット時 |
|-----|-----------|------------|------------|------------|------------|
| B7 | (num0) b7 | (num1) b15 | (num2) b23 | (num3) b31 | クリア される |
| B6 | (") b6 | (") b14 | (") b22 | (") b30 | |
| B5 | (") b5 | (") b13 | (") b21 | (") b29 | |
| B4 | (") b4 | (") b12 | (") b20 | (") b28 | |
| B3 | (") b3 | (") b11 | (") b19 | (") b27 | |
| B2 | (") b2 | (") b10 | (") b18 | (") b26 | |
| B1 | (") b1 | (") b9 | (") b17 | (") b25 | |
| B0 | (") b0 | (") b8 | (") b16 | (") b24 | |

取得1 非サイクル動作の場合

```
num0 = inp (BASE + 0x8) ; /* num0 = 残り回数値 (最下位バイト) */
num1 = inp (BASE + 0x8) ; /* num1 = 残り回数値 (中下位バイト) */
num2 = inp (BASE + 0x8) ; /* num2 = 残り回数値 (中上位バイト) */
num3 = inp (BASE + 0x8) ; /* num3 = 残り回数値 (最上位バイト) */
```

現在までの連続サンプリング実行済み回数データを読み出します。

必ず4バイト続けて読み込んで下さい。最初の 最下位バイトの読み込み操作時に上位バイトも同時ラッチされるので全バイトデータ間に時刻差はありません。

計数は32ビットのバイナリ・ダウンカウンタ1本で行われるので、取得値は残り回数を意味します。

取得2 サイクル動作の場合

```
num0 = inp (BASE + 0x8) ; /* num0 = 1周期途中の残り値 (下位バイト) */
num1 = inp (BASE + 0x8) ; /* num1 = " " " (上位バイト) */
num2 = inp (BASE + 0x8) ; /* num2 = 繰り返し回数残り値 (下位バイト) */
num3 = inp (BASE + 0x8) ; /* num3 = " " " (上位バイト) */
```

現在までの連続サンプリング実行済み回数データを読み出します。

必ず4バイト続けて読み込んで下さい。最初の 1周期途中の最下位バイトの読み込み操作時に以下の3バイトも同時ラッチされるので全バイトデータ間に時刻差はありません。

計数は各16ビットのバイナリ・ダウンカウンタで行われるので取得値は残り値データを意味します。

表3-8B. 【BASE + 8H】入力ポートの構成

| ビット | 残回数値：最下位 | 残回数値：中下位 | 残回数値：中上位 | 残回数値：最上位 | リセット時 |
|-----|-----------|------------|------------|------------|------------|
| B7 | (num0) b7 | (num1) b15 | (num2) b23 | (num3) b31 | クリア される |
| B6 | (") b6 | (") b14 | (") b22 | (") b30 | |
| B5 | (") b5 | (") b13 | (") b21 | (") b29 | |
| B4 | (") b4 | (") b12 | (") b20 | (") b28 | |
| B3 | (") b3 | (") b11 | (") b19 | (") b27 | |
| B2 | (") b2 | (") b10 | (") b18 | (") b26 | |
| B1 | (") b1 | (") b9 | (") b17 | (") b25 | |
| B0 | (") b0 | (") b8 | (") b16 | (") b24 | |

3-9. トリガモード設定

o u t p (BASE+0x9, t g m) ; /* t g m = トリガモード設定 */

連続サンプリング動作のトリガモード・データを書き込みます。

表 3-9 A . 【BASE+9H】出力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき | リセット時 |
|-----|-----------------|---------|---------|-------|
| B 7 | 即トリガ制御 (ソフトトリガ) | 許可 | 禁止 | 0 |
| B 6 | 外部トリガ入力信号制御 | 許可 | 禁止 | 0 |
| B 5 | 未使用 | | | 0 |
| B 4 | トリガ極性選択 | + () | - () | 0 |
| B 3 | トリガ認識モード選択 | エッジ | レベル | 0 |
| B 2 | 未使用 | | | 0 |
| B 1 | 未使用 | | | 0 |
| B 0 | 未使用 | | | 0 |

連続サンプリングは同スタート操作【3-11項】後のトリガ発生により始まり、
(1) 指定回数のサンプリング終了 (有限モード)、または(2) ストップ操作により停止します。
複数のトリガを許可しておくで最初に発生したトリガ要素で連続サンプリングが始まります

プログラム上任意のプロセスから即トリガをかけるには、連続サンプリングスタート操作の後、**ソフトトリガ**制御ビット B 7 をセット (0 → 1) します。また、当 B 7 ビットをセットした状態で連続サンプリングスタート操作を行っても (その時点で) 即トリガとなります。

特殊なトリガ形態として**帯域サンプリング** (デジタル・レベルトリガ) 動作があります。
これは外部トリガ入力信号の指定レベル (極性) 期間だけ連続サンプリングを行います。

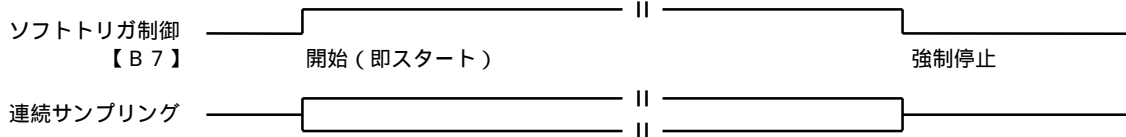
/ 図 3-9 C / 図 3-1 D 参照 /

トリガ遅れ

トリガ条件が成立したとき、本ボードがこれを検出して実際に連続サンプリングを開始するまでの遅れ時間は最大 100 ns です。

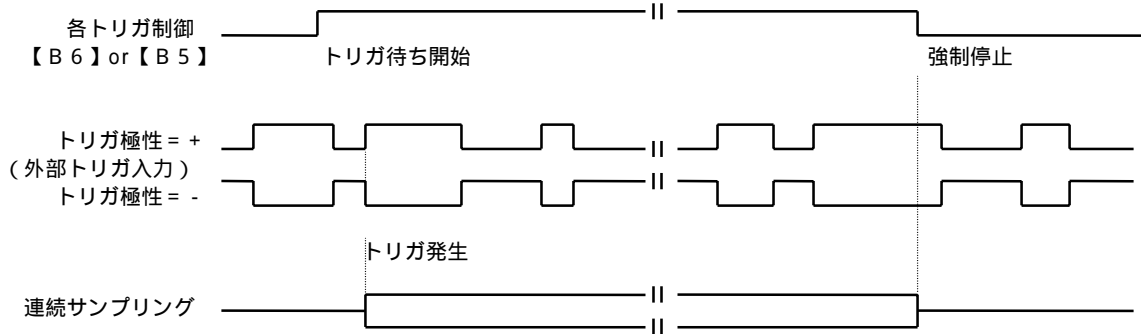
図3-9A, B, Cに一般的なポストトリガ・サンプリング動作の様子を示します。
(いずれもサンプリング動作開始操作 / 3-11項 / 以後のシーケンス)

図3-9A. ソフトトリガによる連続サンプリング実行



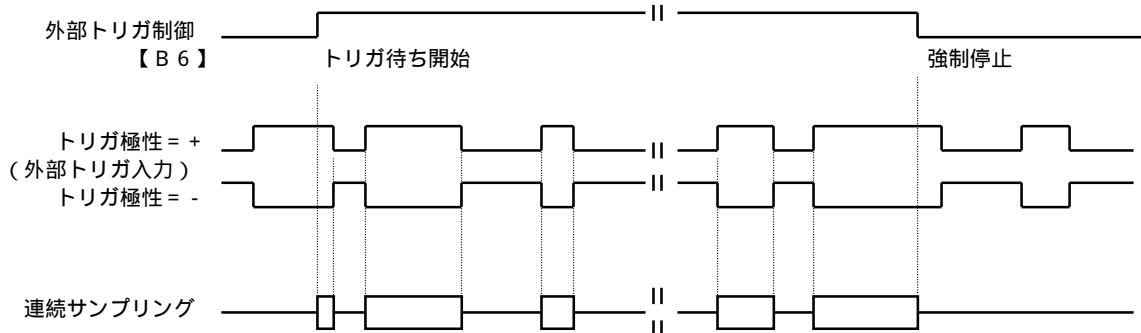
スタート操作 (3-11項) の後、ソフトトリガ発生 (B7 = 1) すると連続サンプリングが開始され、指定回数サンプリング終了、またはストップ操作 (3-11項) することにより停止する。

図3-9B. (外部) エッジトリガによる連続サンプリング実行



スタート操作 (3-11項) と トリガ許可 (【B6 = 1】で【B3 = 1】) の後、最初の有効トリガエッジで連続サンプリングが開始され、指定回数サンプリング終了、またはストップ操作 (3-11項) により停止する。

図3-9C. 外部レベルトリガによる連続サンプリング実行 (帯域サンプリング)



スタート操作 (3-11項) 後、外部レベルトリガ許可期間 (【B6 = 1】&【B3 = 0】) 内の外部トリガ入力信号・指定トリガレベル期間中に限り連続サンプリングを行う。
指定回数サンプリング終了、またはストップ操作 (3-11項) により停止する。

3-10．割り込み制御

```
outp (BASE + 0xA, irm); /* irm: 割り込み要求の発生要因制御 */
```

本ボードからCPUボード側の割り込みコントローラに発信する割り込み要求発生要因を制御します。複数の要因を許可するとOR動作となります。なお本ボードが割り込みを使用するにはボード上のジャンパ設定をしておく必要があります。

【割り込みを使用しない場合は操作不要です。/読み飛ばしてください。】

表3-10A．【BASE + AH】出力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき | ビット時 |
|-----|--------------------------------|---------|---------|------|
| B 7 | 外部割り込み信号 (INT-IN) の有効極性指定 | (+) | (-) | 0 |
| B 6 | (FIFO) HALF-FULL 状態に変化 による割り込み | 許可 | 禁止 | 0 |
| B 5 | (FIFO) Not-FULL 状態に変化 による割り込み | 許可 | 禁止 | 0 |
| B 4 | (指定回数の) サンプリング終了 による割り込み | 許可 | 禁止 | 0 |
| B 3 | (サイクル動作時) 先頭タイミング による割り込み | 許可 | 禁止 | 0 |
| B 2 | トリガ発生 による割り込み | 許可 | 禁止 | 0 |
| B 1 | 外部割り込み信号 (INT-IN) による割り込み | 許可 | 禁止 | 0 |
| B 0 | 連続サンプリング・クロック による割り込み | 許可 | 禁止 | 0 |

《補助説明》

B 7 : 外部割り込み信号 (INT-IN) が許可された場合の信号エッジ極性 () 指定。

B 6 : FIFOメモリ内の待機データが**半分** (標準 2 K B のとき = 1 K B) **未滿となった** タイミングによる割り込み制御。

B 5 : FIFOメモリ内が**満杯から 1 データ減った**タイミングによる割り込み制御。

B 3 : (サイクル動作時) 各サイクル先頭タイミングによる割り込み制御。

B 0 : 指定クロックの有効エッジによる割り込み制御。
(各回サンプリング開始タイミングによる割り込み制御)

《追伸》

割り込みを使用するには、
 割り込み処理サブルーチン (機械語) を用意する。
 本ボードの割り込みレベルをジャンパ設定する。(1 - 2 項)
 CPUボード側の割り込みコントローラをソフト設定する。
 本ボードの割り込み発生要因を許可する。(本項)

以上により割り込みが受け付けられると指定ベクタ (割り込み処理サブルーチン) にジャンプします。

本ボードの使用できる割り込みレベル

PC104バスの割り込みレベル/本ボードで使用する可否を表3-10Bに記します。 使用するときにはボード上のジャンパJP-INTで設定します。

表3-10B. PC104バスの割り込みレベル、使用例

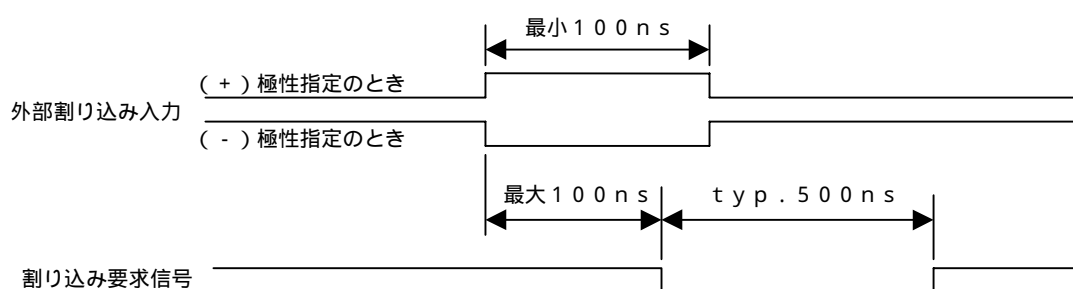
| 割り込みレベル | 本ボードで使用する可否 | DOS/V互換機での典型的な割り当て例 |
|-----------|-------------|-------------------------|
| IRQ 0 | × | タイマ |
| IRQ 1 | × | キーボード |
| IRQ 2 | × | (コントローラ2からカスケード) |
| IRQ 3 | (ジャンパ接続可能) | シリアルポート2 |
| IRQ 4 | (ジャンパ接続可能) | シリアルポート1 (本体標準RS-232C) |
| IRQ 5 | (ジャンパ接続可能) | パラレルポート2 |
| IRQ 6 | (ジャンパ接続可能) | フロッピーディスク・コントローラ (本体標準) |
| IRQ 7 | (ジャンパ接続可能) | パラレルポート1 (本体標準プリンタ) |
| IRQ 9 | (ジャンパ接続可能) | ソフトウェア割り込み |
| IRQ10 (A) | × | 予約 |
| IRQ11 (B) | × | 予約 |
| IRQ12 (C) | × | 予約 |
| IRQ13 (D) | × | 数値演算コプロセッサ |
| IRQ14 (E) | × | ハードディスク・コントローラ (本体標準) |
| IRQ15 (F) | × | 予約 |

割り込み信号

本ボードからPC104バス上への割り込み要求信号はtyp500nsの負パルスです。

外部割り込み入力の場合：最小100nsのパルスを入力します。

図3-10.



3-11. サンプリング動作のスタート/ストップ制御

クロック同期・動作の制御（連続サンプリングのスタート/ストップ）

outp (BASE + 0xB, str); /* str: クロック同期動作スタートデータ */

: 各種クロック同期動作モードの中から1モードを選択・スタートさせます。
これにより指定された動作モードで動作開始&トリガ待ち状態になります。
当操作実行前にトリガモード【3-9項】を設定しておきます。

: 動作を強制停止させます。

: 指定回数の連続動作終了（カウンタアップ）により自動停止した場合、
再度スタートさせるときは
一旦、ストップ操作してからあらためてセットします。

表3-11A. 【BASE + BH】出力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき | セット時 |
|-----------------|---------------|----------|------------|-------------|
| B 7 | クロック同期動作制御データ | クロックのみ動作 | 連続サンプリング動作 | 0 |
| B 6 ~ B 3 | 未使用 | | | 0 ~ 0 |
| B 2 | サイクル/非サイクル | サイクル動作 | 非サイクル動作 | 0 |
| B 1 | 有限動作/無限動作 | 有限回数動作 | 無限回数動作 | 0 |
| B 0 | スタート/ストップ | スタート | ストップ | 0 |

表3-11B. クロック同期動作モード選択データ

| B 7 | B 2 | B 1 | B 0 | 動作モード |
|-----|-----|-----|-----|--------------------------------------|
| 1 | 1 | 1 | 1 | ポストトリガ 有限・サイクル 連続クロックのみ スタート |
| 1 | 1 | 1 | 0 | 各動作停止 ストップ |
| 1 | 1 | 0 | 1 | ポストトリガ 無限・サイクル 連続クロックのみ スタート |
| 1 | 1 | 0 | 0 | 各動作停止 ストップ |
| 1 | 0 | 1 | 1 | ポストトリガ 有限・非サイクル 連続クロックのみ スタート |
| 1 | 0 | 1 | 0 | 各動作停止 ストップ |
| 1 | 0 | 0 | 1 | ポストトリガ 無限・非サイクル 連続クロックのみ スタート |
| 1 | 0 | 0 | 0 | 各動作停止 ストップ |
| 0 | 1 | 1 | 1 | ポストトリガ 有限・サイクル 連続サンプリング スタート |
| 0 | 1 | 1 | 0 | 各動作停止 ストップ |
| 0 | 1 | 0 | 1 | ポストトリガ 無限・サイクル 連続サンプリング スタート |
| 0 | 1 | 0 | 0 | 各動作停止 ストップ |
| 0 | 0 | 1 | 1 | ポストトリガ 有限・非サイクル 連続サンプリング スタート |
| 0 | 0 | 1 | 0 | 各動作停止 ストップ |
| 0 | 0 | 0 | 1 | ポストトリガ 無限・非サイクル 連続サンプリング スタート |
| 0 | 0 | 0 | 0 | 各動作停止 ストップ |

【注1】 “クロックのみ動作モード” ではサンプリングは行われず、クロックのみが走ります。
ステータス監視や割り込みを使用してクロックを検出し、任意の処理を行うような
使い方が可能です。

【注2】 有限モードのときは3-8項で設定した値に達すると自動停止、また
無限モードのときは停止操作 まで無限に動作します。

3-12. ステータスの取得、クリア

取得

```
sts1 = inb(BASE + 0xC); /* sts1 = 基本ステータスデータ */
sts2 = inb(BASE + 0xD); /* sts2 = 追加ステータスデータ */
```

本ボードのステータスデータを読み込みます。

表 3-12 A . 【BASE + CH】基本ステータス入力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき | リセット時 |
|-----|-----------------------------|----------|----------|-------|
| B 7 | END : 指定回数の連続サンプリング終了 【注 1】 | 終了済み | 実行中 | 0 |
| B 6 | CNC : 各回繰り返し周期の先頭 【注 1】 | 発生済み | 未発生 | 0 |
| B 5 | 未使用 | | | 0 |
| B 4 | ORE : オーバーラン・エラーフラグ 【注 1】 | 発生済み | 未発生 | 0 |
| B 3 | LST : データロス・エラーフラグ 【注 1】 | 発生済み | 未発生 | 0 |
| B 2 | FUL : Not FULL 【注 2】 | 未満杯 | 満杯 | 1 |
| B 1 | HLF : Not Half-full 【注 2】 | 1 / 2 未満 | 1 / 2 以上 | 1 |
| B 0 | EMP : Not Empty 【注 2】 | データ有 | データ無 | 0 |

【注 1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注 2】現在状態を刻々反映する状態フラグ。

《補足説明》

(B 7) END : 指定回数の連続サンプリングが実行完了したときにセット (= 1) される。
強制的に連続サンプリングが止められたときには変化しない。

(B 6) EOS : (サイクルモードのとき) 各回繰り返し周期の先頭でセット (= 1) される。

(B 4) ORE : 本機の仕様以上のクロックで連続サンプリングが実行されるとセット (= 1) される。 / スピード違反、出力データは無効 /

(B 3) LST : F I F Oバッファが空になった状態で、次のデータ読み出しが空読みとなったときにセット (= 1) される。

(B 2) FUL : F I F Oバッファ内のデータが《満杯》になるとセット (= 0) され、読み出しにより《満杯未満》になるとリセット (= 1) される。

Not Full 定義。

(B 1) HLF : F I F Oバッファ内のデータが《容量の半分 + 1》以上になるとセット (= 0)、読み出しにより《容量の半分 + 1》未満になるとリセット (= 1) される。

Not Half-Full 定義。

(B 0) EMP : F I F Oバッファ内のデータが 1 個以上になるとセット (= 1) され、読み出しにより空になるとリセット (= 0) される。

Not Empty 定義。

表 3-12B. 【BASE + DH】追加ステータス入力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき | セット時 |
|-----|----------------------------|---------|---------|------|
| B 7 | 未使用 | | | 0 |
| B 6 | 未使用 | | | 0 |
| B 5 | 未使用 | | | 0 |
| B 4 | 未使用 | | | 0 |
| B 3 | 未使用 | | | 0 |
| B 2 | INT: 割り込み要求発生 【注 1】 | 発生 | 未発生 | 0 |
| B 1 | TIM: 各回サンプリング・クロック先端 【注 1】 | 発生 | 未発生 | 0 |
| B 0 | TGD: トリガ発生認識 【注 3】 【注 1】 | 発生 | 未発生 | 0 |

【注 1】一旦セットされるとクリア操作まで保持するラッチフラグ。

《補足説明》

- (B 2) INT: 割り込み要求が発生 (3-11 項) するとセット (= 1) される。
- (B 1) TIM: 各回のサンプリングが開始されるたびに (連続サンプリングクロックの前縁で) セット (= 1) される。クロックのみ動作モード (3-10 項) でも有効。
- (B 0) TGD: 許可されたトリガが発生するとセット (= 1) される。
トリガモード再設定 (3-9 項)、またはボード・リセット (3-4 項) でクリアされる。
- 【注 3】 外部デジタル入力によるレベルトリガ (帯域サンプリング) 動作のときだけは同有効レベル期間中だけセット (= 1) される、すなわち現在状態を刻々反映する状態フラグとなる。

クリア

```
output(BASE+0xC, stc1); /* stc1 = クリアビット指定データ */
```

```
output(BASE+0xD, stc2); /* stc2 = クリアビット指定データ */
```

指定したステータスビットをクリアします。(クリア対象は表3-12A, B中の【注1】)
なお、当出力データは保持されません。

表3-12C. 【BASE+CH】基本ステータスクリア出力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき | リセット時 |
|-----|--------------------------|-----------|------------|-------|
| B 7 | END : 連続サンプリング終了 【注1】 | クリア する | クリア しない | 0 |
| B 6 | CNC : 各回繰り返し周期の先頭 【注1】 | | | 0 |
| B 5 | 未使用 | | | 0 |
| B 4 | ORE : オーバーラン・エラーフラグ 【注1】 | | | 0 |
| B 3 | LST : データロスト・エラーフラグ 【注1】 | | | 0 |
| B 2 | 未使用 | | | 0 |
| B 1 | 未使用 | | | 0 |
| B 0 | FIFOバッファだけのリセット操作 【注4】 | | | 0 |

【注1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注4】FIFOバッファ内の残りデータを破棄し、同フラグをリセットする。

EMP = 0

HLF = 1

表3-12D. 【BASE+DH】追加ステータスクリア出力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき | リセット時 |
|-----|----------------------------|-----------|------------|-------|
| B 7 | 未使用 | クリア する | クリア しない | 0 |
| B 6 | 未使用 | | | 0 |
| B 5 | 未使用 | | | 0 |
| B 4 | 未使用 | | | 0 |
| B 3 | 未使用 | | | 0 |
| B 2 | INT : 割り込み要求発生 【注1】 | | | 0 |
| B 1 | TIM : 各回サンプリング・クロック先端 【注1】 | | | 0 |
| B 0 | TGD : トリガ発生認識 【注3】 【注1】 | | | 0 |

【注1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注3】レベルトリガ動作のときは状態フラグ(前ページ参照)。

3-13 . D A出力データの書き込み

当初F I F Oバッファメモリに書き込まれたデータは図3 - 13に示す配置となっています。

非サイクル動作モードの場合、これらのデータは逐次クロックにより読み出されて入口側に空領域が増えて行きます。C P U側ではF I F Oバッファが全空にならないうちに追加データを書き込みます。方法は通常出力命令のほかC P Uによってはブロック出力命令もあります。

なおD Aデータコードはユニポーラ出力：ストレートバイナリ、バイポーラ出力：オフセットバイナリです。

直接出力モードのときは各D A出力データを（F I F Oメモリを介さず）各専用のポートに直接書き込みます。

《書き込み操作例》

```
o u t p ( BASE + 0x4 , mode ) ; /* 出力モード、c h数【3-5項】 */
o u t p ( BASE + 0x5 , range ) ; /* 出力範囲選択【3-5項】 */
o u t p ( BASE + 0x3 , data3L ) ; /* D Aチャンネル3出力データ下位 */
o u t p ( BASE + 0x3 , data3H ) ; /* D Aチャンネル3出力データ上位 */
o u t p ( BASE + 0x2 , data2L ) ; /* D Aチャンネル2出力データ下位 */
o u t p ( BASE + 0x2 , data2H ) ; /* D Aチャンネル2出力データ上位 */
o u t p ( BASE + 0x1 , data1L ) ; /* D Aチャンネル1出力データ下位 */
o u t p ( BASE + 0x1 , data1H ) ; /* D Aチャンネル1出力データ上位 */
o u t p ( BASE + 0x0 , data0L ) ; /* D Aチャンネル0出力データ下位 */
o u t p ( BASE + 0x0 , data0H ) ; /* D Aチャンネル0出力データ上位 */
u p d = i n p ( BASE + 0xB ) ; /* (同期更新の)出力操作 */
```

連続サンプリングモードのときはD A出力データ（F I F Oへ）をポート0に書き込みます。

- (1) 通常出力命令の場合はバイト単位で（連続して）書き込みます。

ソフト上ではF I F Oメモリに追加書き込みできるかどうか（満杯か否か）を示すステータスフラグ**N o t - F U L**をポーリングするか、または同ステータスによる割り込みを使用します。

《書き込み操作例》：4チャンネル使用時の1サンプリング分。

```
o u t p ( BASE + 0x4 , mode ) ; /* D A出力モード、c h数【3-5項】 */
o u t p ( BASE + 0x5 , range ) ; /* 出力範囲選択【3-5項】 */
o u t p ( BASE + 0x0 , data0L ) ; /* D Aチャンネル0出力データ下位 */
o u t p ( BASE + 0x0 , data0H ) ; /* D Aチャンネル0出力データ上位 */
o u t p ( BASE + 0x0 , data1L ) ; /* D Aチャンネル1出力データ下位 */
o u t p ( BASE + 0x0 , data1H ) ; /* D Aチャンネル1出力データ上位 */
o u t p ( BASE + 0x0 , data2L ) ; /* D Aチャンネル2出力データ下位 */
o u t p ( BASE + 0x0 , data2H ) ; /* D Aチャンネル2出力データ上位 */
o u t p ( BASE + 0x0 , data3L ) ; /* D Aチャンネル3出力データ下位 */
o u t p ( BASE + 0x0 , data3H ) ; /* D Aチャンネル3出力データ上位 */
```

以後、

| |
|---|
| <p>【3 - 6項】クロック源選択、【3 - 7項】分周比の指定 【3 - 8項】連続サンプリング回数の設定 【3 - 9項】トリガモードの設定 【3 - 11項】スタート操作（サイクル、または非サイクル）</p> |
|---|

非サイクルモードの場合、以後は【3 - 12項】ステータス取得し、F I F Oメモリ内のデータ量を評価して追加データを補給（書き込み）します。

- (2) 80286以上の80系CPUでは、複数のデータを連続してCPU側のメモリからボード上のFIFOメモリに転送するブロック出力転送命令OUTSBを使用することができます。

この場合はFIFOメモリ内のデータが**同メモリ容量の 半分 + 1** 以上か / 未満かを示すステータスフラグHLF（前3 - 12項）をポーリングするか、または、同ステータス変化による割り込みを使用します。

データ書き込みアルゴリズム作成上の注意

FIFOメモリにデータを書き込むときに監視参照するフラグにはNot-FUL、Not-Half-Fullなどがあります。Not-Half-FullフラグはもっぱらFIFOメモリ容量の半分単位でブロック転送（OUTSB）するときに使用し、Not-FULLは時々刻々の書き込みに使用されます。

【注】 オプションの1M語、または8M語FIFOモジュールの“Not-HALF-FULL”フラグはモジュール上のスイッチ設定で充満データが512語、1K語、2K語、4K語、8K語、16K語、32K語、64K語に達しているか否かを示すものです。

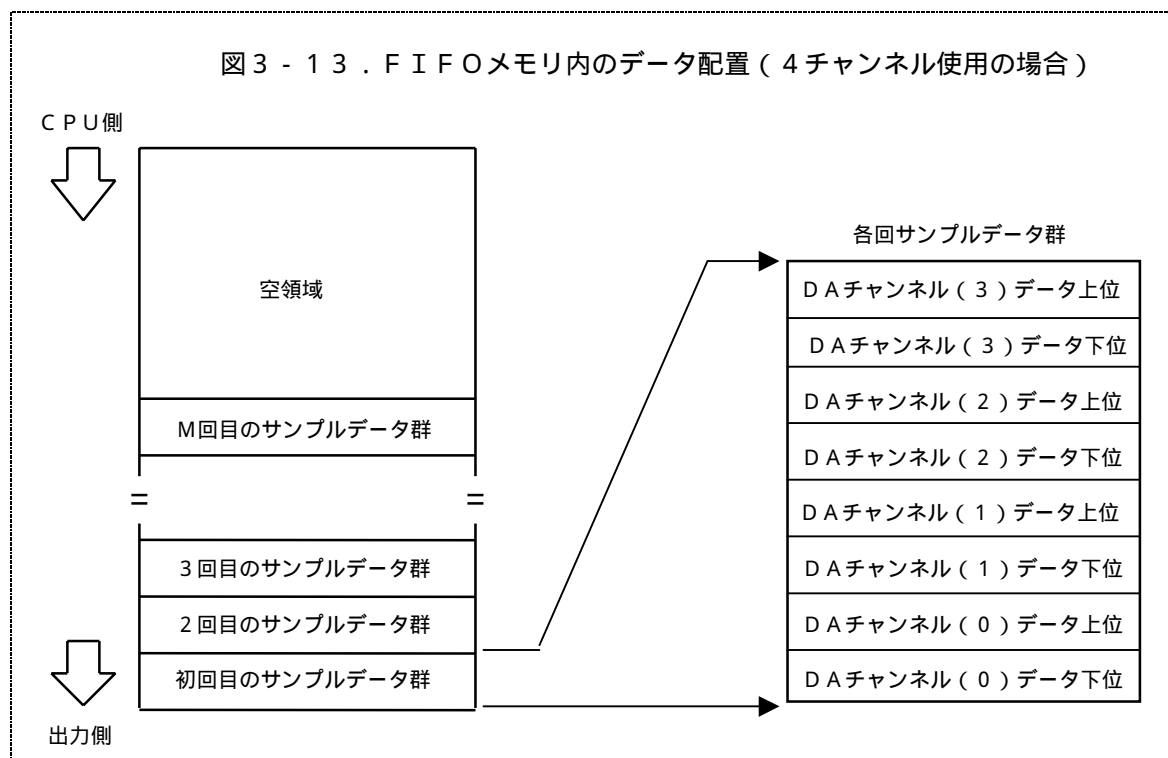
1M語FIFOモジュールに限り最高読み書き速度 = 2MB / 秒（1M語 / 秒）のため、本機に適用した場合、最高動作速度が同速度に制限されます。

エラーが発生するときは、

本ボード搭載のFIFOメモリ出力速度（使用チャンネル数×サンプリグ周波数）が入力側の書き込み速度（CPU側からのデータ転送速度）より速いときは、同メモリの充満量が次第に減って行き、ついには空出力状態を起こしてデータロス・エラーフラグが立ちます。

当時点以降に出力されようとした空データは全て無効で、出力端子には直前の出力データが保持されています。

図3 - 13 . FIFOメモリ内のデータ配置（4チャンネル使用の場合）



3-14．マスタスレーブ動作（複数ボードの同期・並行動作）

複数の本ボード（最大7枚）を同一クロックで同期運転することもできます。
この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。
スレーブはマスタからのクロックを受けて同期をとりますが、サンプリングタイミングに最大
100nsの遅れが生じます。 接続・操作は以下のとおり。

ボード上の設定

各ボードのI/Oベースアドレスが重複しないように設定する。

スレーブボードが1枚だけのときは同ボード上のクロック入力終端用スイッチS - CLKZを【ON】とする。 スレーブボードが複数あるときのスイッチS - CLKZは1枚のみ【ON】、その他のボードはマスタボードも含め全て【OFF】に設定する。

ボード間の接続等

マスタ機のクロック出力《CLK-OUT》をスレーブ各機のクロック入力《CLK-IN》に接続するだけである。（図3-14参照）

マスタ機は外部クロック源、外部（デジタル）トリガを使用することもできる。

ソフトウェア

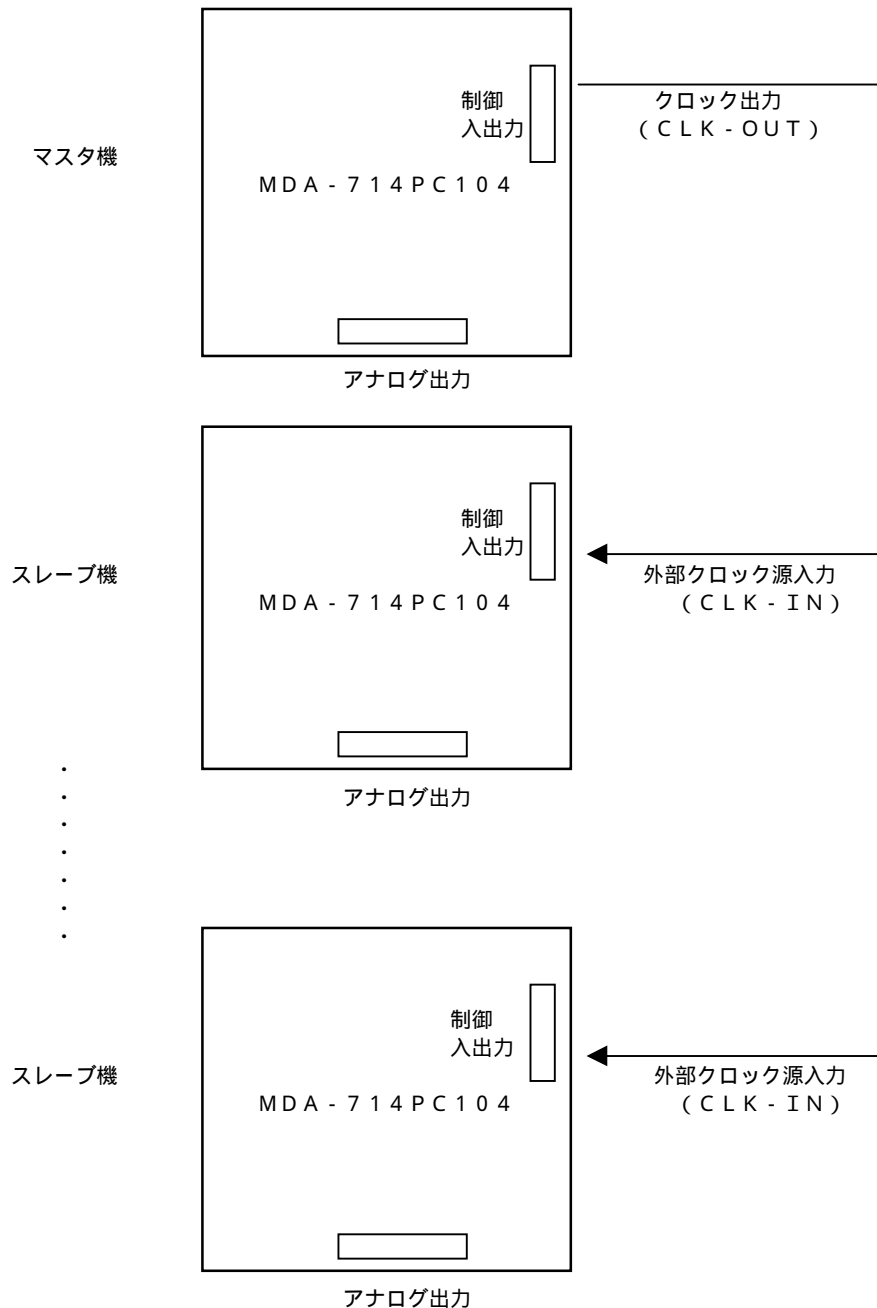
スレーブ各機のクロック源は外部に設定（3-6項）、またクロック源の分周比は1/1に設定（3-7項）しておく。

スレーブ各機の外部トリガは禁止としておく。

マスタ機は単独動作時と同様に（何の制限もなく）条件設定できる。

連続サンプリング動作のスタート操作はスレーブ各機を（ソフトトリガで）先に、最後にマスタ機を（任意のトリガ条件で）行う。 連続サンプリング開始後はマスタ機のステータスを監視しながら適時、各機へのデータ書き込み（補給）を行う。

図3-14. マスタスレーブ接続による複数ボードの並列・同期運転



マスタスレーブ動作の概要

- (1) スレーブ各機をソフトトリガで即スタートさせると外部クロック入力による連続サンプリング動作となるが、この時点ではマスタ機からのクロック入力待ち状態である。
- (2) マスタ機が（設定した）トリガにより連続サンプリングが開始されるとマスタ機から有効なクロック信号が出力され、これがスレーブ各機（最大7枚）に入力されて同期サンプリングが実行される。/この間の遅れ時間は最大100nsである。/
- (3) 以後はマスタ機のステータスを監視して適時、各機のFIFOバッファに追加データを書き込む。マスタを含めて各機は自身の最高速度で連続サンプリングできる

3-15．補助デジタル入出力

本機には外部制御入力が3本（外部クロック源入力／外部トリガ入力／外部割込み入力）ありますが、これらの中で本来の外部制御機能として使用しないビットは汎用のデジタル入力として利用することができます。なお使用入出力素子は74HCT244（CMOS）です。

入力

```
d i n = i n p ( B A S E + 0 x E ) ; /* 汎用3ビットTTL（現在値）入力 */
```

表3-15A．【BASE+EH】入力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき |
|---------------------------------|------------------|-------------|--------------|
| B 7 B 6 B 5 B 4 B 3 | 未使用 | | |
| B 2 | CLK-IN：外部クロック源入力 | H i g h（開放） | L O W（0Vレベル） |
| B 1 | TRG-IN：外部トリガ入力 | H i g h（開放） | L O W（0Vレベル） |
| B 0 | INT-IN：外部割込み入力 | H i g h（開放） | L O W（0Vレベル） |

出力

```
o u t p ( B A S E + 0 x E , d o u t ) ; /* 補助1ビットTTL（ラッチ）出力 */
```

表3-15B．【BASE+EH】出力ポートの構成

| ビット | 各ビットの機能・意味 | = 1 のとき | = 0 のとき | リセット時 |
|---|------------------|---------|---------|-------|
| B 7 B 6 B 5 B 4 B 3 B 2 B 1 | 未使用 | | | |
| B 0 | Q 0：汎用デジタル出力ビット0 | H i g h | L o w | 0 |

【注1】 電源投入、またはハードウェアリセット直後の補助デジタル出力は“0”ですが、ソフト的な制御部リセット操作（3-4項）ではクリアされません。

【注2】 補助デジタル出力の論理はボード上のスイッチS-POLにより任意に設定することができます。（1-2項、2-3項参照）

出荷時は《N》側に設定＝“負論理”で、電源投入・ハードウェアリセット直後の状態はH i g hレベル（出力＝0）です。

なお《P》側＝“正論理”モードでは（回路の性格から）電源投入・ハードウェアリセット時に約100msのH i g h期間が発生するので御注意ください。

第4章．保守・その他

4-1. 故障・トラブル等の原因と対処

本機は全数検査のうえ出荷されています。

動作に不具合等が見られるときは以下の諸点を再点検してください。

それでも不明なときは巻末の【Q & A フォーム】にシステム構成（特に外部機器の接続回路）等の動作条件を御記入のうえ、技術部宛 FAX してください。

迅速に応答する体制となっています。なお TEL いただく場合も、客観情報の整理・評価は問題解決のスピードアップにつながりますから、事前に【Q & A フォーム】を FAX してください。

再点検・確認ポイント

- | | |
|--------------|---|
| (1) I/O アドレス | 他のデバイスと重複・競合はないか？ (1 - 3 項) |
| (2) 割り込みレベル | 他のデバイスと重複・競合はないか？ (3 - 11 項) |
| (3) デジタル入出力 | 本ボードの TTL 入力（割り込み、トリガ、クロック、汎用 bit）に接続できる信号源は TTL（LS、CMOS 等の 5V 電源動作素子）に限ります。現場などで不適切な信号源を接続したために本ボード内の入力素子を破損する事故が頻発していますので御注意ください。 |
| (4) アナログ出力 | 負荷容量が大きくないか？ (2 - 1 項) 複数チャンネル使用時は各信号源の GND 間電位差に注意。 |

動作確認方法

当社では原則として、ユーザ作成のソフトウェアについては評価しません。

動作確認は無償配布の当社製プログラム実行結果について推測・適否・判定を行います。

QA リクエスト時には当プログラムの実行結果をレポートしてください。

4-2. 修理のときは

入手経路の如何にかかわらず当社宛に直接お申しつけください。 商社等を経由されますと時間がかかるだけでなく、情報交換の不便、費用の面でも不利になります。 なお当社では修理依頼を受けた製品が検査の結果、良品と判定された場合は（保証期間内でも）手数料を申し受けます。

特に最初からの不具合には誤解や情報不足によることが多いので、事前に御相談ください。

【Q & A フォーム】が便利です。

無償修理

納入後1年以内の自然故障、および当社製造上の問題に起因した故障に対しては無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。

なお当社では保証書を発行していませんが、社内では製造番号と出荷年月日の記録を基に判定しています。

有償修理

落雷等の自然現象、漏電・過電圧印加・機械的破損・その他、ユーザ側の責に帰する故障品、または納入後1年間を経過した製品の自然故障に対しては実費・有償にて修理をお請けします。 性格上、事前見積もりは不可能ですが、制限額を事前通知いただければ、作業過程で制限を超えそうな見通しがたった時点で連絡・相談させていただきます。

受け渡し : 通常の授受は宅配便で行います。

修理期間 : 全んどの場合、当社内で24時間以内に完了・返送しています。時間を要するような場合は御連絡いたします。

費用の目安 : 修理費用は事務管理手数料、技術者の所要時間（1時間単位）手数料、および交換部品代の合計です。 2001年7月現在（時勢により変動します）では、

事務管理手数料（1件当り、返送運賃含）：＝ ¥ 4,000

修理時間手数料：＝（時間単価 ¥ 6,000）× 所要時間

交換部品代 : ＝ ¥ 実費

故障経緯、システム客観情報の添付は時間の節約・コストダウンに有効です。典型的な事例では費用合計が ¥ 20,000 を超えることは希れです。

【注2】 当社製品に対してユーザが改造を行った場合は、当社サポートの対象外になります。 改造とは製品に新たな部品を追加実装、または実装部品を削除したり、回路パターン・接続に変更を加えることです。 なお、当社がオプションとして供給、または指定した部品の追加実装・交換はこの限りではありません。

4-3. 再調整

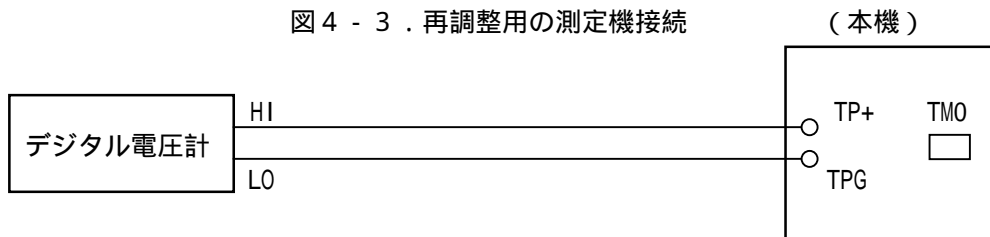
得られる値に出力範囲の変化やオフセットが認められるときは再調整が必要です。

アナログ回路は経年・環境変化に対する保守を定期的に行うことが望ましく、夏冬の使用環境（周囲温度）に差がある場合は季節単位、通年安定した使用環境の場合は1～2年に1度は校正することが理想的です。

再調整の方法・手順を以下に記します。

本ボードの基準電圧出力テスト端子（TP+ / TPG）をデジタル電圧計に接続します。

図4-3. 再調整用の測定機接続



本ボード上の基準電圧出力テスト端子をデジタル電圧計で測定・モニタしながら、10.00Vとなるようにボード上のトリマTMOを調整します。

得られる正確度（当社製造・調整環境・常温にて）

- (a) 非直線性 = 0.004% FS : 使用されるDA変換素子に固有の性能。
- (b) 相対正確度 = 0.058% FS : 非直線性を含む回路全体の性能。（= 校正可能限度）
- (c) 絶対正確度 = 0.070% FS : 相対正確度に校正測定器の正確度を加算した値。

【注1】 当製品は正確度0.012%の測定器を使用し、常温で最終調整を行っています。
上記した相対正確度と絶対正確度の差はこれによるものです。
なお、周囲温度の変化が大きいときは温度ドリフト（typ. 20 ppm/ ）による誤差も加算されます。 また経年変化のデータや保証はありません。

【注2】 本機のアナログ調整は全チャンネル共通のゲイン（基準電圧）だけで、各チャンネル個別のゲイン、およびオフセット調整はありません。 ここで定義されている正確度はゲイン、オフセット誤差を含めたものです。 特定のチャンネルに最適化した再調整を行うと、他のチャンネルの正確度が当仕様を超えて悪化することがありますので御注意ください。

【注3】 上記の値にはCPUを含むシステム全体から発生する雑音が含まれていません。
この雑音は一定DAデータ値をDA変換出力したときの重畳ノイズとして認識され、12ビットのとき1LSB（0.025%FS）程度が普通です。（数十kHz帯域において）

マイクロサイエンス（株）行

FAX : 03 (3301) 5593

Q & A フォーム

発信： 年 月 日 / 時 分

| | | | | | | |
|----------------------|-------------------------|-----|-------------------------|---|-------|--|
| 製品名 | MDA-714PC104 | | 購入時期 | 年 | 月 | |
| ボード上の 設定、 使用状況 | SW1 = SW2 = SW3 = | | JP - INT = S - POL = | | | |
| その他 | | | | | | |
| I / O、 周辺状況 | 同時使用の 他ボード | | I / Oアドレス 割り込み、等 | | | |
| 本体 システム | CPU | | | | | |
| | 本体メモリ | | | | | |
| | OS | () | | | | |
| ソフト | 言語 | | コンパイラ | | (vr) | |
| | プログラム名 | | | | | |
| (動作状況) | | | | | | |

《 60分以内に応答のないときはお叱りください。》 TEL : 03 (3396) 8377

| | | | |
|------|--|--|-----------|
| 御使用者 | | | (所属部・課) |
| 団体名 | | | |
| TEL | | | (所在地) |
| FAX | | | |