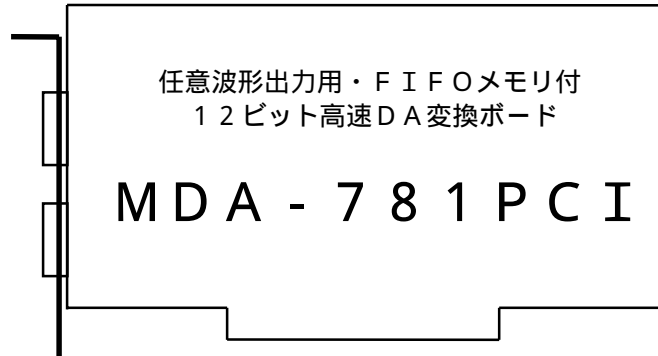


Real Solution for FA/LA



取扱い説明書

対応パソコン

IBM PC / AT 互換機
(PCI - bus)

マイクロサイエンス（株）

〒167-0042 東京都杉並区西荻北2丁目37番12号

TEL 03(3396)8362 代表

FAX 03(3301)5593

Email: welcome@microscience.co.jp

Jun 08, 2004 (第4版)

目 次

使用・適用上の注意	4
本製品の構成・価格表	5

第1章．導入・試運転

1-1. 本機の仕様・概要	7
1-2. ボード上の設定	13
1-3. 入出力コネクタ・ピン接続	14
1-4. 入出力接続オプション	15
1-5. ボードのインストール	16
1-6. 試運転・動作確認	21

第2章．信号入出力

2-1. アナログ入出力端	23
2-2. アナログ入出力モード・範囲	26
2-3. デジタル入出力	30

第3章．制御・操作

3- 1. アナログ出力の様子	31
3- 2. F I F Oメモリの動作	34
3- 3. 制御・操作の手順	35
3- 4. 制御レジスタ I / O アドレス・マップ	40
3- 5. ボード制御部リセット・認識（初期化）	41
3- 6. D A データコード指定	42
3- 7. クロック源選択	43
3- 8. 読み書き対象カウンタの選択	44
3- 9. クロック値（クロック源分周比）の設定	46
3-10. D A 出力データ点数の設定・認識	48
3-11. スケール変数 D A データの書き込み	51
3-12. アナログ出力 D A データの書き込み	52
3-13. トリガ&出力更新モード指定	54
3-14. ボード・ステータスの読み込み・クリア	56
3-15. F I F Oメモリ・フラグだけの読み込み	58
3-16. 汎用デジタル入出力	59
3-17. 割り込み制御（要因設定、許可／禁止）	60
3-18. S Y N C / クロック出力切り替え	62
3-19. 複数ボードの同期運転	63
3-20. 外部機器との連携動作	64

第4章．ソフトウェア

4- 1. ソフトウェアのインストール	65
4- 2. W I N D O W S ドライバについて	68
4- 3. ボードアクセス関連ライブラリ	69
4- 4. 割り込みについて	72
4- 5. Q u i c k - B a s i c サンプル	73
4- 6. C のサンプル	74

第5章．D O S ハンドラ

5-1. システム構成・ソフトウェア構造	77
5-2. 使用準備	78
5-3. プログラム記述	79
5-4. 関数仕様・エラーコード	80

第6章．W I N D O W S ハンドラ

6-1. システム構成・ソフトウェア構造	93
6-2. 使用準備	94
6-3. プログラム記述	96
6-4. 関数仕様・エラーコード	98

第7章．保守・その他

7-1. 故障・トラブル等の原因と対処	107
7-2. 修理のときは	109
7-3. 再調整	110
7-4. 制御信号・タイミング等	112
7-5. 付録 (W I N D O W S 2 0 0 0 / X P について)	114

Q & A フォーム	116
------------	-----

本製品の使用・適用についての注意

- 【１】 本製品はIBM PC / AT互換機のPCIバス拡張I / O スロット、またはPCIバス拡張I / Oボックスに装着して使用するものです。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システム的设计・制作に別途付加・反映させてください。 本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。 これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。 御利用の場合は同システム的设计・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第３者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。 但し、当社製ソフトウェアのソースコードを含むソフトウェアを第３者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

故障・修理・サポート方法について

- 【１】 納入後１年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品に対して無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【２】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰する故障品に対しては実費にて修理をお請けします。
- 【３】 修理は宅配便によるセンドバックで行います。 なお、運賃は互いに発送する側が負担するものとします。（無償修理の場合も含む / 着払い不可。）
- 【４】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社宛に直接御相談・御用命ください。 その際は、客観情報の整理・評価を行うために必ずFAX等でレポートを御送付ください。（解決速度が格段に上ります。）
本書末尾の《Q & A フォーム》が便利です。

本製品の構成

本製品は MDA - 781PCI ボード、
 入出力プラグ (アナログ、デジタル、各 1 個)
 ソフトウェア、取扱説明書 PDF ファイルを格納した CDROM、
 から成ります。

オプション：印刷された取扱説明書 (本書)、回路図。
 取扱説明書 PDF ファイルは当社 WEB から入手できるほか、
 上記の CDROM は何時でも御請求により無償配布しています。

当 CDROM には、
 動作確認プログラム、学習用サンプルプログラム (VB, QB, C)、および WINDOWS
 98・ME/NT/2000/XP 用のハンドラ (ドライバ/関数ライブラリ) と各種言語の
 サンプルプログラム (VB, C, C++, Delphi 等)、取扱説明書 PDF ファイルが格納
 されています。

価 格 表

(消費税は含まれていません。)

/ 2004 年 5 月 /

製品名	¥ 価 格	製品の概要
本体MDA - 781PCI	91,000	FIFOメモリ付12ビット高速DAボード
(以下、オプション)		
MDA-781取説セット	2,000	印刷された取扱説明書 + 回路図
DS09S 150	6,000	アナログ入出力用1.5mケーブル (片方：プラグ / 他方：バラ)
CBOX - 204	18,000	クロック・トリガ用BNC接続ボックス (対ボード間1mケーブル付)
CBOX - 404	19,000	(アナログ出力) BNC接続ボックス (対ボード間1mケーブル付)

《 取説セット 》 印刷された取扱説明書 + 回路図は有償です。(¥2000)
 が、同一内容の取説PDFファイルと添付ソフトを格納したCDROMは無償配布しており、また
 取説PDFファイルは当社ホームページから無償ダウンロードすることができます。
[＜www.microscience.co.jp＞](http://www.microscience.co.jp)

《 メモリ増設 》 該当容量のFIFOメモリ素子に交換して出荷します。(標準は1K語分)
 本体製品型名の末尾にFIFOメモリ容量を示す枝番を付してください。

選択枝番： - 8KW (8K語分 / ¥10,000加算)
 - 32KW (32K語分 / ¥34,000加算)

指定例： MDA - 781PCI - 32KW

第1章 導入・試運転

1-1. 本製品の仕様・概要

任意波形出力や自動ループ制御に適したバッファメモリ付の12ビット高速DAボードです。

クロック同期出力・サイクルモードでは、あらかじめ書き込んでおいたFIFOメモリ内のDAデータ群を（最高2MHzの速度で）循環出力させることができます。出力波形1サイクルのデータ点数がFIFOメモリ容量以上か無制限長の場合はFIFOメモリ充満状態の監視によりブロックI/O転送等を利用して逐次データを補充する非サイクルモードもあります。

なお出力波形振幅は別に用意されているスケール変数データでソフト的に、または外部アナログ入力でハード的に制御することができます。またクロック源の入出力機能によりADボード等と組み合わせたアクティブな計測・制御システム構築が可能です。

波形DA出力機能

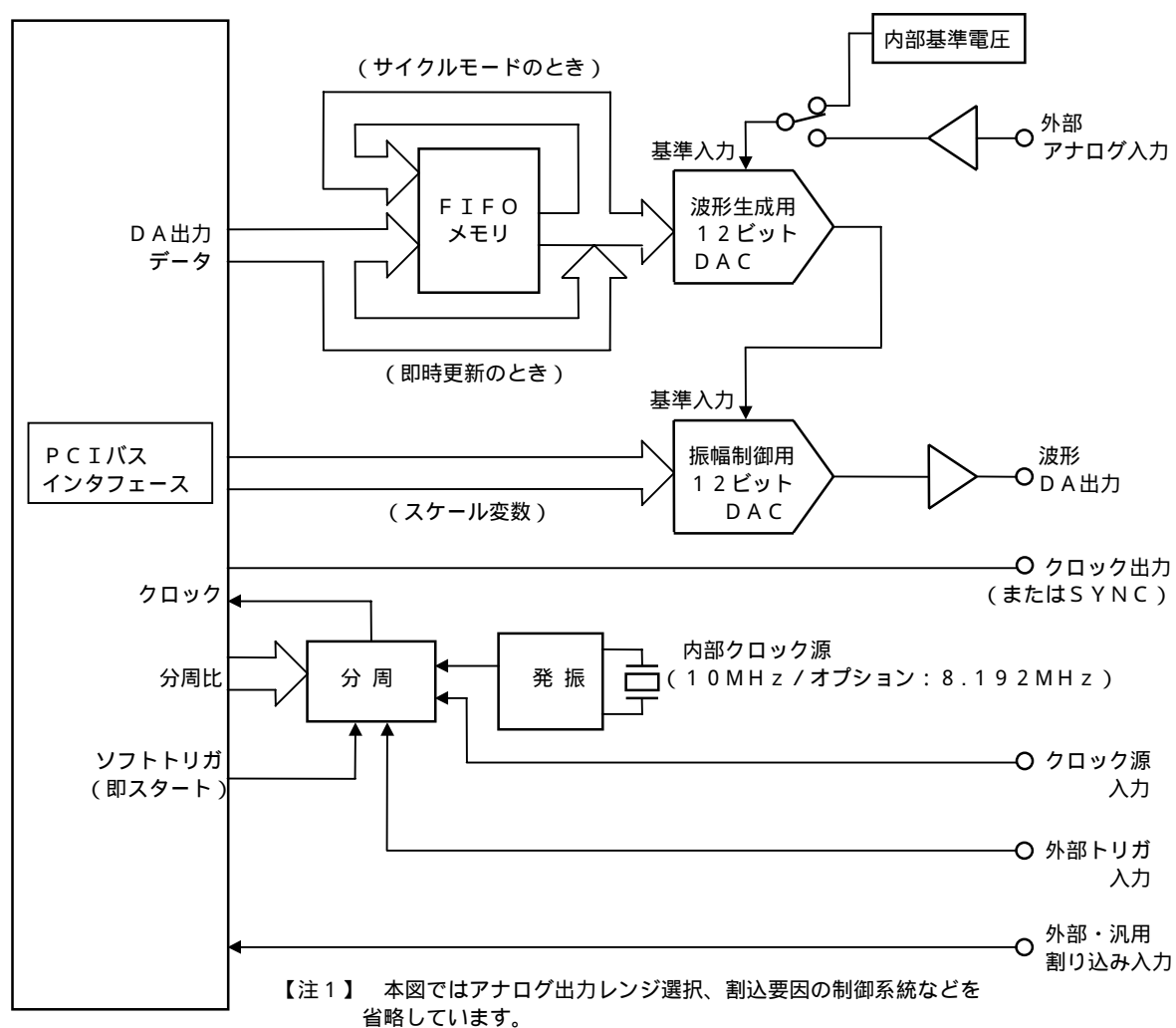
- 波形DA出力 : 12ビット/1チャンネル（マスタスレーブ動作可能）。
- バッファメモリ : FIFO型・標準1K語（オプションで8K/16K/32K語可能）。
- 通常出力レンジ : 最大 $\pm 10\text{V} / 0 \sim +10\text{V}$ （スイッチ選択）。
- スケール変数 : 12ビット（0～4095）ソフト指定。
- 出力範囲モード $\left\{ \begin{array}{l} \text{バイポーラ出力モード（対基準電圧・4象限乗算モード）、} \\ \text{ユニポーラ出力モード（対基準電圧・2象限乗算モード）。} \end{array} \right.$
- 出力更新モード —— クロック同期（サイクル/非サイクル）更新、または即時更新。
- セトリング : $1\mu\text{s}$ （0.1%FS到達、負荷容量 = 100pF のとき）。
- 非直線性 : $0.05\% \text{FS}$ （ $\pm 2\text{LSB}$ ）max
- 温度ドリフト : 20ppm/
- 最大駆動負荷 : 容量 1000pF 以下、抵抗 5K 以上（電流 2mA 以下）

- 外部アナログ入力 : // 波形DA出力の振幅制御に使用可能。（ $\pm 10\text{V}$ 以内・差動）//
- インピーダンス : 10M で終端（外せば 100M 以上）
- ゲイン誤差 : 最大 0.05% （ゲイン = 1）
- オフセット : 最大 20mV
- 温度ドリフト : $\text{typ. } 4\mu\text{V/}$
- 周波数帯域 : $\text{typ. } 1.2\text{MHz}$ （ -3dB ）

制御機能

- データ転送 : ブロックI/O, 通常（Single）I/O
- クロック源 : 内部 10MHz 、 8.192MHz 、または外部TTL入力。
- クロック値 : クロック源を32ビット（ $16\text{BIT} \times 2$ ）カウンタで分周、最高 2MHz 。
- トリガ機能 : ソフト（即スタート）、外部TTL入力エッジ・またはレベル（帯域）
- 割込要求要因（ソフト選択） : クロック（波形DA出力更新タイミング）、トリガ発生、サイクルモードの指定回数出力終了、汎用外部割り込みTTL入力、FIFOメモリのNOT-FULL、NOT-HALF-FULL。
- 外部制御出力 : クロック（波形DA出力更新タイミング）、またはSYNC（サイクルモードでの先頭データ位置）出力。

図 1 - 1 A . MDA-781PCI機能ブロック

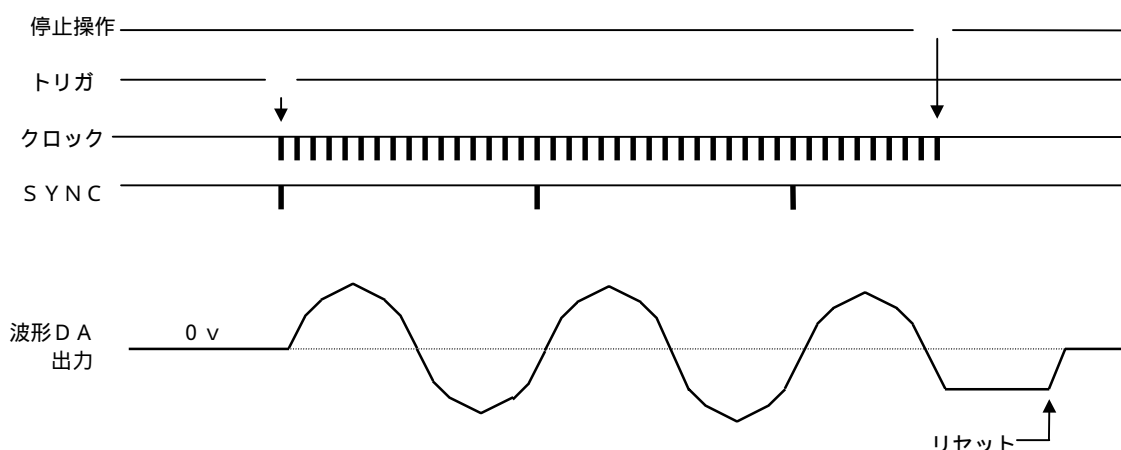


波形D A 出力 : アナログD A出力はスケール変数（専用D Aによるソフト可変）、または外部アナログ入力との乗算になります。

例えば任意波形を（クロック同期更新モードで）出力しながらプログラム上でリアルタイムにゲインを変える、すなわち振幅制御が可能です。
同様に外部からのアナログ入力との乗算（変調）動作も可能です。

クロック同期出力モード : ソフト（即スタート）、または外部T T Lエッジトリガによりクロックがスタート、これに同期してF I F Oバッファメモリ内のデータが順番にD A変換（更新）出力されます。【サイクルモード】の場合、バッファメモリ内のデータ群を1サイクル分として指定回数だけ（または停止まで無限に）循環出力します。（1サイクルの最大データ点数は搭載メモリ容量 - 1。）
出力しようとする波形1サイクル分のデータ点数が搭載メモリ容量以上、または無制限長の場合にはF I F Oメモリの充満状態によりブロックI / O転送等を利用して逐次データを補充する非サイクルモードもあります。

図1 - 1 B . クロック同期出力・サイクルモードの動作



【注4】SYNC : クロック同期出力モードのとき、波形出力D Aデータ群の先頭位置（1クロック幅）を示す。サイクルモード時は繰り返し出力されるが、非サイクルモードのときは先頭 = 最初のデータ出力時のみである。なお当信号（T T L）出力はソフト上の選択で“クロック出力”と“トリガ”になっている。

波形出力 : D A出力は電源ON、パソコンリセット操作、または本ボードのソフトリセット操作により初期値 = 0 Vとなる。以後は、D A出力操作（またはクロック）により更新された出力値が次の更新まで保持（ラッチ）される。

振幅制御 : （パソコン側から更新出力された）スケール変数は波形出力用クロックに同期して更新される。すなわち最大1クロック時間の遅れが生じる。

出力速度 : クロック同期サイクルモードのときは全て本ボードの自動運転ですから、パソコン側の速度に関係なく常に最高速度（2MHz）が可能です。
非サイクルモードのときはパソコン側からボード上のメモリに逐次データを補給する必要から、パソコン側能力・FIFOメモリ容量・総データ点数で可能な最高速度が決まります。

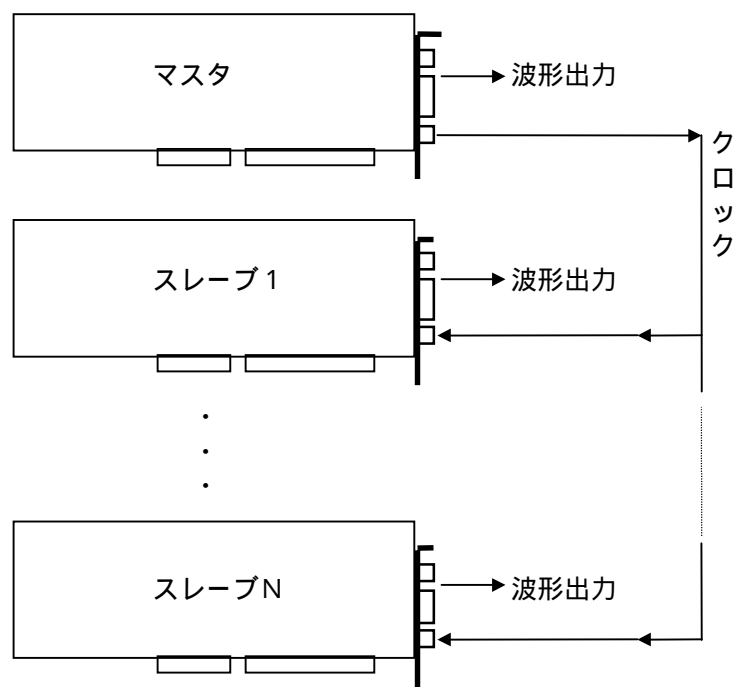
表 1 - 1 B . クロック同期・非サイクルモード時の最高速度例（ポーリング）

パソコンCPU	Pentium / 400MHz				
総データ数	1 K語	4 K語	8 K語	16 K語	32 K語
1枚のとき	2 M	900 K	800 K	800 K	800 K
2枚のとき	2 M	400 K	380 K	380 K	380 K

【単位：sps】 = samples / sec

同期運転 : マスタ機のクロック出力をスレーブ各機のクロック源入力に接続します。
マスタ機に対するソフト（即スタート）トリガ、または外部トリガ入力によりクロックがスタート、全スレーブ機がこれに同期して各自のFIFOメモリ内DAデータを更新出力する動作となります。（3-19項、参照）

図 1 - 1 C . マスタスレーブ接続（最大7スレーブ）



【注】 マスタ機のクロック出力を直接入力できるスレーブ数は使用する最高クロック値の制限を受ける。
この数は 2.5 MHz のとき 5 枚、 1 MHz のとき 7 枚。（波形が鈍るため。）
なお、マスタ機からクロックを供給されたスレーブのクロック出力を他のスレーブに供給可能。
（但し、通過遅れ = 約 250 ns）

アナログ仕様 (max: 最悪値、他は代表値)

セトリング : $1\mu s$ (0.1%FS到達、負荷容量 = 100pFのとき)
 非直線性 : 0.05%FS ($\pm 2LSB$) max
 温度ドリフト : 20ppm/
 グリッチ : 30nVs ($\pm 10V$ 出力範囲のとき) / 出力範囲幅に比例。
 最大駆動負荷 : 容量1000pF以下、抵抗5K以上 (電流2mA以下)。

アナログ入力 : 最大 $\pm 10V$ (絶対最大定格 $\pm 15V$)

その他

DAデータコード : オフセットバイナリ、または2の補数 (ソフト指定)
 I/Oアドレス : プラグアンドプレイ機能による自動設定 (16ポート占有)
 動作温度範囲 : 0 ~ +45 (結露しないこと)
 保存温度範囲 : -10 ~ +80 (" " ")
 基板寸法 : 174.3L x 98.4H (突出部を含まず / PCIショートサイズ)
 電源・消費電流 : +5V / 0.9A

入出力コネクタ — アナログ : 9ピンD-SUB型 (ハンダ付用プラグ添付)、
 およびDA出力に限りBNC端子 (並列接続)。
 — 制御信号 : 8ピン丸型 (ハンダ付用プラグ添付)

オプション : 制御信号 (クロック入力、トリガ入力、汎用割込入力) 用のBNC
 接続ボックス、アナログ入出力ケーブル。
 (1-4項、参照)

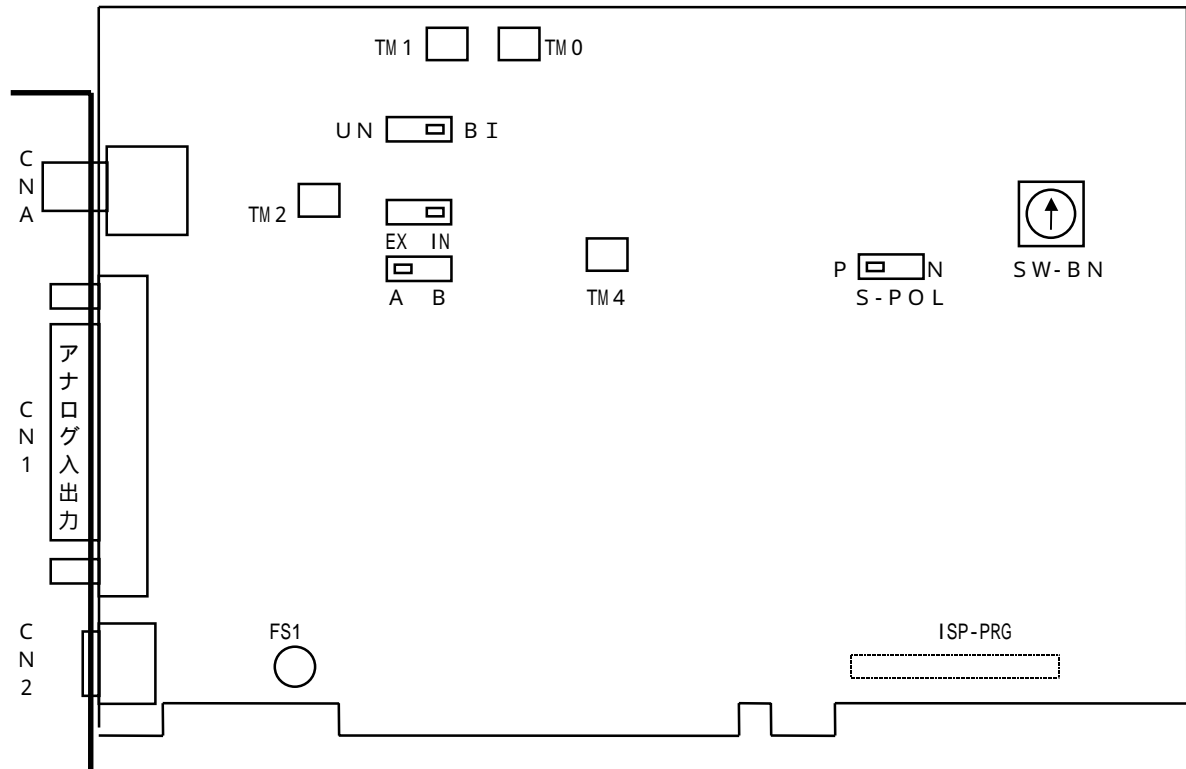
対応ソフトウェア

MS-DOS : CおよびQuick-Basicでの学習用サンプルソース。

WINDOWS : WINDOWS 98・ME / NT / 2000 / XP用の単純I/O実行
 DLL & デバイスドライバ、および本ボード専用ドライバ & 関数DLL。
 (VB, Delphi, C, C++ サンプル付。)

1-2. ボード上の設定

図 1 - 2 A . MDA - 7 8 1 P C I ボード上の部品配置



SW - BN : ボード番号設定スイッチ (出荷時 : 0 / 本ボードを複数使用時の認識用)

S - POL : 汎用デジタル出力の極性選択【出荷時 : P (正論理)】 / 2 - 3 項。

RESEL : アナログ基準電圧源選択 【出荷時 : IN】 / 2 - 2 項。

BUSEL : アナログ出力範囲極性選択 【出荷時 : BI】 / 2 - 2 項。

ABSEL : アナログ出力範囲モード選択【出荷時 : A】 / 2 - 2 項。

TM0 : DA 出力 (バイポーラ) オフセット調整トリマ。

TM1 : DA 出力 (ユニポーラ) オフセット調整トリマ。

TM2 : 上記両出力共通 ゲイン調整トリマ。

TM4 : 振幅制御 (スケール変数) オフセット調整トリマ。

再調整用
/ 7 - 3 項

CNA : アナログ出力コネクタ (BNC)

CN1 : アナログ入出力コネクタ (9 ピン D - SUB)

CN2 : デジタル入出力コネクタ

/ 1 - 3 項

FS1 : + 5 v 電源出力保護ヒューズ (FRPU - 0.5 A : 浜井電球製) / 回路図

ISP - PRG : 保守用 (出荷時 : 未実装)

1-3. 入出力コネクタ・ピン接続

本機のアナログ入出力には9ピンのD-SUBコネクタ、また制御信号入出力には8ピンの丸型コネクタが使用されています。なおアナログ出力（波形出力）はBNCコネクタ（CNA）にも接続されており、都合の良い側を使用できます。

表1-3. 入出力コネクタ

適 用	本ボード上のコネクタ	【製造社名】	対外部接続プラグ	【添付の有無】
DAアナログ出力専用	標準BNC		標準BNC【添付されません】	
全アナログ入出力	17LE-13090-27(D4AB)	【DDK】	17JE-23090-02(D8A)	【添付】
制御信号入出力	HR212-10RA-8SDL(03)	【ヒロセ】	HR212-10P-8P-MS	【添付】

図1-3A. アナログ入出力コネクタ（CN1）ピン接続

信号名	ピン番号	ピン番号	信号名
DAアナログ出力 Vout	1	6	AG（アグ・グランド）
空きピン	2	7	空きピン
差動アナログ入力 VINH	3	8	AG（ " " ）
差動アナログ入力 VINL	4	9	AG（ " " ）
	5		

【注】 アナロググランドAGとデジタルグランドDGはボード内で接続されています。

（添付プラグのハンダ付け側）

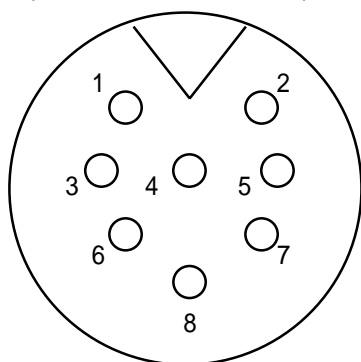
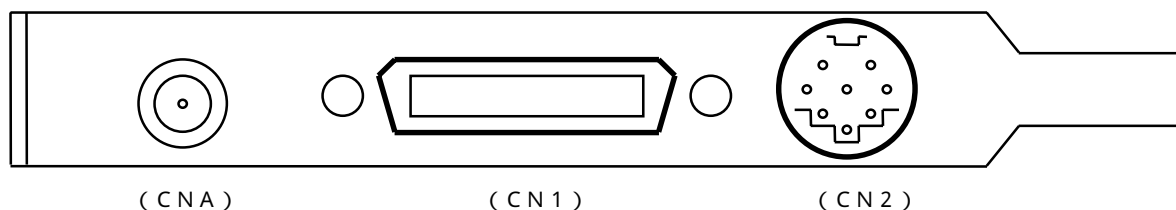


図1-3B. デジタル入出力コネクタ

ピン1：割り込み入力 INT - IN
 ピン2：トリガ入力 TRG - IN
 ピン3：クロック源入力 CLK - IN
 ピン4：クロック出力 CLK - OUT
 ピン5：汎用デジタル入力 I0
 ピン6：汎用デジタル出力 Q0
 ピン7：PCIバス+5V出力 +5V
 ピン8：デジタルグランド DG
 （DGとAGはボード内で接続されている。）

図1-3C. リアパネル面の外観



1-4. 入出力接続オプション

図1-4A. デジタル入出力接続ボックス

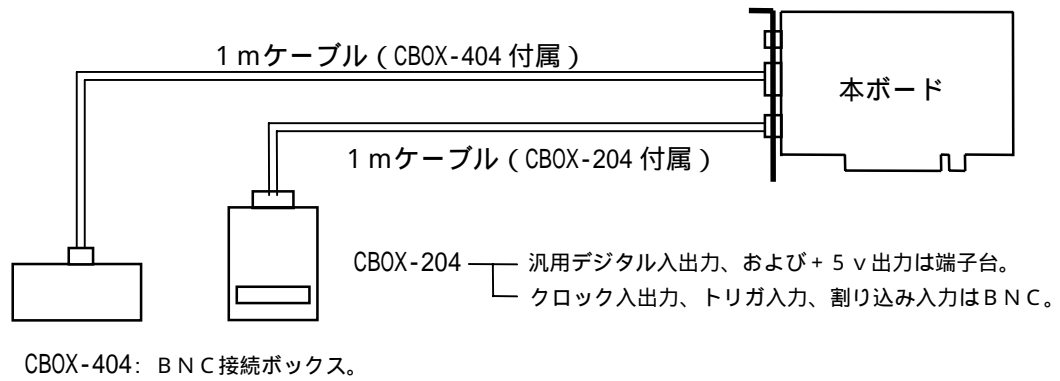
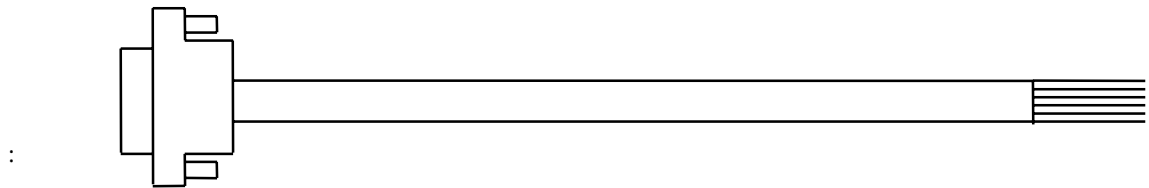


図1-4B. アナログ用シールドケーブル (DS09S-150)



1-5. ボードのインストール

本製品はプラグアンドプレイに対応したPCIボードです。

御使用に先立ち、組み込むパソコンシステムにインストール（認識・リソース割り当て）される必要があります。この作業はシステムを上げたとき（電源投入直後）に自動実行されます。

準備

本ボード上の諸設定は出荷時の状態（1-2項）とします。

パソコン本体または拡張I/Oボックスの電源を切った状態でカバーを外し、任意の拡張（PCIバス）I/Oスロットに本ボードを無理なく押し入れ装着します。注意することは、

パソコン本体または拡張I/Oボックスの電源を必ず切っておくこと。電源を入れたままで本ボードを抜き差しすることは双方の故障原因となります。

本ボードのカードエッジ（金メッキ端子）に手を触れないこと。

手を触れると（油脂成分の付着等により）接触不良の原因となることがあります。

もし触れてしまった場合はアルコール等で拭き清めてください。

本ボード上ROM内のコンフィギュレーション情報

Vendor ID : 13FDH（インタフェース素子の製造者ID）【注1】
 Device ID : 010BH（インタフェース素子自体のID）【注1】
 Subsystem Vendor ID : 13FDH（ボード製造者＝マイクロサイエンス社のID）
 Subsystem ID : 010BH（本MDA-781PCIボード自体のID）
 Class Code : 110000H（本ボードの適合する分類コード）

リソース要求：I/Oアドレス：連続した複数アドレス。（ボードにより異なる）

割り込み：デフォルトでは不要求。【注2】

バスマスタ：機能なし（不要求）。

【注1】 Vendor ID / Device IDは本来、インタフェース素子メーカ／素子自体を特定するIDですが、本ボードで使用している素子は汎用品として多数の他社製品にも使用されており、（98/04/01）現在パソコンのプラグアンドプレイではVendor IDとDevice IDだけでボードを認識する機種があるので（混乱を避けるために）当社IDを記してあります。

【注2】 割り込みを使用する場合：本ボード上のROMに書き込まれているデフォルト（初期）のコンフィギュレーション情報では割り込みリソースを要求しません。もし要求したときに空気が無く拒否されるとI/Oアドレスの割り当ても受けられず、認識不能状態になる恐れがあるからです。割り込みを利用したいときは以下の手順を踏んでください。

本ボードを最初はデフォルト（初期）設定のままインストールし、システムから認識できる状態にしてください。

現在のシステムが使用しているリソース情報を調査してください。割り込みに空がある場合は（当社提供のユーティリティ：cf9050で）本ボード上のコンフィギュレーション情報（ROM）を割り込みリソースを要求するように修正して、一旦終了・電源を切ります。（パソコン電源部保護のため1分以上の後）、再度電源投入するとプラグアンドプレイで割り込みリソースが割り当てられます。

割り込みリソースに空が無い場合は最後の手段として、既に他デバイスに割り当てられている割り込みリソースを共有する方法も考えられますが、他デバイスの動作にも影響する恐れがあるため、現時点では当社のサポート対象外としています。

インストール(1) : WINDOWS 95 の場合。(WINDOWS 98 / ME も同様)

《ボードのインストール》

パソコンシステムの電源を投入するとWINDOWS 9xが立ち上がり、このとき新ハードウェア（本ボード）が初めて検出された時は対応ドライバの指定を求めてきます。

オリジナルのWINDOWS 95では、

[新しいハードウェアが検出されました / 必要なソフトウェアをインストールしています] に続くダイアログボックスのデフォルトは[ハードウェアの製造元が提供するドライバ]となっていますから、添付の[ボードインストール・ディスク]を挿入、ウィザードに従って（ディスクがFDの場合は[a:\win9x]フォルダから）読み込ませてください。

（CDROMの場合は適切なドライブ のフォルダ[:win9x] から）

ファイルのコピーで“ms_pci.vxd”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

WINDOWS 95 / OSR2バージョンでは、

デバイスドライバ・ウィザードが立ち上がり、

[新しいハードウェアが検出されました。 / 必要なソフトウェアを探しています] に続いてドライバの検出過程ダイアログが現れますから、添付の[ボードインストール・ディスク]を挿入、ウィザードに従って（ディスクがFDの場合は[a:\win9x]フォルダから）読み込ませてください。（CDROMの場合は適切なドライブ のフォルダ[:win9x] から）

ファイルのコピーで“ms_pci.vxd”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

これで本ボードの情報がWINDOWS 9xのレジストリに登録されました。

《割り当てリソースの調査》

WINDOWS 9xの【スタート】メニューから 【設定】 【コントロールパネル】
【システム】 【デバイスマネージャ】 【MSCIENCE】 【MDA-781PCI】
【プロパティ】 【リソース】で調べます。

《本ボード専用ドライバ/DLLのインストール》：通常はこれを御利用ください。

本ボードの基本機能を関数化したものです。 インストール方法は第6章（6-2項）参照。

《汎用ドライバ/DLLのインストール》：前記の専用ドライバ/DLLユーザには不要です。

ボードに依存しない単純I/O実行用です。 自作ドライバの素材に利用できます。

WINDOWS 9xではI/Oポートの読み書きをデバイスドライバを使用せず、DLLで直接実行できますから（その方が普通です。）、割り込みを使用する場合に限って当社の用意する“割り込み用の汎用デバイスドライバ”を利用してください。

インストーラはありません。 必要なファイルを手作業で適切なフォルダにコピーします。

汎用ドライバ類の所在は、ドライバ本体：Win9x¥vxd¥pta95__0.vxd

汎用のDLL：Win9x¥DLL¥accs_95.dll

ドライバ説明：Win9x¥DOC¥readme.txt

（CDROMの場合）¥INSTALL¥Driver¥Win9xです。

コピー先は： DLLはWINDOWS 9xのフォルダに、VXDはWINDOWS 9xのシステムフォルダです。

インストール(2) : **WINDOWS-NT (4.0)** の場合。

各作業は必要により **Administrator レベル**で行ってください。

《ボードのインストール》

パソコンシステムの電源を投入するとプラグアンドプレイが自動実行されます。

ソフト的には新ボードの装着されたスロットとボード情報が認識され、リソースの割り当てが自動実行されます。この過程は電源投入(ハードウェア・リセット)の毎に実行されますから、ハードウェアの構成が変化すると割り当てられるリソースが変化することもあります。

~~【ここまではWINDOWS 9.5と同様です。】~~

この後、ドライバ類の組み込みが実行され、最後にWINDOWS - NTが立ち上がりますが、NTのレジストリはプラグアンドプレイ情報に対応していないため、これで終わりです。

《本ボード専用ドライバ/DLLのインストール》: 通常はこれを御利用ください。

本ボードの基本機能を関数化したものです。インストール方法は第6章(6-3項)参照。

《汎用ドライバ&ユーティリティのインストール》: 専用ドライバ/DLLユーザには不要です。

ボードに依存しない単純I/O実行用です。自作ドライバの素材に利用できます。

WINDOWS - NTではI/Oポートの読み書きも割り込み処理にもデバイスドライバが必要です。本ドライバは最大16枚のボード(各複数I/Oアドレスおよび専用割込1本)を制御することのできる**汎用デバイスドライバ**です。

インストールは添付のインストーラで行いますが、このとき同時にドライバの設定ユーティリティ、(プラグアンドプレイで自動設定された)リソースの調査ユーティリティ、さらにサンプルプログラムもインストールされます。

汎用ドライバ類の所在は、インストーラ: WinNT¥Setup.exe
 ドライバ本体: WinNT¥Sys¥NtPta_?.sys
 汎用のDLL: WinNT¥DLL¥Port_nt.dll
 ドライバ設定ユーティリティ: WinNT¥Doc¥Rs_reg.exe
 リソース調査ユーティリティ: WinNT¥Doc¥PCIadr.exe
 説明ファイル: WinNT¥Doc¥Readme.txt

(CDROMの場合) ¥INSTALL¥Driver¥WinNTです。

【注1】 ? = 0 ~ 15

【注2】 ドライバとDLLは無指定でNT所定のフォルダにインストールされますが、ユーティリティとサンプルプログラムは前もってインストール先のフォルダを用意しておき、インストール実行時に指定します。

リソースの調査 / 汎用デバイスドライバの設定

当社製PCIボードのリソース(アドレス/割り込み)割り当て・占有状態を調査するユーティリティPCIadrを使用して、本ボードの(プラグアンドプレイで設定された)I/Oアドレス・割り込みレベル情報を取得できます。この情報にもとずいてデバイスドライバの設定ユーティリティ(Rs_reg)でデバイスドライバを設定します。

使用方法是同一フォルダ内の説明テキストファイルを御覧ください。

インストール(3) : WINDOWS 2000の場合。

WINDOWS 2000はNT4.0の上位バージョンですが、プラグアンドプレイ機能を持つため、本ボード装着直後のインストール作業にWINDOWS 2000対応のインストールディスク(当社製:FDなら/vr2.00以降、CDROMなら2000-08版以降)が必要です。

添付のCDROM、または当社ホームページwww.microscience.co.jpの<ダウンロード>アイコン以下で入手できるビジュアルな手順書も併せて参照し、注意深く行ってください。

各作業は必要により **Administrator レベル**で行ってください。

《ボードのインストール》

パソコンシステムの電源を投入するとWINDOWS 2000が立ち上がり、このとき新ハードウェア(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

新しいハードウェアの検出ウィザードが立ち上がり、
[新しいハードウェアが検出されました。/必要なソフトウェアを探しています]に続いて
ドライバの検出過程ダイアログが現れますから、添付の[ボードインストール・ディスク]
を挿入し、ウィザードに従って(ディスクがFDの場合は[a:¥win2K]フォルダから)読み込ませてください。

(CDROM<2000-08版以降>の場合は適切なドライブのフォルダ[¥win2K]から)

ファイルのコピーで“dms_pci.sys”が見つからないのメッセージが出たら、コピー元に上記のフォルダを指定してください。

これで本ボードの情報がWINDOWS 2000のレジストリに登録されました。

- (1) インストールされたドライバ“**DMS_PCI.SYS**”は、
当社製各PCIボード(複数可能)に共通使用できるWINDOWS 2000 / XP用のWDMドライバです。

インストール元: ボードインストールディスク。

インストール先: ¥WINDOWS ¥SYSTEM32 ¥DRIVERS

- (2) 御利用に先立ち、4-1項に従い各種ソフトウェアのインストール作業を行って下さい。
(専用インストーラによる解凍・展開)

インストール元: 添付のCDROM。

インストール先: ¥MSCIENCE 以下。

- (3) その後、利用する関数DLLを手作業で所定のフォルダにコピーする必要があります。
本ボード専用のハンドラ関数DLL(推奨)から使用する場合は6-3項を、また当社製全PCIボード(複数可)共通に利用できる汎用単純入出力関数DLLから利用する場合は4-2項を御覧ください。

コピー元: ¥MSCIENCE以下。

コピー先: ¥WINDOWS ¥SYSTEM32

以後、アプリケーションからの利用が可能になります。

《割り当てリソースの調査》

WINDOWS 2000の【スタート】メニューから 【設定】 【コントロールパネル】
【システム】 【ハードウェア】 【デバイスマネージャ】 【MSCIENCE】
【ボード名】 【プロパティ】 【リソース】で調べます。

インストール(4) (WINDOWS-X Pの場合)

ボード装着直後の作業にはWINDOWS 2000用のインストールディスクが必要です。
基本的な手順は前ページに記したWINDOWS 2000の場合と同様ですが、
WINDOWS-X Pのウィザードは間違い易い表現が多いので作業には**注意が必要です**。
添付のCDROM、または当社ホームページwww.microscience.co.jpの<ダウンロード>
アイコン以下で入手できるビジュアルな手順書も併せて参照し、注意深く行ってください。

《手順》----- オリジナルX Pの場合。SP 2の場合はビジュアルな手順書参照。

パソコンシステムの電源を投入するとWINDOWSが立上り、このとき新ハードウェア
(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

- (1) 新しいハードウェアの検出ウィザードの開始。 / ダイアログ /
<ハードウェアに付属のインストールCD、ディスクがある場合は挿入してください>
と表示されますが、ここでは添付のCDROMを**未だ挿入しないでください**。
下段に表示されている<インストール方法>選択肢ラジオボタン をデフォルトから
<一覧または特定の場所からインストールする>に変更して【次へ】をクリックします。
 - (2) 検索とインストールのオプションを選んでください。 / ダイアログ /
デフォルトの< 次の場所で最適のドライバを検索する>チェックボックスを外し、
< 次の場所を含める>のみをチェック、ここで添付のCDROMを挿入すると、
 - (3) 自動再生 / ダイアログ / が登場してサーチを始めますが、
これは即、【キャンセル】クリックしてください。
- さらに、
- (4) この種類のファイルのディスクを挿入したり、デバイスに接続したりするたびに
WINDOWSが自動的に実行する動作を選択できます。 / ダイアログ / が登場したら
これも【キャンセル】クリックします。
- これで(2)の / ダイアログ / に戻りますから、
- (5) < 次の場所を含める>を指定するためのテキストボックスを正しく埋めるために
【参照】ボタンをクリックします。
- (6) フォルダの参照<ハードウェアのドライバを含むフォルダを選んでください>
 / ダイアログ / が開きますから、
< CDROMアイコン> < 0 __ボードインストール> < WIN2K>と指定して
【OK】をクリックするとインストールが実行されます。

これで本ボードの情報がWINDOWSのレジストリに登録されました。

以下は前ページに記したWINDOWS 2000と同様です。
御利用に先立ち、4 - 1項に従い各種ソフトウェアのインストール作業を行って下さい。

【注】操作ミス等でボードインストールが正しく実行されなかった場合は、
Windows X Pはボードインストール作業直前の状態を記憶しているので、
一旦終了・電源を落としてボードを外し、再立ち上げの後、
WINDOWSの【スタート】から【ヘルプとサポート】を選択し、
<ヘルプとサポートセンター>ダイアログ中の
<コンピュータへの変更をシステムの復元で元に戻す>機能で
ボードインストールをやり直すことのできる元の状態に戻すことができます。

1-6. 試運転・動作確認

以下の手順で試運転してください。動作に不具合があるときは1-2項, 1-3項に記されたボード上の設定を確認してください。それでも不明なときは本書巻末の【Q & Aフォーム】にシステム情報を御記入のうえ当社技術部までFAXしてください。迅速に応答する体制となっています。なお、TELいただく場合も客観情報の整理・評価は問題解決のスピードアップにつながりますから事前にFAXしてください。

本項で示す動作確認プログラムはMS-DOS、またはWINDOWS 9x・MEのDOS窓で使用するものです。WINDOWS NT、およびWINDOWS 2000/XPでの動作確認は本ボード専用の関数DLL/ドライバを使用したサンプルを御利用ください。(第6章)

【注意】PCIバスコネクタ(パソコン側)は消耗が速いので、
動作確認・設定変更などでのボード抜き差しは数回以内に抑えてください。

= = 準備 = =

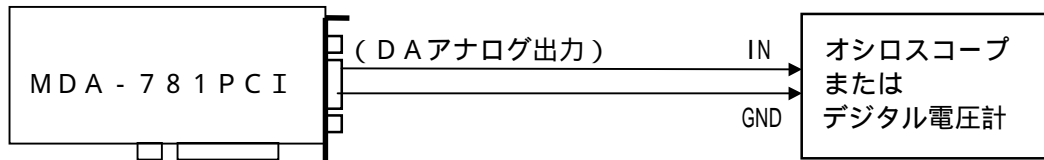
本ボード上の諸設定は出荷時の状態(1-2項)とします。

1-4項に従って本ボードをインストールし、
ユーティリティ等で割り当てられたリソース(I/Oアドレス)を調べる。

図1-6のように、本ボードのDAアナログ出力をオシロスコープ入力に接続します。

以上で準備完了です。電源投入順序は全機器同時、または外部機器を先にパソコン本体を最後に行います。電源切断は逆順序です。

図 1 - 6 . 動作確認用の測定機接続



(ピン番号)

D A アナログ出力： 1 番

アナロググランド： 6 番



コネクタ CN1 (1 - 3 項 . 参照)

== 運転 == 試運転・動作確認用プログラム “ 7 8 1 Q B 1 ” を使用します。
 本プログラムはMS - DOS 版です。 御利用に先立ち、添付のソフトウ
 エアをインストール (4 - 1 項) しておく必要があります。 また当プログ
 ラムのソース (Quick-Basic) も同名 (拡張子 : BAS) で添付されています。

なお、“ 7 8 1 Q B 1 . E X E ” は日本語モードでは正常な表示ができ
 ないので、英語モードに切り替えてから “ 7 8 1 Q B 1 . E X E ” を呼ぶ
 “ 7 8 1 Q B 1 . C O M ” を使用してください。

テスト・システムの電源を投入し、MS - DOS を立上げます。
 (W I N D O W S 9 x ・ M E の D O S 窓で可能、N T ・ 2 0 0 0 / X P の D O S 窓は不可)

試運転・動作確認用のプログラム “ 7 8 1 Q B 1 ” を読み込み・実行します。

メニュー - から動作モードを選択、パラメータを指定して実行します。
 各データは **1 6 進数 (H e x)** で設定・表示します。

即時更新出力： D A 出力データ (digit 値) を指定、出力する。
 (P R O M P T)

サイクル出力： 1 周期のデータ点数、繰り返し回数、クロック値を指定、実行する。
 (C I R C U L A R) サイン波データを生成、ボード上の F I F O バッファに転送、指定
 回数 (周期数) ・循環出力される。 なお、回数 = 0 に設定すると、
【5.STOP】 操作まで無限出力される。

非サイクル出力： 全データ点数、およびクロックを指定、実行する。
 (N o n - C I R C U L A R) 指定点数で 1 周期となるサイン波データを生成、指定クロックで
 パソコン側から 1 回だけ (F I F O バッファを通して) 転送・出力
 される。

【4.START】 で動作開始、**【5.STOP】** で中止します。

第2章 信号入出力

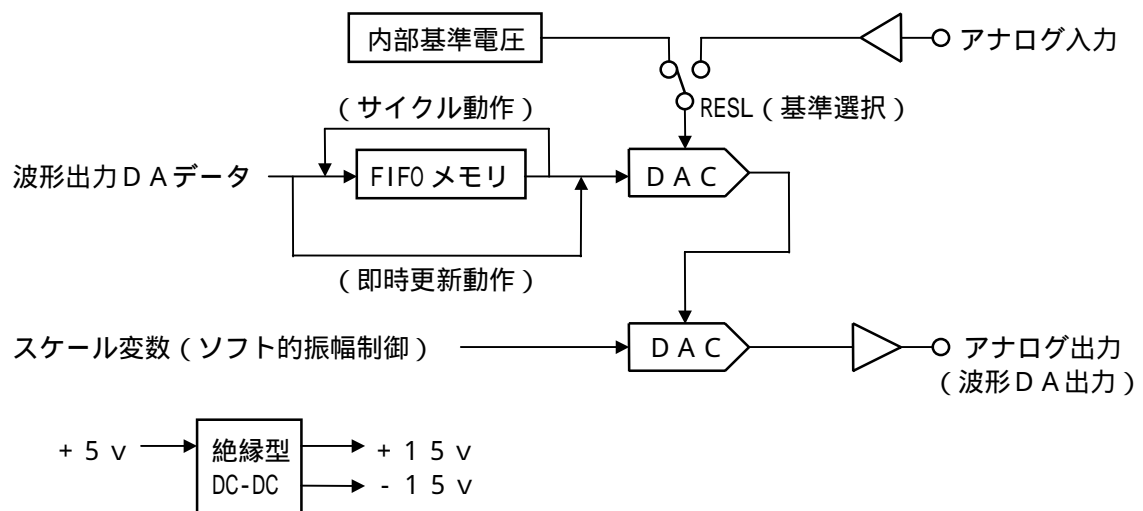
2-1. アナログ入出力端

本機のアナログ出力回路は乗算型なのでソフト的、または（外部基準アナログ入力による）ハード的に振幅制御することができます。アナログ回路の電源はロジック電源（5V）からDC-DCコンバータにより $\pm 15V$ を得ています。

また、全入出力端子にはEMIフィルタ（高周波輻射防止用）が挿入されています。

図2-1A. アナログ入出力構造

（PCIバス側）



アナログ出力

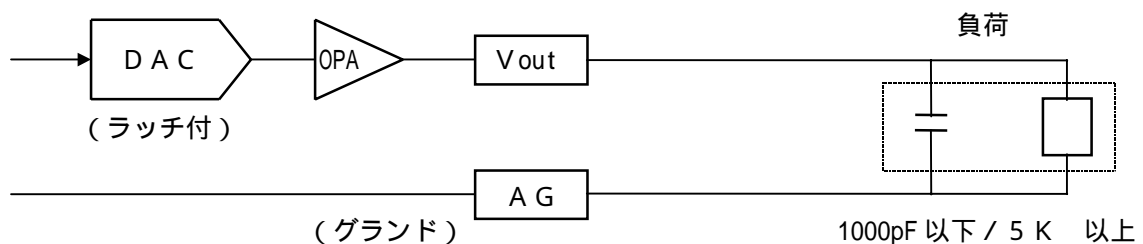
オペアンプによる電圧出力です。

接続できる負荷は抵抗5K以上（最大負荷電流2mA）、また本機は容量性負荷（最大1000pFまで）にも強い出力回路となっていますが、長距離をシールドケーブル等で接続するときは御注意ください。

駆動能力を超えた容量性負荷を接続すると出力電圧が不安定になったり、発振することがあります。

【注】 一般的なツイストペア線やシールド線は1m当たり50～70pFの容量があります。

図2-1B. アナログ出力端



アナログ入力

アナログ出力はボード上のスイッチ【RESEL】設定によって外部アナログ入力とのハード的乗算（＝振幅制御）もできます。 詳細は2-2項。

アナログ入力は入力範囲±10V、差動型です。 入力端には10Mの終端抵抗（R20，R21）が実装されています。 また抵抗器1本（R22）の追加実装により利得をとることもできます。

図2-1C．アナログ入力端の接続（差動／電圧入力の接続）

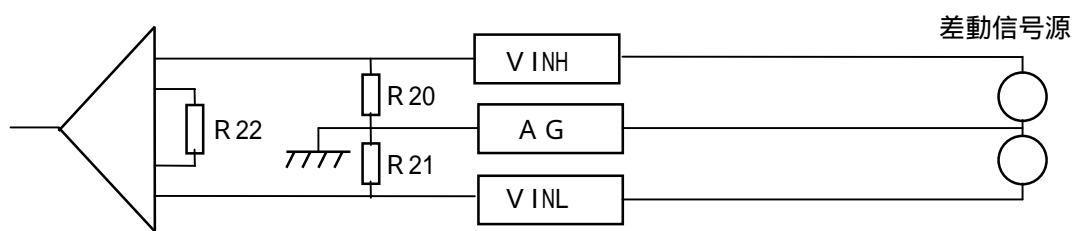
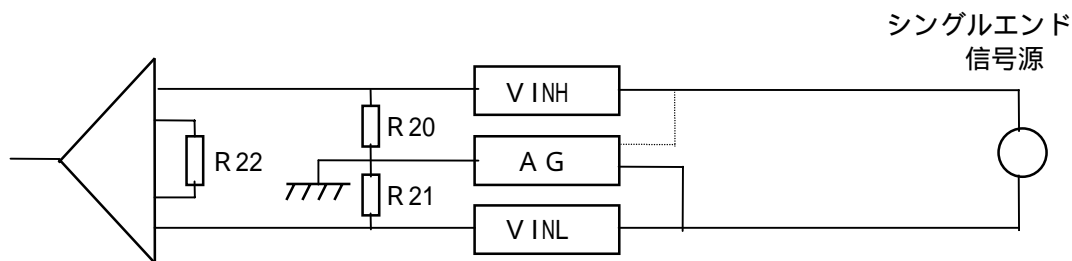


図2-1D．アナログ入力端の接続（シングルエンド／電圧入力の接続）



多くの電圧源はホットラインとグランドから成るシングルエンド（不平衡）形式です。 上図2-1Dが適用できるでしょう。 なお、AGをVINL側ではなく、点線のようにVINH側に接続すると極性を反転させることができます。

【注1】 アナログ入力範囲は±10V、絶対最大定格は±15Vです。 これ以上の電圧を印加すると故障の原因となります。

【注2】 終端抵抗R20，R21（各10M）は入力オペアンプの飽和や不安定化を防止するものです。

【注3】 アナログ入力の利得は1ですが、R22（未実装）を追加実装することにより利得をとることもできます。

$$\text{利得 } G = 1 + (50K / R22)$$

なお当抵抗R22の精度、温度係数はそのまま入力に反映されるので注意が必要です。

電流入力

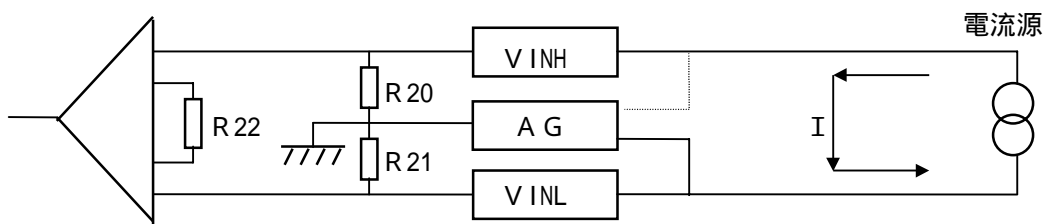
4 ~ 20 mA 等の電流源から入力するときは終端抵抗 (R20 または R21) を電流 電圧変換抵抗として適当な値に交換することで対処できます。

$$\text{入力電圧 } V_{in} = I \times R20$$

$$\begin{aligned} I &= 4 \sim 20 \text{ mA}、 \\ R &= 250 \quad \text{なら、} \quad V_{in} = (4 \sim 20 \text{ mA}) \times 250 \\ &= 1 \sim 5 \text{ V} \end{aligned}$$

【注4】 当電流 電圧変換抵抗の精度・温度係数はそのまま入力に反映されます。また発熱による温度上昇を抑えるためには定格 (ワット数) が大きめの素子を選択した方が有利です。(1/2 W 型が適当。)

図2-1E. アナログ入力端の接続 (電流入力の接続)



なお、AGをVINL側ではなく、点線のようにVINH側に接続し、電流 電圧変換抵抗をR21に変えると極性を反転させることができます。

2-2. アナログ入出力モード・範囲

本機のアナログ出力は基準電圧（内／外）、アナログ出力D/Aデータ、およびスケール変数、3者の乗算値となります。出力モードはボード上にあるスイッチで選択します。

基準電圧源選択スイッチRESEL: **IN**（内部+10V）/ **EX**（外部）、
出力極性選択スイッチBUSEL: **BI**（バイポーラ）/ **UN**（ユニポーラ）。
出力範囲選択スイッチABSEL: **A**（Aモード）/ **B**（Bモード）、

出荷時設定は太字

内部基準電圧は+10V（固定）

外部基準電圧は±10V（絶対最大定格±15V）。

出力極性: バイポーラは両極性（±出力）、ユニポーラは単極性（0～+フルスケール出力）。

出力範囲: 公称出力範囲（±10V, 0～10V）を正直に本機の分解能12ビットで実現すると、1digit当りの電圧値が割り切れない値（Bモード: 1/4096）になります。本機では1digit当りの電圧値が切りのよい値（1/4000）となるAモードもサポートしており、選択利用できます。

表2-2A. 各出力モードでの最大出力範囲&分解能 《基準電圧 = +10Vのとき》

スイッチ設定			アナログ最大出力範囲	【分解能 mv/digit】	伝達関数
RESEL	BUSEL	ABSEL			
IN	BI	A	-10.240 ~ +10.235 V	【5.0】	(1)
		B	-10.000 ~ +9.9951 V	【4.88.....】	
	UN	A	0 ~ +10.2375 V	【2.5】	(2)
		B	0 ~ +9.9976 V	【2.44.....】	
EX	BI	A	-10.240 ~ +10.235 V	【5.0】	(3)
		B	-10.000 ~ +9.9951 V	【4.88.....】	
	UN	A	0 ~ +10.2375 V	【2.5】	(4)
		B	0 ~ +9.9976 V	【2.44.....】	

【注1】実際の出力範囲は当表の値とスケール変数の乗算値となる。

【注2】±10Vを超えた値は理論値であり、保証されない。

精度（正確度）

本機のアナログ出力回路は高精度の素子を使用しているので、出力モード切り替えによる再調整の必要は全んどありません。

出荷時設定の内部基準電圧使用±10V出力モードでは±6.2mV、すなわち内部基準電圧の設定値=10Vのとき ±0.062%FSとなるが、基準電圧値を下げるとFSに対する精度は悪化する。

外部基準電圧使用を含むその他の出力モードに切り替えたときは±8.2mV（再調整で±6.2mVまで改善可能）、すなわち基準電圧の設定値=10Vのとき ±0.082%FSとなるが、基準電圧値を下げるとFSに対する精度は悪化する。

【注】FS = フルスケール（出力範囲幅）

伝達関数

回路構成 (図 2 - 1 A) から、

(最大出力) = (基準電圧) × (アナログ出力 D A データ) 項、
これに振幅制御用の (スケール変数用 D A データ) 項を掛けたものが
(最終アナログ出力: Vout) になります。

したがって各組み合わせでの伝達関数は以下のようになります。

伝達関数 (1) : 内部基準電圧使用 (スイッチ RESEL = IN) で、
バイポーラ出力時 (スイッチ BUSEL = BI) の
D A データとアナログ出力電圧の関係は以下のとおり。

$$V_{out} = (+10\text{v}) \times \{ (n - 2048) / (DFS \times 0.5) \} \times (Nr / DFS)$$

伝達関数 (2) : 内部基準電圧使用 (スイッチ RESEL = IN) で、
ユニポーラ出力時 (スイッチ BUSEL = UN) の
D A データとアナログ出力電圧の関係は以下のとおり。

$$V_{out} = (+10\text{v}) \times (n / DFS) \times (Nr / DFS)$$

Vout : アナログ出力電圧、 +10v : 内部基準電圧
Nr : スケール変数用 D A データ、 n : 出力用 D A データ、
Dfs : フルスケール digit 値 (A モードのとき = 4000)
(B モードのとき = 4096)

伝達関数 (3) : 外部基準電圧使用 (スイッチ RESEL = EX) で、
バイポーラ出力時 (スイッチ BUSEL = BI) の
D A データとアナログ出力電圧の関係は以下のとおり。

$$V_{out} = (V_{in}) \times \{ (n - 2048) / (DFS \times 0.5) \} \times (Nr / DFS)$$

伝達関数 (4) : 外部基準電圧使用 (スイッチ RESEL = EX) で、
ユニポーラ出力時 (スイッチ BUSEL = UN) の
D A データとアナログ出力電圧の関係は以下のとおり。

$$V_{out} = (V_{in}) \times (n / DFS) \times (Nr / DFS)$$

Vout : アナログ出力電圧、 Vin : アナログ基準入力電圧、
Nr : スケール変数用 D A データ、 n : 出力用 D A データ、
Dfs : フルスケール digit 値 (A モードのとき = 4000)
(B モードのとき = 4096)

出力D/Aデータ v s 最大出力電圧範囲

実際の出力電圧はスケール変数に比例変化する。(表2-2A【注1】参照)

図2-2A . バイポーラ出力
【Aモード】

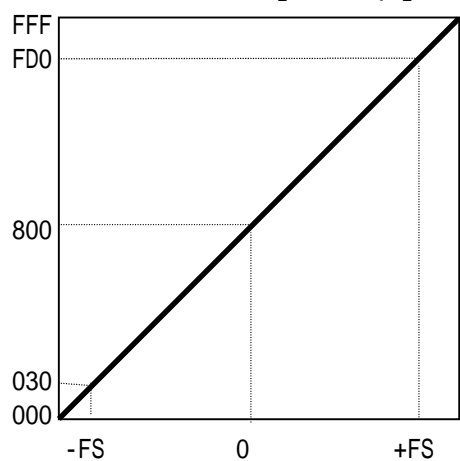


図2-2B . ユニポーラ出力
【Aモード】

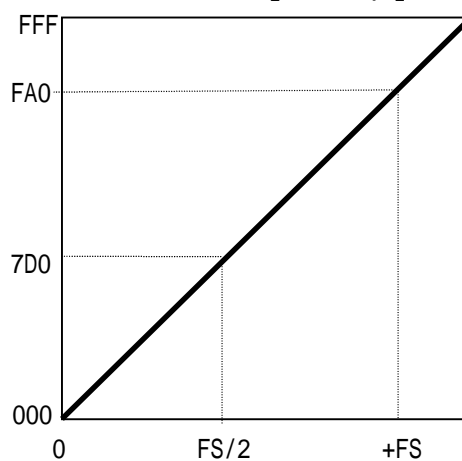


図2-2C . バイポーラ出力
【Bモード】

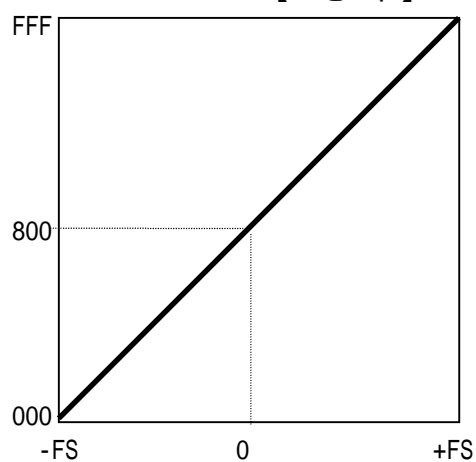


図2-2D . ユニポーラ出力
【Bモード】

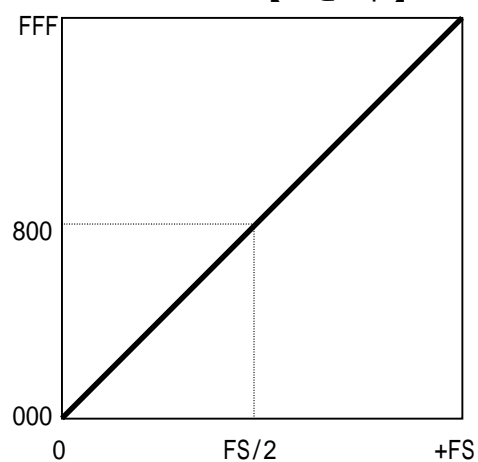


表 2-2 B . 基準電圧 = + 1 0 v 時の出力 D A データ vs アナログ出力 / 【Aモード】 : 出荷時標準

D A データ	アナログ最大出力範囲 (表 2 - 2 A 参照)					
hex / 10 進	± 10v				0 ~ +10v	
FFF / 4095	+10.235				+10.2375	
F00 / 4048	+10.000					
FA0 / 4000					+10.0000	
801 / 2049	+ 0.005					
800 / 2048	0.000					
7FF / 2047	- 0.005					
7D0 / 2000					+5.0000	
030 / 48	- 10.000					
001 / 1	- 10.235				+0.0025	
000 / 0	- 10.240				0.0000	

《注 1》 実際の出力範囲は当表の値とスケール変数の乗算値となる。

《注 2》 当表中の ± 1 0 v を超える値は理論値です。 アナログ回路に使用されている素子の仕様から、± 1 0 v を超える値の正確度は保証されません。

表 2-2 C . 基準電圧 = + 1 0 v 時の出力 D A データ vs アナログ出力 / 【Bモード】

出力 D A データ	アナログ最大出力範囲 (表 2 - 2 A 参照)					
hex / 10 進	± 10v				0 ~ +10v	
FFF / 4095	+9.99512				+ 9.99756	
F00 / 4048	+9.76563					
FA0 / 4000					+ 9.76563	
801 / 2049	+ 0.00488					
800 / 2048	0.00000				+ 5.00000	
7FF / 2047	- 0.00488					
7D0 / 2000					+ 4.88281	
030 / 48	- 9.76563					
001 / 1	- 9.99512				+ 0.00244	
000 / 0	- 10.00000				0.00000	

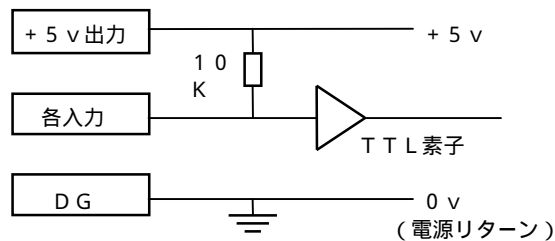
《注 1》 実際の出力範囲は当表の値とスケール変数の乗算値となる。

2 - 3 . デジタル入出力

外部クロック源入力、外部トリガ入力、外部割り込み入力、汎用1BITデジタル入力は全てTTLレベルであり、10Kでプルアップされています。またクロック(SYNC)出力、汎用デジタル出力はTTLレベルです。

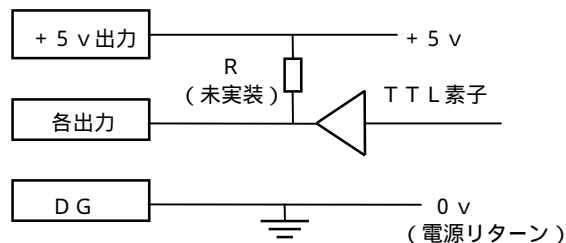
なお電源投入直後の汎用1BITデジタル出力は“0”となりますが、ソフトのリセット操作(3-5項)では変化しません。

2 - 3 A . 全てのデジタル入力



【注意】 TTL入力の絶対最大定格は負側：-0.6V、正側：+7Vです。
この値を一瞬でも超えると入力端素子破壊の原因になります。
(7-1項に注意点や対策を記します。)

図2 - 3 B . デジタル出力



デジタル出力論理はボード上のスイッチS-POLで設定します。
【出荷時：P(正論理)】、または【N(負論理)】

第3章. 制御・操作

3-1. アナログ出力の様子

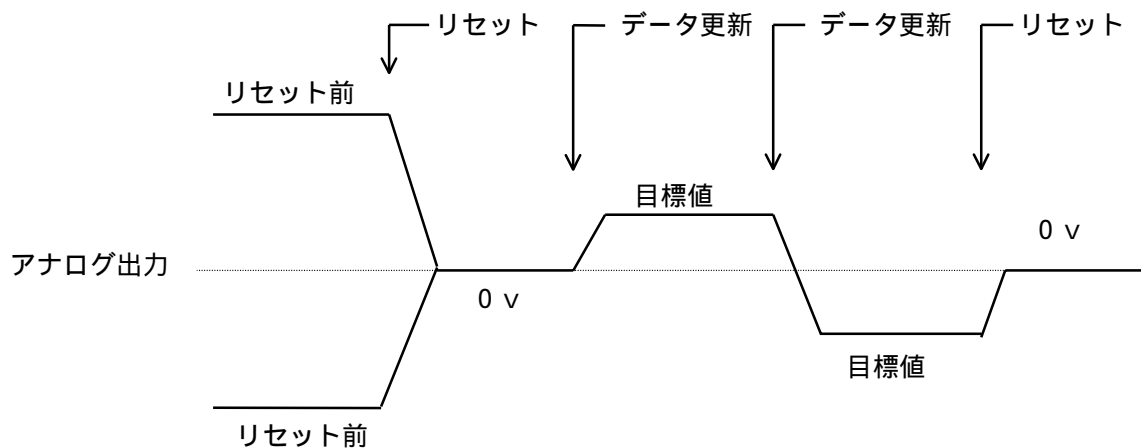
リセット時

電源投入、パソコン本体（ハードウェア）リセット操作、または本ボードの制御部リセット操作（3-5項）直後のアナログ出力は0 vとなります。

更新出力後

任意のデータがD/A素子に書き込まれる（更新される）と、アナログ出力は対応する値（2-2項/表2-2B, C）となり、以後、次の更新まで同値を保持します。

図3-1A. アナログ（D/A）出力の様子



データ更新遅れ： 即時更新モードのときは、パソコン側からOUT命令で書き込まれるD/Aデータは直接D/A素子のラッチ（1データ分メモリ）に達します。この時間は数100 ns程度です。

またクロック同期更新モードのときはFIFOメモリからD/A素子のラッチに転送される時間（数10 ns以下）です。

《注》 クロック同期更新モードのときのスケール変数（振幅制御データ）はクロックに同期して更新されます。すなわち最大で1クロック時間の遅れが生じます。

セトリング時間： D/Aデータが更新されるとD/A素子のアナログ出力は新たな目標値に向かって変化を始めます。本機では10 vの変化幅を0.1%の精度で到達する時間（セトリング時間）が約1 μsです。

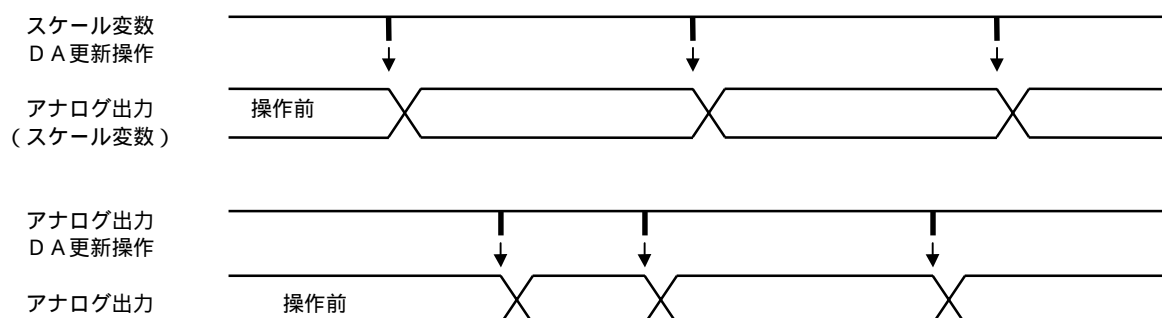
波形出力では、更新周期（クロック周期）が短くても電圧変化幅が比例して小さければ実用上の問題はないでしょう。

出力モード ボード上のスイッチ R E S E L で基準電圧源を選択します。(2-2項)

更新モード ソフト指定(3-13項)でD A出力データの更新タイミングを選択します。

- (1) 【即時更新モード】はパソコン側からの更新データが即D A素子のラッチに書き込まれる動作です。アナログ出力D Aデータ、およびスケール変数用D Aデータが単独に即時更新されます。

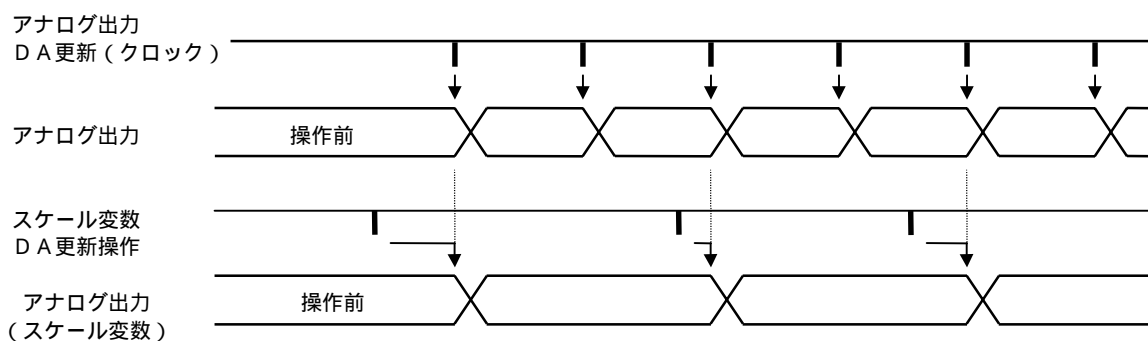
図3-1B. 即時・単独更新



- (2) 【クロック同期更新・サイクルモード】は、事前にボード上のF I F Oメモリに書き込んでおいた波形1サイクル分のD Aデータをクロックに同期して(指定回数、または無限に)循環出力します。この動作はパソコン側からの制御が必要なく本ボード内で自動的に実行されますから最高速《2MHz(Ms/s)サンプリング》が可能です。

- (3) 【クロック同期更新・非サイクルモード】はクロックに同期してF I F Oメモリから読み出されるD Aデータの利用(更新出力)は1回限りです。したがってF I F Oメモリ容量を超えるクロック数を実行するときはパソコン側から逐次データの補給が必要になります。この補給速度(バスのデータ転送速度)が実質的なサンプリング速度を制限します。

図3-1C. クロック同期更新



スケール変数は(いつでも)単独に操作できるが、実際の更新動作はクロックに同期して行われる。

【図3-1B】【図3-1C】に示すタイミング・チャートはパソコン側から書き込み操作した時の《データ更新遅れ》、およびアナログ回路の応答遅れ《セトリング時間》の表示を省略してあります。
(前ページ参照)

出力速度 : クロック同期サイクルモードのときは全て本ボードの自動運転ですから、パソコン側の速度に関係なく常に最高速度 (2MHz) が可能です。
非サイクルモードのときはパソコン側からボード上のメモリに逐次データを補給する必要から、パソコン側能力・FIFOメモリ容量・総データ点数で可能な最高速度が決まります。

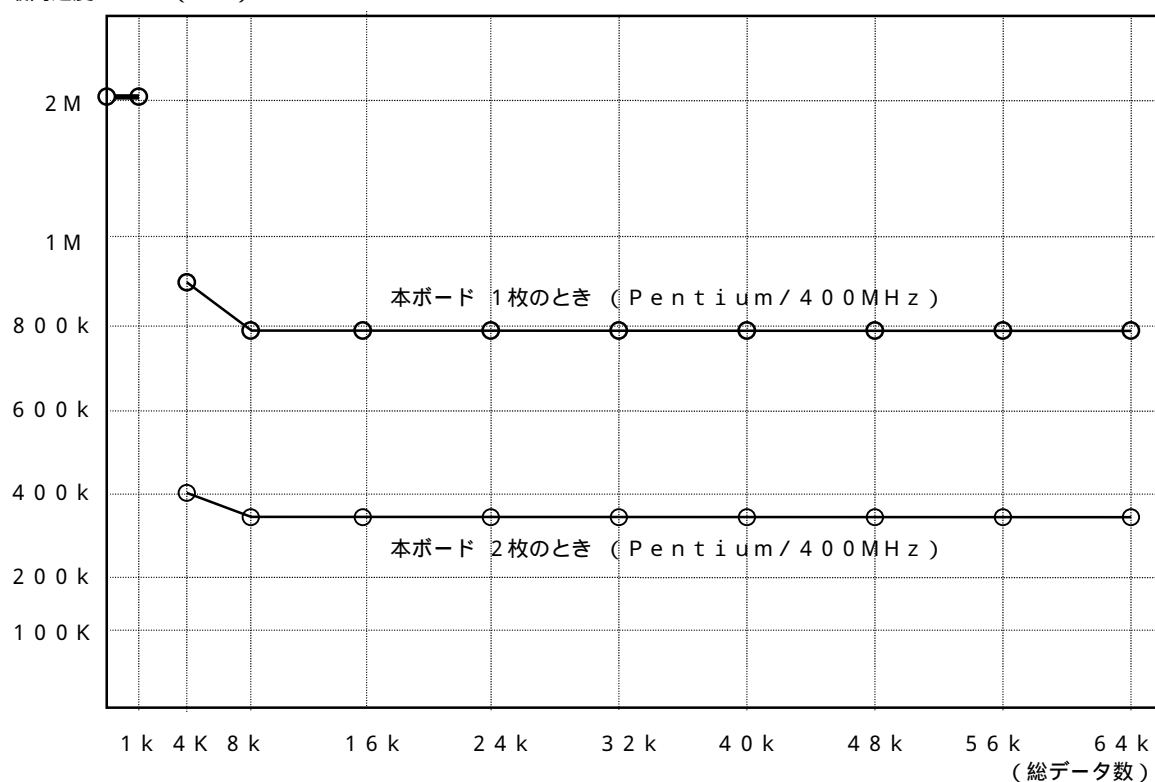
表1-1B. クロック同期・非サイクルモード時の最高速度例 (ポーリング)

パソコンCPU	Pentium / 400MHz				
総データ数	1K語	4K語	8K語	16K語	32K語
1枚のとき	2M	900K	800K	800K	800K
2枚のとき	2M	400K	380K	380K	380K

【単位: sps】= samples / sec

図3-1D. クロック同期更新・非サイクルモードの最高速度 (FIFO: 標準1k語のとき)

最高速度 s / s (Hz)



3-2. F I F Oメモリの動作

本機を（波形出力用）【クロック同期更新モード】で使用する時のD Aデータはクロックに同期してボード上のF I F OメモリからD A素子（ラッチ付）に自動転送される動作となります。

F I F O（first in first out）メモリは図3-2に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっています。

読み書きは非同期で、同時も可能です。すなわち、追加データを書き込む時に出口側のタイミングを気にする必要がありません。



表3-2. F I F Oメモリのステータス・フラグ

フラグ名	フラグの意味	(標準1024語のとき)
Not - Full	満杯ではない。	(格納データ数 1023)
Not - Half - Full	容量の1/2以下	(格納データ数 512)
Not - Empty	データ有り	(格納データ数 1)

非サイクルモード

標準搭載のメモリ容量は1K語（1024データ分）ですが、読み出した分だけ入口側に空領域が生じるため、読み出し（サンプリング）速度より書き込み速度が速ければ、いつまでたってもメモリが空になることが無く、したがって出力（サンプリング）データ点数に制限がありません。

サイクルモード

F I F Oメモリから読み出したデータをD A素子に転送しながら、同時に当データをF I F Oメモリの入口から再書き込みを行います。これによりF I F Oメモリ内のデータ数を1周期分とする連続繰り返し波形出力が実現されます。（1サイクルの最大データ点数は搭載メモリ容量 - 1）
 波形の1周期を1024データ以上で構成したいときはF I F Oメモリ増設オプション（8K / 16K / 32K語）も用意されています。

価格表参照 / 注文時指定（後日、追加も可能）

3-3. 制御・操作の手順

次項以下で各制御レジスタの機能を説明するのに先立って、操作手順の概要を記します。

本項では割り込みは使用せず基本的なコーディングを例示します。実際のコーディング時は添付のサンプルプログラム・ソースを併せて御参照ください。また波形出力用の関数ライブラリ(MS-DOS版：第5章/WINDOWS版：第6章)も用意されています。

なお、リスト中の【BASE】=I/Oベースアドレス値(3-4項、参照)です。

即時更新モード

初期設定： ~

更新時刻：スケール変数は、アナログ出力データは

`rst = inp (BASE + 7) ; /* リセット【出力VA=VB=0v】(3-5項) */`

`outp (BASE + 2, 0) ; /* DAデータコード【=バイナリ】(3-6項) */`

`outp (BASE + 3, 0) ; /* 更新モード【=即時】 (3-13項) */`

`outp (BASE + D, BL) ; /* スケール変数データの下位バイト(3-11項) */`

`outp (BASE + D, BH) ; /* スケール変数データの上位バイト(") */`

`outp (BASE + C, AL) ; /* アナログ出力データの下位バイト(3-12項) */`

`outp (BASE + C, AH) ; /* アナログ出力データの上位バイト(") */`

クロック同期更新・サイクルモード (1 サイクルの最大データ点数は搭載メモリ容量 - 1)

```

r s t = i n p ( B A S E + 7 ) ; /* リセット【出力電圧 = 0 v】(3-5 項) */

o u t p ( B A S E + 2 , 0 ) ; /* D A データコード【= バイナリ】(3-6 項) */

o u t p ( B A S E + 8 , c k s ) ; /* c k s : クロック源選択 (3-7 項) */

; /* クロック源分周比の設定 (3-9 項) */

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子 1 の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 3 6 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 0 ) ; /* 素子 1 のカウンタ # 0 を指定
o u t p ( B A S E + 6 , D V # 0 L ) ; /* 分周比 # 0 の下位バイト
o u t p ( B A S E + 6 , D V # 0 H ) ; /* " " 上位バイト

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子 1 の制御レジスタを指定
o u t p ( B A S E + 6 , 0 x 7 6 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 1 ) ; /* 素子 1 のカウンタ # 1 を指定
o u t p ( B A S E + 6 , D V # 1 L ) ; /* 分周比 # 1 の下位バイト
o u t p ( B A S E + 6 , D V # 1 H ) ; /* " " 上位バイト

; /* データ点数の設定 (3-10 項)

o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子 2 の制御レジスタを指定
o u t p ( B A S E + 6 , 0 x 3 4 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 4 ) ; /* 素子 2 のカウンタ # 0 を指定
o u t p ( B A S E + 6 , N U M L ) ; /* 1 ブロック当りデータ数の下位バイト
o u t p ( B A S E + 6 , N U M H ) ; /* " " " 上位バイト

o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子 2 の制御レジスタを指定
o u t p ( B A S E + 6 , 0 x 7 2 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 5 ) ; /* 素子 2 のカウンタ # 1 を指定
o u t p ( B A S E + 6 , B L K L ) ; /* ブロック数の下位バイト
o u t p ( B A S E + 6 , B L K H ) ; /* " " の上位バイト

o u t p ( B A S E + 3 , 1 ) ; /* 更新モード【= クロック同期】(3-13 項)

```

ここで、

割り込みを使用する場合は 割り込み制御 (3-17 項)

《 次ページに続く 》

```

; /* スケール変数 ( D A ) データの書き込み */
o u t p ( BASE + D , R F L ) ; /* スケール変数データの下位バイト ( 3-11 項 ) */
o u t p ( BASE + D , R F H ) ; /* " " " の上位バイト ( " ) */

; /* アナログ出力 D A データの書き込み */
o u t p ( BASE + C , A 1 L ) ; /* 先頭データ の下位バイト ( 3-12 項 ) */
o u t p ( BASE + C , A 1 H ) ; /* " " の上位バイト ( " ) */
o u t p ( BASE + C , A 2 L ) ; /* 2 番目データの下位バイト ( " ) */
o u t p ( BASE + C , A 2 H ) ; /* " " の上位バイト ( " ) */
o u t p ( BASE + C , A 3 L ) ; /* 3 番目データの下位バイト ( " ) */
o u t p ( BASE + C , A 3 H ) ; /* " " の上位バイト ( " ) */
.
.
.
o u t p ( BASE + C , A n L ) ; /* n 番目データの下位バイト ( " ) */
o u t p ( BASE + C , A n H ) ; /* " " の上位バイト ( " ) */

o u t p ( BASE + 3 , 0 x 8 5 ) ; /* トリガ【 = ソフトトリガ】 ( 3-17 項 ) */
o u t p ( BASE + 3 , 5 ) ; /* 停止【 = ソフトトリガ禁止】 ( 3-17 項 ) */

```

《注 1》 で設定した 1 ブロック当りのデータ点数と F I F O メモリに書き込む点数 n が一致すること。(= 1 周期のデータ点数)

《注 2》 D A データ書き込みの前に必ず 【 = クック同期・サイケル】 指定を実行しておくこと。

《注 3》 割り込み要求発生要因制御を実行すると許可された要因による割り込みが有効になる (以下を待ってくれない) ので、ソフトの都合によっては後にする必要もある。

《注 4》 は【 = ソフトトリガ / 無限動作】 = 即スタートの例。
 【 = 外部 (立下り) エッジトリガ / 無限動作】なら : 0 x 5 5、等。

で指定ブロック (周期) 数出力で自動停止なら : 0 x 8 D。

《 その他 》 選択した基準電圧の内外を問わず、いつでも スケール変数の更新によりアナログ D A 出力の振幅制御が可能です。 但しスケール変数の更新操作は直後の有効クロックに同期して実効動作します。(図 3 - 1 C 参照)

クロック同期更新・非サイクルモード

```

r s t = i n p ( B A S E + 7 ) ; /* リセット【出力VA=VB=0v】(3-5項) */
o u t p ( B A S E + 2 , 0 ) ; /* DAデータコード【=バイナリ】(3-6項) */
o u t p ( B A S E + 8 , c k s ) ; /* c k s : クロック源選択 (3-7項) */
                                ; /* クロック源分周比の設定 (3-9項) */
o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 3 6 ) ; /* 制御データ: 固定値
o u t p ( B A S E + 7 , 0 x 0 ) ; /* 素子1のカウンタ#0を指定
o u t p ( B A S E + 6 , D V # 0 L ) ; /* 分周比#0の下位バイト
o u t p ( B A S E + 6 , D V # 0 H ) ; /* " " 上位バイト
o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを指定
o u t p ( B A S E + 6 , 0 x 7 6 ) ; /* 制御データ: 固定値
o u t p ( B A S E + 7 , 0 x 1 ) ; /* 素子1のカウンタ#1を指定
o u t p ( B A S E + 6 , D V # 1 L ) ; /* 分周比#1の下位バイト
o u t p ( B A S E + 6 , D V # 1 H ) ; /* " " 上位バイト
                                ; /* データ点数の設定 (3-10項)
o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子2の制御レジスタを指定
o u t p ( B A S E + 6 , 0 x 3 4 ) ; /* 制御データ: 固定値
o u t p ( B A S E + 7 , 0 x 4 ) ; /* 素子2のカウンタ#0を指定
o u t p ( B A S E + 6 , N U M L ) ; /* 1ブロック当りデータ数の下位バイト
o u t p ( B A S E + 6 , N U M H ) ; /* " " " 上位バイト
o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子2の制御レジスタを指定
o u t p ( B A S E + 6 , 0 x 7 2 ) ; /* 制御データ: 固定値
o u t p ( B A S E + 7 , 0 x 5 ) ; /* 素子2のカウンタ#1を指定
o u t p ( B A S E + 6 , B L K L ) ; /* ブロック数の下位バイト
o u t p ( B A S E + 6 , B L K H ) ; /* " " の上位バイト
o u t p ( B A S E + 3 , 1 ) ; /* 更新モード【=加ック同期】(3-13項)

```

ここで、

割り込みを使用する場合は 割り込み制御 (3-17項)

《 次ページに続く 》

```

; /* スケール変数 ( D A ) データの書き込み */
o u t p ( BASE + D , R F L ) ; /* スケール変数データの下位バイト ( 3-11 項 ) */
o u t p ( BASE + D , R F H ) ; /* " " " の上位バイト ( " ) */

; /* アナログ出力 D A データの書き込み */
o u t p ( BASE + C , A 1 L ) ; /* 先頭データ の下位バイト ( 3-12 項 ) */
o u t p ( BASE + C , A 1 H ) ; /* " " の上位バイト ( " ) */
o u t p ( BASE + C , A 2 L ) ; /* 2 番目データの下位バイト ( " ) */
o u t p ( BASE + C , A 2 H ) ; /* " " の上位バイト ( " ) */
o u t p ( BASE + C , A 3 L ) ; /* 3 番目データの下位バイト ( " ) */
o u t p ( BASE + C , A 3 H ) ; /* " " の上位バイト ( " ) */
.
.
.
o u t p ( BASE + C , A n L ) ; /* n 番目データの下位バイト ( " ) */
o u t p ( BASE + C , A n H ) ; /* " " の上位バイト ( " ) */

o u t p ( BASE + 3 , 0 x 8 1 ) ; /* トリガ【=ソフトトリガ】 ( 3-13 項 ) */
o u t p ( BASE + 3 , 1 ) ; /* 停止【=ソフトトリガ禁止】 ( 3-13 項 ) */

```

《注 1》 割り込み要求発生要因制御を実行すると許可された要因による割り込みが有効になる (以下を待ってくれない) ので、ソフトの都合によっては後にする必要もある。

《注 2》 D A データ書き込みの前に必ず 【=加ック同期・非リプル】指定を実行しておく。
 ここで書き込む当初の (スタート前の) D A データ点数は F I F O メモリ容量以内ですが、 スタート後は必要ならステータス (3-14 項) を監視・評価して適時・追加書き込みを行います。 D A データは指定クロックにより自動出力されて行くので、ソフト側の追加書き込み操作が間に合わないと同期更新エラーが発生して動作停止となってしまいます。

《注 3》 は【=ソフトトリガ/無限動作】=即スタートの例。
 【=外部 (立下り) エッジトリガ/無限動作】なら： 0 x 5 1、等。

で指定ブロック (周期) 数出力で自動停止なら： 0 x 8 9。

《 その他 》 選択した基準電圧の内外を問わず、いつでも スケール変数の更新によりアナログ D A 出力の振幅制御が可能です。 但しスケール変数の更新操作は直後の有効クロックに同期して実効動作します。 (図 3 - 1 C 参照)

3-4. 制御レジスタ I/O アドレス・マップ

表 3-4 に本ボード上の各制御レジスタの I/O アドレスを記します。
 表中の【BASE】はプラグアンドプレイで設定される I/O ベースアドレス値 (1-5 項) です。

表 3-4. 各制御レジスタの I/O アドレス

I/O アドレス	IN / OUT	ポート / 制御レジスタ名・機能	記載項
【BASE】+ D	IN		
	OUT	スケール変数 D A データ書き込み	【3-11 項】
【BASE】+ C	IN		
	OUT	アナログ出力 D A データ書き込み	【3-12 項】
【BASE】+ B	IN	ボード番号 (スイッチ SW - B N の設定値)	【3-5 項】
	OUT		
【BASE】+ A	IN	汎用デジタル入力 (現在値)	【3-16 項】
	OUT	汎用デジタル出力 (ラッチ)	
【BASE】+ 9	IN		
	OUT	外部出力選択 (クロック or SYNC)	【3-18 項】
【BASE】+ 8	IN		
	OUT	クロック源選択	【3-7 項】
【BASE】+ 7	IN	ボード制御部リセット	【3-5 項】
	OUT	読み書き対象カウンタ (内部レジスタ) 選択	【3-8 項】
【BASE】+ 6	IN	カウンタ (内部レジスタ) 読み出し	【3-9, 10 項】
	OUT	カウンタ (内部レジスタ) 書き込み	
【BASE】+ 5	IN	ボード・ステータス読み込み	【3-14 項】
	OUT	ボード・ステータスのクリア	
【BASE】+ 4	IN	FIFO ステータス読み込み	【3-15 項】
	OUT	割り込み制御 (要因指定)	【3-16 項】
【BASE】+ 3	IN		
	OUT	トリガ & 出力更新モード指定	【3-13 項】
【BASE】+ 2	IN		
	OUT	D A データ・コード指定	【3-6 項】
【BASE】+ 1	IN		
	OUT	割り込み要求セット / クリア	【3-16 項】
【BASE】+ 0	IN		
	OUT		

【読み / 書き】はパソコン側から見た方向。
 全てのポートは 1 バイト。

制御操作の詳細

以下【3-5 項】～【3-18 項】に各制御レジスタの詳細を記します。
 各ポートアドレス値は表 3-4 を御参照ください。

3-5. ボード制御部リセット・認識（初期化）

```
rst = inp (BASE + 7) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ（rst）は本ボードのIDです。 当操作は電源ON、またはパソコン本体のハードウェアリセットと同等の機能ですが汎用デジタル（ラッチ）出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

サンプリング（出力）中であれば、これを中止する。

スケール変数、およびアナログ出力は0Vとなる。

FIFOメモリをクリアする。（格納されていた読み出し待ちDAデータは失われる）

表 3 - 4 A . 【BASE + 7】入力ポートの構成

ビット	各ビットの機能・意味
B 7 B 6 B 5 B 4 B 3 B 2 B 1 B 0	MDA - 7 8 1 P C I のボードID = 1 2 H

【注】ここで読み込まれるボードIDはPCIバス上のDEVICE IDとは無関係です。
（1-5項、参照）

< 本ボードを複数使用する場合 >

本ボードのI/Oアドレスはプラグアンドプレイにより（その都度）ダイナミックに割り当てられます。 複数の本ボードを同一システムにインストールして使用する場合、ハードウェアの構成・状態が変らなければ前回立上げ時と同一アドレスが割り当てられますが、増設・交換等の変化があった後は前回立上げ時と異なるアドレスを割り当てられることがあります。

そのようなときに複数の本ボードを区別・特定する手段としてボード番号設定スイッチがあります。（本ボードを1枚のみ使用する場合は無用です。）

```
BN = inp (BASE + B) ; /* ボード番号設定スイッチSW - BN読み込み */
```

表 3 - 4 B . 【BASE + B】入力ポートの構成

ビット	各ビットの機能・意味
B 7 B 6 B 5 B 4	未使用
B 3 B 2 B 1 B 0	ボード番号設定スイッチSW - BNの値（0 ~ FH）

3-6. DAデータコード指定

```
outp(BASE+2, code); /* code: DAデータコード指定 */
```

DAデータコードを指定します。

表3-6. 【BASE+2】出力ポートの構成

ビット		= 1 のとき	= 0 のとき	リセット時
B 7	未使用			
B 6				
B 5				
B 4				
B 3				
B 2				
B 1				
B 0	DAデータコード指定	2の補数	オフセットバイナリ	0

3-7. クロック源選択

outp (BASE + 8, cks); /* cks : クロック源選択 */

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的のサンプリング（同期DA出力タイミング）クロックとなります。

表 3 - 7 A . 【BASE + 8】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	外部クロック源（使用時）の有効極性指定	(+)	(-)	0
B 6 B 5	内部クロック源（使用時）の選択データ	【表 3 - 7 B】参照。		0 0
B 4	クロック源選択（外部 / 内部）	外部	内部	0
B 3 B 2 B 1 B 0	未使用			

表 3 - 7 B . 選択される内部クロック源

ビット		選択される内部クロック源	
B 6	B 5	クロック源周波数	主な用途
1	1	無効	
1	0	オプション	
0	1	8 . 1 9 2 M H z	周波数解析
0	0	1 0 . 0 0 0 M H z	汎用計測

オプションのクロック源素子（8MHz以下）は本ボード上のソケットに装着することにより使用可能となります。

素子名： J X O - 5 S - MHz（金石）、
 D O C - 4 9 S 1 - MHz（大真空）、または
 S G - 8 0 0 2 D C - M - P T B S（エプソン）

3-8. 読み書き対象カウンタの選択

```
outp(BASE + 7, ctr); /* ctr: 操作対象カウンタ (レジスタ) */
```

この後に読み書きするカウンタ（またはカウンタの制御レジスタ）を選択します。
カウンタ素子（ $\mu PD71054 = i8253A$ 上位互換）は2個あり、各々16ビット×3本構成ですが、各素子共、このうち16ビット×2本を利用（残りの1本は不使用）しています。

素子1はクロック源分周用に、素子2はクロック同期出力時のDAデータ点数カウントに使用します。

表3-8A. 【BASE + 7】出力ポートの構成

ビット	各ビットの機能・意味	リセット時
B7 B6 B5 B4 B3	未使用	
B2 B1 B0	カウンタ（または制御レジスタ）選択データ【表3-8B参照】	0 0 0

表3-8B. カウンタ（または制御レジスタ）選択データ

B2	B1	B0	選択されるカウンタ、または制御レジスタ
1	1	1	[素子2] 制御レジスタ：1バイト
1	1	0	["] カウンタ#2：不使用
1	0	1	["] カウンタ#1：ブロック数カウント・上位ワード（2バイト）
1	0	0	["] カウンタ#0：データ点数カウント・下位ワード（2バイト）
0	1	1	[素子1] 制御レジスタ：1バイト
0	1	0	["] カウンタ#2：不使用
0	0	1	["] カウンタ#1：クロック源分周・上位ワード（2バイト）
0	0	0	["] カウンタ#0：クロック源分周・下位ワード（2バイト）

【注】 各カウンタ、制御レジスタの機能については次3-9項、3-10項を参照。

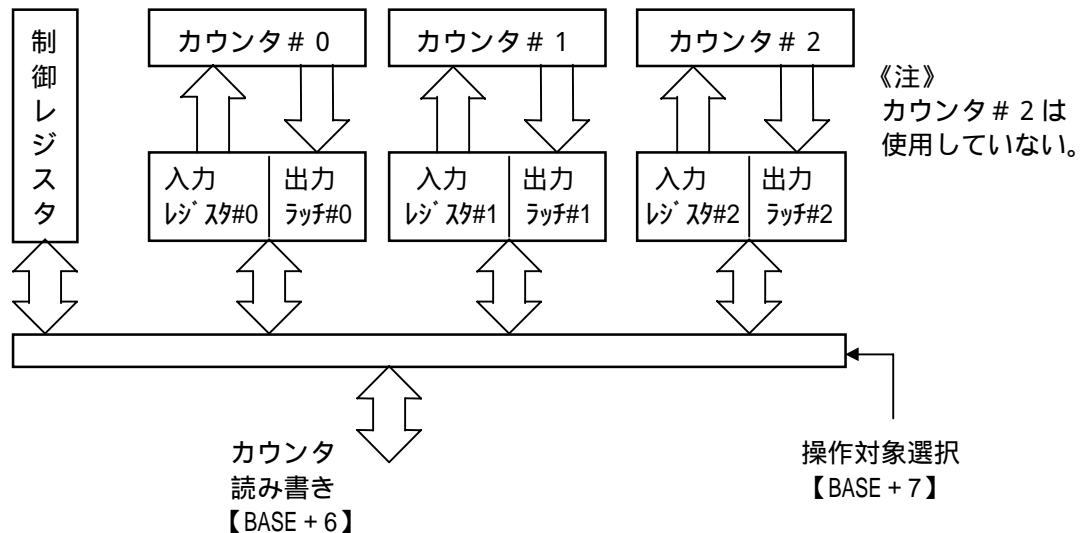
カウンタ素子の構造

各カウンタ素子（ $\mu\text{PD}71054 = i8253A$ 上位互換）の構造を図3-8に記します。

3本の各カウンタ（16BITバイナリ・ダウンカウンタ）は制御レジスタ（1バイト）により動作モードを指定されます。なお書き込まれるデータは実際には各カウンタ専用のレジスタに書き込み・保持されており、計数開始時等（動作モードに応じて）、必要なタイミングでカウンタ本体にロード（転送）されます。また、データをパソコン側から読み込むときは全カウンタを同時にラッチする構造となっています。

次【3-9項・分周比（クロック値）の設定】および【3-10項・DAデータ点数の設定】では当素子の特定動作モードのみを使用します。同素子自体の詳細については素子メーカー発行の仕様書等を御参照ください。（本ボードの制御には不要です。）

図3-8. $\mu\text{PD}71054$ （ $i8253A$ 上位互換品）の構造



3-9. クロック値（クロック源分周比）の設定

クロック同期更新モードで使用するクロック値は前3 - 7項で選択したクロック源を分周して得ます。分周動作は32BITカウンタ（16BITバイナリカウンタを2本直列に接続）で行います。

各16BITカウンタに設定できる値は1～65535で、その設定値を【DV#0】、【DV#1】とすると、

$$\text{分周比【DV】} = \text{【DV\#0】} \times \text{【DV\#1】} \quad \text{-----(a)}$$

$$\text{得られるクロック周波数【CKF】} = \text{【クロック源周波数】} \div \text{【DV】} \quad \text{-----(b)}$$

$$\text{得られるクロック周期【CKP】} = \text{【クロック源周期】} \times \text{【DV】} \quad \text{-----(c)}$$

となります。

《例》 内部クロック源10MHz（周期＝125ns）を元に10μsのクロック値（周期）を得るには、

$$\text{式(c)より、【DV】} = (10\mu s) \div (100ns) = 100$$

$$\begin{aligned} \text{式(a)から} \quad & \text{【DV\#0】} = 100 \quad \& \quad \text{【DV\#1】} = 1、 \\ & \text{【DV\#0】} = 20 \quad \& \quad \text{【DV\#1】} = 5、 \\ & \text{【DV\#0】} = 10 \quad \& \quad \text{【DV\#1】} = 10、 \text{等々。} \end{aligned}$$

各データはさらに、2バイトに分割して適用カウンタにかきこむ。

操作手順

```
outp(BASE+7, 0x3) ; /* 素子1の制御レジスタを対象に指定 */
outp(BASE+6, 0x36) ; /* 制御データ【注2】：固定値 */
```

```
outp(BASE+7, 0x0) ; /* 素子1のカウント#0を対象に指定 */
outp(BASE+6, DV#0L) ; /* 下位バイト書き込み */
outp(BASE+6, DV#0H) ; /* 上位バイト書き込み */
```

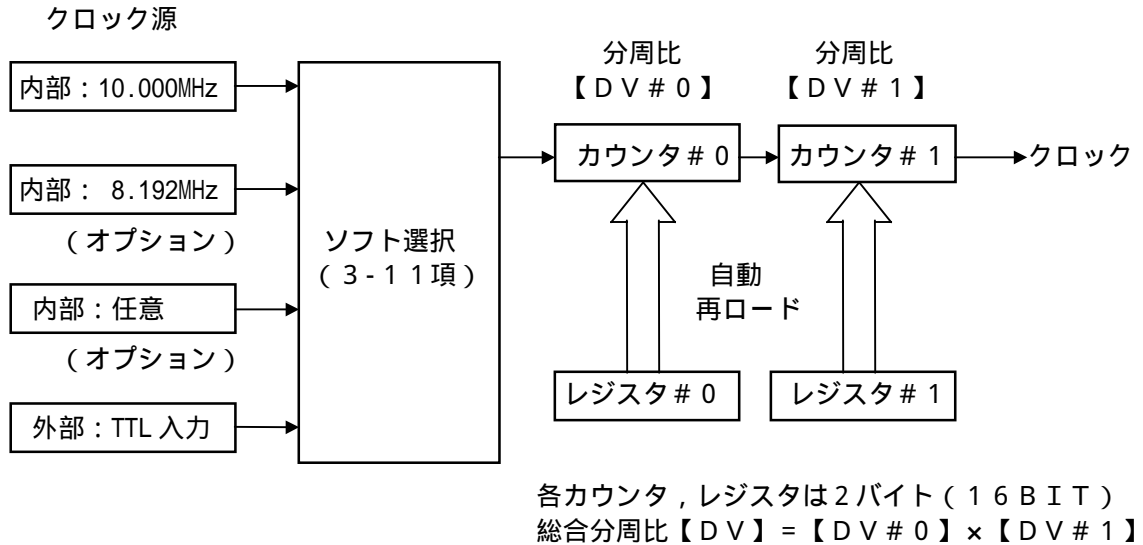
```
outp(BASE+7, 0x3) ; /* 素子1の制御レジスタを対象に指定 */
outp(BASE+6, 0x76) ; /* 制御データ【注3】：固定値 */
```

```
outp(BASE+7, 0x1) ; /* 素子1のカウント#1を対象に指定 */
outp(BASE+6, DV#1L) ; /* 下位バイト書き込み */
outp(BASE+6, DV#1H) ; /* 上位バイト書き込み */
```

【注1】：書き込み対象選択操作については前3 - 8項、参照。
また各カウンタの書き込みは下位バイトを先に、続けて上位バイトの順とする。

【注2】/【注3】： カウント#0 / #1を“同素子のモード3”で使用する意味の固定データ。（無条件に適用してください。）

図3-9A. クロックの制御構造

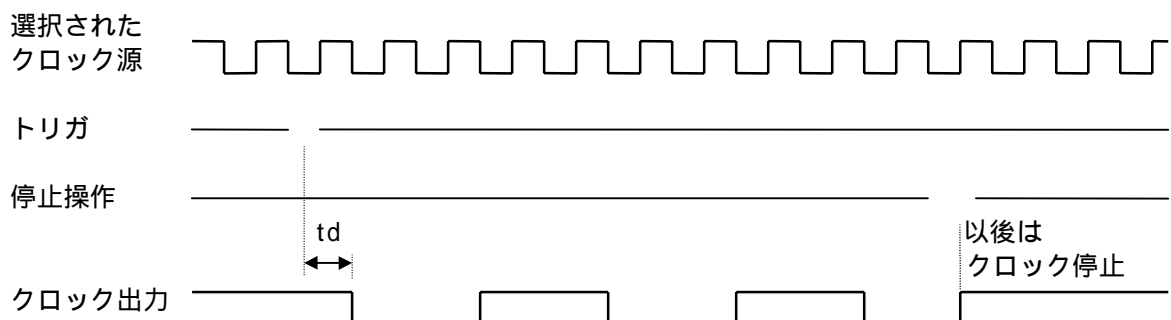


（3-7項で）選択されたクロック源信号は“素子1”内のカウンタ#0，#1で分周されてクロック値となります。カウンタ#0，#1は直列に接続された16BITのDOWNカウンタで、当素子（μPD71054）のモード3で動作させます。

前記“操作手順”により書き込まれた分周比データは（実際には）、各カウンタ専用の入力レジスタ#0，#1に保持されており、クロックスタート（トリガ発生）操作により各カウンタにロードされて計数が開始されます。総合32BITの当カウンタが“0”までカウントダウンすると1クロックを出力し、次のカウント・タイミングで入力レジスタ内のデータが再ロードされて再びカウントダウンが続けられます。この動作の様子を図3-9Bに示します。

【注4】 クロックスタート（トリガ発生）時にも1クロック出力があります。

図3-9B. クロック発生タイミング



《動作説明》 上記はトリガ（クロックスタート＝出力開始）後、3クロック出力後に停止操作等で動作終了となった例。分周比は4。なお、

クロック源信号、およびクロック出力の有効エッジは常に立下り（ ）。最初のクロック出力遅れ t_d は最大で1クロック源周期。

3-10. D A出力データ点数の設定・認識

クロック同期更新モードで出力するD Aデータ点数は前3 - 9項で得たクロック出力をカウントして制御します。当モードによる出力D Aデータ点数は、【1ブロック当りのデータ点数】を【指定ブロック数】または【停止操作等まで無限に】設定・制御する構造です。(3 - 13項)
ここではカウンタ素子2を使用し、

カウンタ#0に書き込む値NUM: 1ブロック当りのデータ点数(2 ~ 65535)、
カウンタ#1に書き込む値BLK: 指定ブロック数(1 ~ 65535)、
とします。

1ブロック当りのデータ点数の最小値 = 2であることに御注意ください。なお当値はサイクルモード時の1波形周期でもあります。(1波形周期の最大データ点数は搭載メモリ容量 - 1)

また非サイクルモードのときは割り込み要求発生要因に“1ブロック出力終了”を指定して、割り込み処理ルーチン内でブロックI/O転送の単位に当値(1ブロック当りのデータ点数)を使用するような使い方ができます。

【特注】 F I F Oメモリ内のD Aデータ点数を1周期として循環出力する
サイクルモードのときは、F I F Oメモリ内の実在D Aデータ点数
とカウンタ#0の値(= 1ブロック当りのデータ点数)が一致しなければなりません。

設定操作手順

```
outp(BASE+7, 0x7) ; /* 素子2の制御レジスタを対象に指定 */
outp(BASE+6, 0x34) ; /* 制御データ【注2】: 固定値 */

outp(BASE+7, 0x4) ; /* 素子2のカウンタ#0を対象に指定 */
outp(BASE+6, NUML) ; /* 下位バイト書き込み */
outp(BASE+6, NUMH) ; /* 上位バイト書き込み */

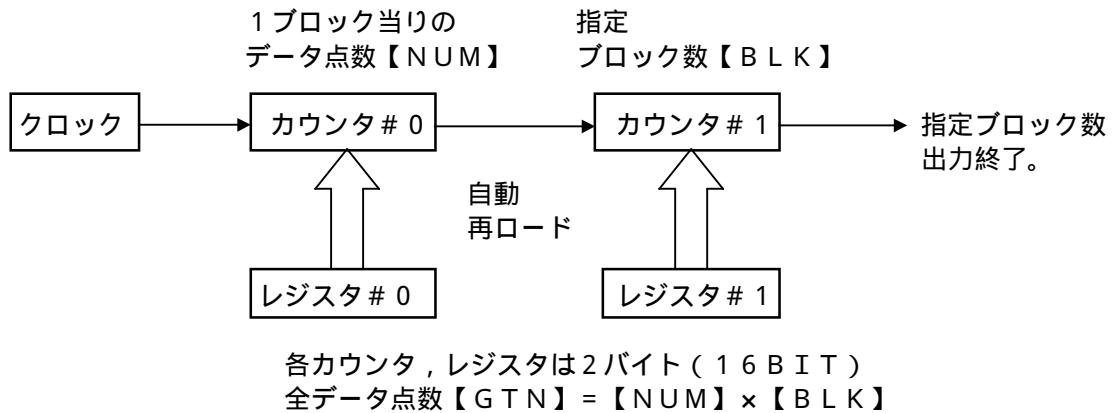
outp(BASE+7, 0x7) ; /* 素子2の制御レジスタを対象に指定 */
outp(BASE+6, 0x72) ; /* 制御データ【注3】: 固定値 */

outp(BASE+7, 0x5) ; /* 素子2のカウンタ#1を対象に指定 */
outp(BASE+6, BLKL) ; /* 下位バイト書き込み */
outp(BASE+6, BLKH) ; /* 上位バイト書き込み */
```

【注1】: 書き込み対象選択については前3 - 8項、参照。
また各カウンタの書き込みは下位バイトを先に、続けて上位バイトの順とする。

【注2】/【注3】: カウンタ#0/#1を同素子の“モード2”/“モード1”で使用する意味の固定データ。(無条件に適用してください。)

図3-10A. DA出力データ点数の制御構造



（3-9項で）得られたクロック信号はDAデータ更新動作に使用されると同時に“素子2”内のカウンタ#0，#1で更新実行点数としてカウントされます。

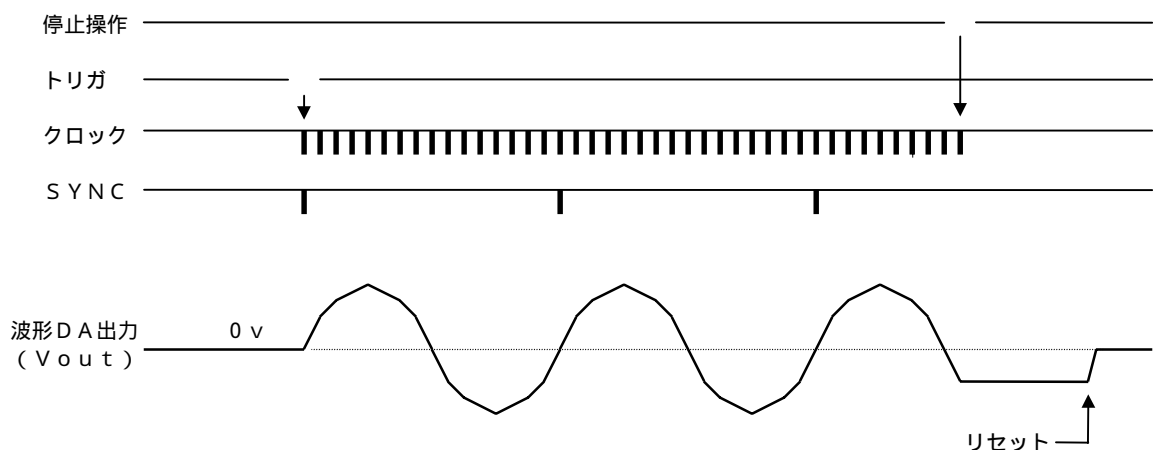
カウンタ#0，#1は直列に接続された各16BITのバイナリDOWNカウンタで、当素子（μPD71054）のモード2またはモード1で動作させます。

前記“操作手順”により書き込まれた各データは（実際には）各カウンタ専用の入力レジスタ#0，#1に保持されており、クロックスタート（トリガ発生）操作により各カウンタにロードされて計数が開始されます。【1ブロック当りのデータ点数カウンタ】#0が“0”までカウントダウンすると1パルスを出力し、次のカウント・タイミングで入力レジスタ内のデータが再ロードされて再びカウントダウンが続けられます。カウンタ#0からのパルス出力はボード内の制御タイミングに利用されると同時に【指定ブロック数カウンタ】#1の入力ともなります。

#1のダウンカウント値が“0”に達すると全データ出力終了なのでクロックを止めます。

なお、#1の出力を無視して【停止操作等まで無限に】クロック動作を続ける動作モードもあります。（3-13項・参照）

図3-10B. クロック同期更新モードの動作



SYNC：各データ・ブロックの先頭位置を示す1クロック幅の外部出力信号。選択（3-18項）により、クロック信号に代えて出力することができる。

波形出力：DA出力は電源ON、パソコン本体（ハード）リセット操作、または本ボードの制御部リセット操作（3-5項）により初期値=0Vとなる。以後はDA出力操作（またはクロック）により更新された値が次の更新まで保持（ラッチ）される。

出力済みDAデータ点数の読み込み

クロック同期更新モードで出力中、素子2のカウンタ#0, #1を読むことにより現在までの出力済み点数を知ることができます。

動作開始時のカウンタ#0設定値【NUM】：1ブロック当りのデータ点数
カウンタ#1設定値【BLK】：指定ブロック数

現在のカウンタ#0読み込み値【CNM】
#1読み込み値【CBK】

とすると、

出力済み点数

$$【DON】 = (【BLK】 - 【CBK】) \times 【NUM】 + (【NUM】 - 【CNM】)$$

読み込み手順

```

outp ( BASE + 7, 0x7 ) ; /* 素子2の制御レジスタを対象に指定 */
outp ( BASE + 6, 0xD6 ) ; /* 制御データ【注2】：固定値 */

outp ( BASE + 7, 0x4 ) ; /* 素子2のカウンタ#0を対象に指定 */
CNML = inp ( BASE + 6 ) ; /* 下位バイト読み込み */
CNMH = inp ( BASE + 6 ) ; /* 上位バイト読み込み */

outp ( BASE + 7, 0x5 ) ; /* 素子2のカウンタ#1を対象に指定 */
CBKL = inp ( BASE + 6 ) ; /* 下位バイト読み込み */
CBKH = inp ( BASE + 6 ) ; /* 上位バイト読み込み */

```

【注1】 読み込み対象選択については前3 - 8項、参照。
また各カウンタの読み込みは下位バイトを先に、続けて上位バイトの順とする。

【注2】 カウンタ#0 / #1の値を同時ラッチ（出力用ラッチに読み出し）する意味の固定データ。（無条件に適用してください。） 当操作後は必ず続けてカウンタ（ラッチ）の読み込み操作を行うこと。 各ラッチは上位バイト読み出し直後からカウンタに追従を開始するためです。

3-11. スケール変数(DA)データの書き込み

```

outp(BASE + D, SL); /* スケール変数DAデータ下位バイト書き込み */
outp(BASE + D, SH); /* スケール変数DAデータ上位バイト書き込み */

```

必ず、この順番(下位バイトを先、上位バイトを後)に連続して書き込んでください。

即時更新モードのときは後の上位バイト書き込み直後に実現されます。

スケール変数は何時でも操作することができるソフト的なボリュームコントロールのイメージですが、クロック同期更新モードのときは即時ではなくクロックに同期して更新されます。

(すなわち、最大1クロック時間の遅れが生じます。)

表3-11. 【BASE + D】出力ポートの構成

ビット	先に書き込んだデータ(下位バイト)	後に書き込んだデータ(上位バイト)	ビット時
B7	D7	×	【注1】
B6	D6	×	
B5	D5	×	
B4	D4	×	
B3	D3	D11(MSB) : 最上位ビット	
B2	D2	D10	
B1	D1	D9	
B0	D0(LSB) : 最上位ビット	D8	

【注1】 電源ON、パソコン本体のハードウェア・リセット操作、または本ボードの制御部リセット操作でスケール変数は初期値 = 0 になります。

【注2】 ×印ビットは無効ビット。

アナログ出力電圧は(内外)基準電圧に次3-12項に記すアナログ出力DAデータと本項で指定するスケール変数とを乗算したものとなります。

バイポーラ出力時(スイッチBUSEL = BI)の場合は、

$$V_{out} = (V_{in}) \times \{ (n - 2048) / (DFS \times 0.5) \} \times (Nr / DFS)$$

ユニポーラ出力時(スイッチBUSEL = UN)の場合は、

$$V_{out} = (V_{in}) \times (n / DFS) \times (Nr / DFS)$$

ただし、

Vout : アナログ出力電圧、
 Vin : 基準電圧(内部 = +1.0V / 外部は任意±1.0V以内)、
 Nr : スケール変数用DAデータ、
 n : アナログ出力用DAデータ、
 Dfs : フルスケールdigit値(Aモードのとき = 4000)
 (Bモードのとき = 4096)

(A, Bモードについては2-2項.参照)

3-12. アナログ出力 (DA) データの書き込み

アナログ出力 D A データを書き込む前に次 3 - 1 3 項のアナログ出力更新モード選択を行ってください。（クロック同期更新モードのときは 1、即時更新モードのときは 0 をセットする。）

ここで書き込むアナログ出力 D A データはクロック同期更新モードのときは F I F O メモリに、即時更新モードのときは D A 素子 (ラッチ付) に直接書き込まれます。

```
outp(BASE+C, RL); /* アナログ出力DAデータ下位バイト書き込み */
outp(BASE+C, RH); /* アナログ出力DAデータ上位バイト書き込み */
```

必ず、この順番（下位バイトを先、上位バイトを後）に連続して書き込んでください。

対象がF I F Oメモリの場合は（ステータスを確認しながら / 3 - 14 項）空きのある限り続けて書き込むことができます。 また、効率のよいブロックO U T命令（OUTSB）も使用することができます。

【注】クロック同期サイクルモード時の1周期データ点数は最大でメモリ容量 - 1です。

表3 - 12 . 【BASE + C】出力ポートの構成

ビット	先に書き込んだデータ（下位バイト）	後に書き込んだデータ（上位バイト）	セット時
B 7	D 7	×	【注 1】
B 6	D 6	×	
B 5	D 5	×	
B 4	D 4	×	
B 3	D 3	D 11（MSB）：最上位ビット	
B 2	D 2	D 10	
B 1	D 1	D 9	
B 0	D 0（LSB）：最上位ビット	D 8	

【注1】 電源ON、パソコン本体のハードウェア・リセット操作、または本ボードの制御部リセット操作でアナログ出力データは初期値 = 0 になります。

【注2】 ×印ビットは無効ビット。

アナログ出力電圧は(内外)基準電圧に本項に記すアナログ出力D/Aデータと前項で指定したスケール変数とを乗算したものとなります。

バイポーラ出力時（スイッチ $BUSEL = BI$ ）の場合は、

$$V_{out} = (V_{in}) \times \{ (n - 2048) / (DFS \times 0.5) \} \times (Nr / DFS)$$

ユニポーラ出力時（スイッチ BUSEL = UN）の場合は、

$$V_{out} = (V_{in}) \times (n / D F S) \times (N_r / D F S)$$

ただし、

Vout : アナログ出力電圧、
Vin : 基準電圧 (内部 = + 1.0 V / 外部は任意 ± 1.0 V 以内)、
Nr : スケール変数用 D/A データ、
n : アナログ出力用 D/A データ、
Dfs : フルスケール digit 値 (A モードのとき = 4000)
(B モードのとき = 4096)

(A, Bモードについては2 - 2項.参照)

FIFOメモリへのDAデータ書き込み

【クロック同期更新モード】が選択されているとき、アナログ出力DAデータの書き込み先はFIFOメモリとなります。FIFOメモリに入り口から書き込まれたデータは自動的に最奥部(出口側)まで転がり込んで行き、出口からは古い順にクロックに同期して自動的に読み出される(出力DA素子に転送される)動作となります。

《注》 【クロック同期更新モード】には【サイクルモード】と【非サイクルモード】がありますが、いずれの場合もDAデータ書き込み前の指定は【非サイクルモード】としてください。(でないと、DAデータがFIFOメモリに入りません。)

その後、動作スタート(トリガ許可)操作時に【サイクル/非サイクル】の指定をしてください。// 3-13項、およびサンプルソース参照 //

DAデータの書き込み方法は、

通常のOUT命令 : FIFOメモリのステータスフラグ“Not-Full”を監視しながら適時または同フラグによる割り込み処理ルーチン内でDAデータの補充を行います。

ブロックOUT命令 : FIFOメモリのステータスフラグ“Not-Half-Full”を監視しながら適時または同フラグによる割り込み処理ルーチン内で(FIFOメモリ容量の半分単位で)DAデータの補充を行います。また、割り込み要因に【1ブロック出力終了】を指定すれば(3-10項で設定した)1ブロック当りのDAデータ点数単位でブロック転送することもできます。/具体例: サンプルソフト参照。

図3-12. FIFOメモリ内のDAデータ

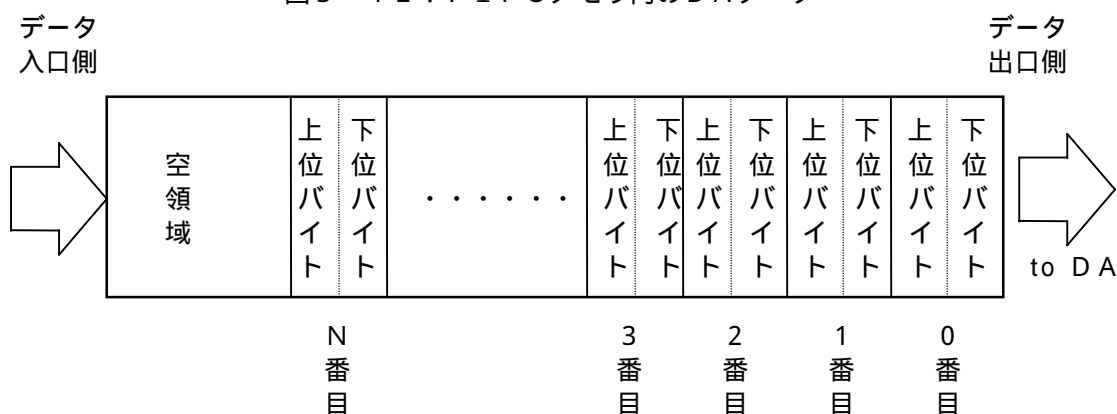


表3-12C. FIFOメモリのステータス・フラグ

フラグ名	フラグの意味 (標準1024語のとき)
Not-Full	満杯ではない。 (格納データ数 1023)
Not-Half-Full	容量の1/2以下 (格納データ数 512)
Not-Empty	データ有り (格納データ数 1)

3-13. トリガ&出力更新モード指定

outp (BASE + 3, tum); /* tum:トリガ&出力更新モード指定 */

アナログ出力の更新モード選択、およびトリガ制御（クロックのスタート/ストップ）を行います。波形出力（クロック同期更新）動作を行う場合、アナログ出力DAデータ書き込み前に【クロック同期更新モード（ビットB0 = 1）】に設定しておかないとデータはFIFOメモリに書き込まれませんから注意が必要です。

表3-13A. 【BASE + 3】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	ソフトトリガ	許可（即スタート）	禁止（ストップ）	0
B 6	外部トリガ制御	許可（入力待ち）	禁止（ストップ）	0
B 5	外部トリガ信号の有効極性	+ ()	- ()	0
B 4	外部トリガ動作形態	エッジ	レベル（帯域動作）	0
B 3	動作終了条件（クロック同期のとき）	指定ブロック数出力	無制限【注1】	0
B 2	FIFOメモリ動作モード	サイクル（循環）	非サイクル	0
B 1	未使用			0
B 0	アナログ出力更新モード	クロック同期更新	即時更新	0

《 補助説明 》

B 7 : = 1 でプログラム上で任意にクロックを**即スタート**させます。

B 6 : = 1 で外部トリガTTL信号の有効極性（エッジ、またはレベル）入力待ちです。

B 4 : “レベル（帯域動作）”を選択したときはビットB4で指定される極性レベルの期間中だけクロックが動作する、特殊なトリガ形態となります。【図3-13】

B 3 : “無制限【注1】”を選択したときは【注2】で説明するような強制停止操作までクロックが動作します。“指定ブロック数出力”による終了の場合は、終了時点で各トリガ許可ビット（B7, B6）は無効になります。次のスタート時は一旦クリアしてから再セット（= 1）します。
“指定ブロック数出力”については3-10項参照。

B 2 : サイクル動作ではFIFOメモリ内のデータ数を1周期として循環出力（再利用）します。非サイクル動作では、更新出力されたデータ分だけFIFOメモリ内のデータ数が減少して行きますから、継続動作のためには逐次データの補充が必要になります。

B 0 : アナログ出力DAデータの更新モード選択です。
マニュアル操作による単純なDA出力なら《即時更新モード》、
指定クロックに同期して自動出力するときは《クロック同期更新モード》です。

【注】 なお特殊なケースで、
即時更新モードのときにトリガをかけると（例えばB7をセットすると）、
クロック自体はスタートし、ステータスや割り込み要因としての動作は有効になりますが、FIFOバッファメモリからの同期更新出力は行われません。もちろんクロックを止めるにはトリガ禁止操作を行います。

更新モード ビットB2, B1, B0で指定される動作形態の組み合わせを
表3-13Bに記します。

表3-13B. 各種動作モード

B2	B1	B0	アナログ出力	内部基準電圧
1	x	1	クロック同期更新・サイクルモード	即時更新動作
0	x	1	クロック同期更新・非サイクルモード	
x	x	0	即時更新モード	

x: 任意。

はクロックに同期して、FIFOメモリ内のデータが更新出力されます。
はDAデータがFIFOメモリを通さず、DA出力素子に直接書き込まれます。

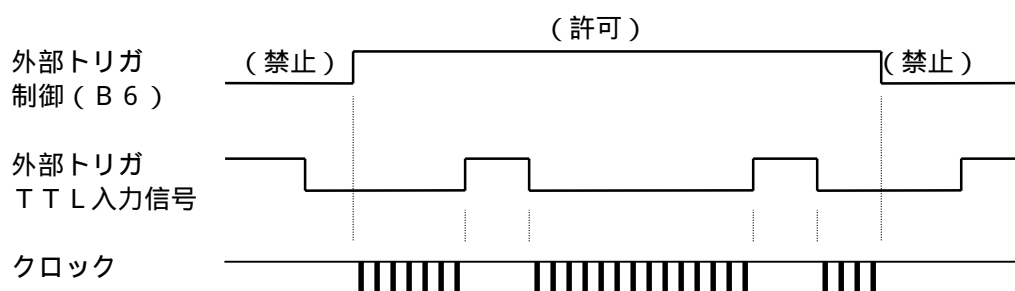
クロック同期更新・サイクルモードで出力中はFIFOメモリに追加データの書き込み
ができません。

【注2】 “トリガ”とはクロックをスタートさせる機能です。本機ではソフト、または
外部トリガ(TTL)入力です。クロックはスタート原因となったトリガの制御
ビットをクリア(=0)することにより強制停止します。停止操作はB7, B6
共にクリアすると確実にしよう。

即時更新モード(B0=0)でトリガされると、クロックに同期した更新動作は
行われませんが、クロックはスタートします。(タイマ的使用が可能。)

【注3】 外部トリガ動作の“レベルトリガ”とは、指定レベル期間中だけクロックが許可
される特殊な動作です。(クロック同期更新モードでのみ有効)

図3-13. レベル(帯域動作)トリガの様子



本図は B5 = 0: トリガ極性 = (-)、
B4 = 0: トリガ形態 = レベル(帯域動作) の場合です。

3-14. ボード・ステータスの読み込み、クリア

b s t s = i n p (B A S E + 5) ; / * b s t s : ボード・ステータス * /

本ボードのD Aデータ出力、クロック、割り込み要求、F I F Oメモリの充満状態、等々、動作状態を得ます。

表3 - 14 A . 【 B A S E + 5 】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	指定ブロック数出力 【注1】	終了	出力中 (開始前)	0
B 6	割り込み要求 【注1】	発生	未発生	0
B 5	クロック (有効エッジ:) 【注1】	発生	未発生	0
B 4	ブロック先頭位置 (SYNC) 【注1】	発生	未発生	0
B 3	トリガ発生	発生	未発生	0
B 2	クロック同期更新エラー 【注1】	発生	未発生	0
B 1	Not-Half-Full (FIFO) 【注1】	(1 / 2) 以下	(1 / 2) 超	1
B 0	Not-Full (FIFO) 【注1】	空き有	満杯	1

《 補助説明 》

【注1】: ビットB 3以外は【 B A S E + 4 】出力ポートの操作によりクリアされます。
(次ページ / 表3 - 14 B 参照)

B 7 : 指定ブロック数は3 - 10項を参照。

B 6 : 割り込み要求発生要因は3 - 17項を参照。

B 5 : クロックの有効エッジ () タイミングによりセット (= 1) されます。

B 4 : ブロック先頭信号 (S Y N C : 図3 - 18) によりセット (= 1) されます。

B 3 : トリガの発生によりセット (= 1) され、トリガ制御ビットのクリアによりリセットされます。 トリガ制御ビット: 前3 - 13項のB 7 , B 6。

B 2 : F I F Oメモリの入出力失敗を検出するとセット (= 1) されます。 具体的には、クロック同期更新モードで動作中にF I F Oメモリ内のD Aデータが出力してしまい、空の状態での次のクロック有効エッジ・タイミングが発生した。
またはF I F OメモリがD Aデータで満杯のとき、さらにパソコン側から追加データを書き込もうとしたときに【エラー】となります。

B 1 : F I F Oメモリ内のデータ数が半分 (標準1 K語メモリのとき512) 以下のときセット (= 1) されます。 / 表3 - 12、および3 - 2項を参照。

B 0 : F I F Oメモリに追加データの受入れ余地があるときセット (= 1) されます。
すなわち、F I F Oメモリ内のデータ数が標準1 K語メモリのときで1023以下になるとセットされます。 / 表3 - 12、および3 - 2項を参照。

ステータス・ビット・クリア

```
outp (BASE + 5, bsc); /* bsc: クリア・データ */
```

【注2】

当クリア・データのセット (= 1) されたビットに対応するボード・ステータスのビットがクリアされます。なお当クリア・データは本ボード中で保持されることはなく、クリア動作の起動に使用されるだけです。したがって、対応するボード・ステータス・ビットをクリア状態に維持するような機能はありません。本操作後、すぐに (クリアした) ビットがセットされるような状況も考えられます。

表 3 - 1 4 B . 【BASE + 5】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	指定ブロック数出力 ステータス・クリア	クリアする	クリアしない	0
B 6	割り込み要求 ステータス・クリア	クリアする	クリアしない	0
B 5	クロック (有効エッジ:) ステータス・クリア	クリアする	クリアしない	0
B 4	ブロック先頭位置 ステータス・クリア	クリアする	クリアしない	0
B 3	未使用			0
B 2	クロック同期更新エラー ステータス・クリア	クリアする	クリアしない	0
B 1	未使用			0
B 0	F I F Oメモリ素子だけの リセット	リセットする	リセットしない	0

追伸

表 3 - 1 4 A 中のトリガ発生 (B 3)、および F I F Oステータス (B 1, B 0) は状態フラグ (状態の変化に自動追従するフラグ) です。

一方、B 7 ~ B 4 および B 2 は保持フラグなので一旦セット (= 1) されるとクリアするまで保持されます。

F I F Oメモリ素子だけのリセットは、クロック同期で D A 出力中に予定変更などの理由から (F I F Oメモリ中の) 残りデータを出力することなくクリア、新たなデータを充填・出力するときに利用できます。

3-15. F I F Oメモリ・フラグだけの読み込み

```
f s t s = i n p ( B A S E + 4 ) ; /* f s t s : F I F Oメモリ・フラグ */
```

F I F Oメモリの充満状態を示すステータス・フラグを得ます。

3フラグのうち、【N o t - F u l l】と【N o t - H a l f - F u l l】は前3 - 14項の“ボード・ステータス”にも含まれているので、残る【N o t - E m p t y】を利用する場合に読むポートです。

表3 - 15 . 【B A S E + 4】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用			
B 6	未使用			
B 5	未使用			
B 4	未使用			
B 3	未使用			
B 2	N o t - F u l l (F I F O)	空き有	満杯	1
B 1	N o t - H a l f - F u l l (F I F O)	(1 / 2) 以下	(1 / 2) 超	1
B 0	N o t - E m p t y (F I F O)	データ有り	データ無し	0

《 補助説明 》

B 2 : F I F Oメモリに追加データの受入れ余地があるときセット (= 1) されます。
すなわち、F I F Oメモリ内のデータ数が標準1 K語メモリのときで1 0 2 3
以下になるとセットされます。

B 1 : F I F Oメモリ内のデータ数が半分 (標準1 K語メモリのとき5 1 2) 以下の
ときセット (= 1) されます。

B 0 : F I F Oメモリに1語でもデータがあるときセット (= 1) されます。

表3 - 15 B . F I F Oメモリのステータス・フラグ

フラグ名	フラグの意味 (標準1 0 2 4語のとき)
N o t - F u l l	満杯ではない。 (格納データ数 1 0 2 3)
N o t - H a l f - F u l l	容量の1 / 2 以下 (格納データ数 5 1 2)
N o t - E m p t y	データ有り (格納データ数 1)

3-16. 汎用デジタル入出力

```
d i n = i n p ( B A S E + A ) ; /* 汎用1ビットTTL (現在値)入力 */
```

表3-16A. 【BASE+A】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用		
B 0	I 0 : 汎用デジタル入力ビット 0	H i g h (開放)	L O W (0 v レベル)

```
o u t p ( B A S E + A , d o u t ) ; /* 汎用1ビット(ラッチ)出力 */
```

表3-16B. 【BASE+A】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用			
B 0	Q 0 : 汎用デジタル出力ビット 0	H i g h	L o w	0

【注1】 電源投入、またはハードウェアリセット直後の汎用デジタル出力は“ 0 ”ですが、ソフト的な制御部リセット操作 (3 - 5 項) ではクリアされません。

【注2】 汎用デジタル出力の論理はボード上のスイッチ **S - P O L** により任意に設定することができます。 出力レベルはTTLです。(1 - 2 項、 2 - 3 項参照)

3-17. 割り込み制御（要因指定、許可／禁止）

```
outp (BASE + 4, irm); /* irm: 割り込み要求の発生要因制御 */
```

本ボードからパソコン本体内部割り込みコントローラに発信する割り込み要求の発生要因を制御します。複数の要因を許可するとOR動作となります。なお本ボードで割り込みを使用するにはインストール時にリソースを取得しておく必要があります。（1-5項／インストール／参照）

【割り込みを使用しない場合は操作不要です。／読み飛ばしてください。】

表3-17A. 【BASE + 4】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	外部割り込み信号の有効極性指定	(+)	(-)	0
B 6	(FIFO) Not HALF-FULL による割り込み	許可	禁止	0
B 5	(FIFO) Not FULL による割り込み	許可	禁止	0
B 4	1 ブロック出力開始 (SYNC) による割り込み	許可	禁止	0
B 3	指定ブロック数出力終了 による割り込み	許可	禁止	0
B 2	トリガ発生 による割り込み	許可	禁止	0
B 1	外部割り込み信号 による割り込み	許可	禁止	0
B 0	クロック による割り込み	許可	禁止	0

《 補助説明 》

B 6 : FIFOメモリ内の待機DAデータが半分以下（標準1K語のとき、512以下）になったタイミングによる割り込み制御。初期状態等でFIFOメモリにデータを充填する前に許可すると即1回割り込みが発生するので注意が必要。

B 5 : FIFOメモリ内が満杯でなくなったタイミングによる割り込み制御。前述B6と同様、初期状態等でFIFOメモリにデータを充填する前に許可すると、即1回の割り込みが発生するので注意が必要。

B 4 : クロック同期更新モードで1ブロック分（サイクルモード時 = 1サイクル分）のDA出力開始による割り込み制御。【3-10項.参照】

B 3 : クロック同期更新モードで、指定ブロック数分のDAデータ点数出力完了タイミングによる割り込み制御。この時、クロックは停止している。
(サイクルモード時はブロック数 = サイクル数。)

B 0 : クロック同期更新モード時のDAデータ更新（出力）タイミングであるクロックによる割り込み制御。

実際に割り込みを使用するには、割り込みリソースを取得する。（1-5項）
割り込み処理サブルーチンを用意する。
ドライバで割り込みを使用するように設定する。

このあと、当割り込み制御ポートに書き込みを行います。WINDOVS 9x / NTでは割り込みコントローラ素子（パソコン本体内部）をアプリケーションで直接操作することはせず、デバイスドライバが事前・事後の処理と応答操作を行い、アプリケーションには通知と戻りのメッセージ交換で対処します。具体的には本ボード付属のCサンプルの該当部分を参照してください。《添付のデバイスドライバを使用した例》

割り込み要求クリア

```
outp(BASE+1, 0x0) ; /* 割り込み要求信号クリア（出力禁止） */
outp(BASE+1, 0x1) ; /* 割り込み要求信号出力許可 */
```

本ボードからパソコン本体内部割り込みコントローラに発信する割り込み要求信号出力はソフト（ボードのドライバ）上でクリア操作する必要があります。すなわち、PCIバスの割り込み信号はクリア操作まで割り込み要求状態を保持する“レベル動作”です。

また当ポートはラッチポートですからビットB0で出力禁止（クリア）操作を行うと当状態は保持され、次の割り込み信号が出力できない状態です。これを解消するには再度ビットB0をセット（＝1）する操作が必要です。

《WINDOWS 9x / NTでは通常、この操作はデバイスドライバ内で行います。》

表3-17B. 【BASE+1】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B7 B6 B5 B4 B3 B2 B1	未使用			
B0	PCIバス上への割り込み信号出力制御	出力許可	出力禁止（クリア）	0

3-18. SYNC / クロック出力切り替え

```
outp (BASE + 9, syn); /* 出力信号選択 */
```

外部TTL出力信号【SYNC / CLK - OUT】を【SYNC】出力とするか、【CLK】出力とするかの選択を行う。

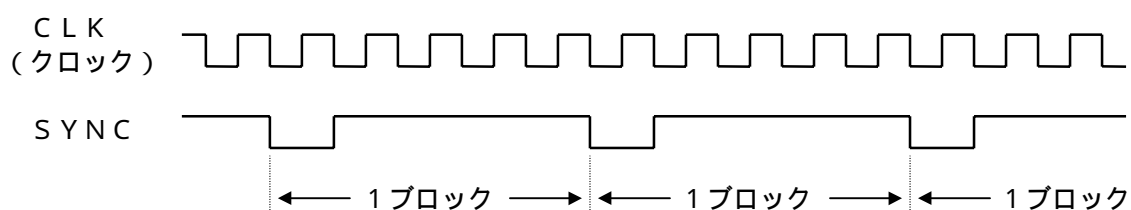
【CLK】出力： クロック同期更新モード（3-13項）で使用される連続DAデータの更新タイミング信号（TTL立下り）、すなわち“クロック”出力。

【SYNC】出力： クロック同期更新モード（3-13項）のとき、1ブロックDAデータ群の先頭データ出力タイミング（TTL立下り）を示す。

表3-18A. 【BASE + 9】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用			
B 0	SYNC / クロック出力切り替え	SYNC出力	クロックを出力	0

図3-18. CLK / SYNC タイミング（例）



クロックのパルス幅：デューティは（50%）±（1クロック源周期）

SYNCのパルス幅：1クロック周期

両信号の有効エッジ：共に立下り（ ）

本例は1ブロック分データ点数 = 5 の場合。

3-19．複数ボードの同期運転（マスタスレーブ動作）

複数の本ボードを同一クロックで同期運転することもできます。この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。各スレーブはマスタからのクロックを受けて同期を取りますが、サンプリング（DA出力更新）タイミングに最大100nsの遅れが生じます。接続、操作は以下のとおり。（サンプルプログラム：MSCYC781.C参照）

ボード上の設定等

各ボードの認識指標が重複しないようにスイッチSW-BNを設定し、インストール作業は1枚ずつ行う。（同時に複数ボードのインストールはできない。）

付属のサンプルプログラム（MSCYC781.C）ではマスタのSW-BNを【0】、以下、各スレーブを【1】、【2】、【3】、・・・・・・としている。

各ボードの出力範囲は任意で、一致している必要はない。

ボード間の接続等

ボード間は、マスタ機のクロック出力【CLK-OUT】をスレーブ各機のクロック入力【CLK-IN】に接続するだけである。（1-1項/図1-1C参照）

マスタ機は外部クロック源入力、外部トリガを使用することもできる。

ソフトウェア

サンプルプログラム：MSCYC781.C参照

スレーブ各機のクロック源は外部（3-7項）、分周比は1/1（3-9項）に設定しておく。

スレーブ各機の外部トリガは禁止しておく。

マスタ機は単独動作時と同様に（何の制限もなく）条件設定できる。

スタート操作はスレーブ各機を（ソフトトリガで）先に、マスタ機を最後に（任意のトリガ条件で）行う。

添付のサンプルプログラムMSCYC781.Cはサイクル動作なので、以後は停止操作を待つだけである。

クロック同期・非サイクル動作の場合、以後はマスタ機のステータスを監視しながら適時、各機に追加データを供給するだけである。

3-20. 外部機器（ADボード等）との連携動作

クロックの入出力機能を利用すると、外部イベント（更新リクエスト等）にリアルタイムで応答したり、外部機器に動作・測定等の正確なタイミングを伝えることができます。

応用例	: 任意波形出力～ADサンプリング
-----	-------------------

ボード間の接続： 本ボードのクロック出力をADボード（ADM-68xPCI等）のクロック入力に接続する。これは前項のマスタスレーブ接続と同一。

ADボード側： 外部クロック動作に設定、ソフトトリガで外部クロック入力待ち状態にしておく。

DAボード側： 出力波形データを用意する。 任意のクロック源、およびトリガにより出力を開始する。

注意すること： DA出力がクロック同期・サイクルモードなら、以後はADボードからデータを読み込むことに専念できる。クロック同期非サイクルモードのときは、DAデータの追加転送とADボードからのデータ読み込みを遅れることなく調和させる必要がある。