

## 第1章 導入・試運転

### 1-1. 本製品の仕様・概要

任意波形出力や自動ループ制御に適したバッファメモリ付の（絶縁型）12ビット高速DAボードです。クロック同期出力・サイクルモードでは、あらかじめ書き込んでおいたFIFOメモリ内のDAデータ群を（最高8.192MHzの速度で）循環出力させることができます。出力波形1サイクルのデータ点数がFIFOメモリ容量を超えるか無制限長の場合は、FIFOメモリの充満状態によりDMA、ブロックI/O転送等を利用して逐次データを補充する非サイクルモードもあります。

なお、出力波形振幅は別に用意されている汎用DA出力でソフト的に、または外部アナログ入力でハード的に制御することができます。またクロック源の入出力機能により、ADボード等と組み合わせたアクティブな計測・制御システムが可能です。

#### 波形DA出力部

- 波形DA出力 : 12ビット / 1チャンネル（マスタスレーブ動作可能）。  
 バッファメモリ : FIFO型・標準4K語（オプションで8K / 16K / 32K語可能）。  
 通常出力レンジ :  $\pm 10\text{V} / \pm 5\text{V} / 0 \sim +10\text{V} / 0 \sim +5\text{V}$ （ジャンパ選択）、  
 出力モード ———— 通常モード（通常出力レンジ）  
                               — 汎用DA出力（外部アナログ入力）との乗算モード、  
                               — 汎用DA出力（外部アナログ入力）との減算（または加算）モード、  
                               — 前2モード組み合わせの乗算・減算モード。  
 更新モード ———— クロック同期（サイクル / 非サイクル）更新、または即時更新。

汎用DA出力部      // 波形DA出力の振幅制御に使用可能。//

- 波形DA出力 : 12ビット / 1チャンネル（独立制御）。  
 出力レンジ :  $\pm 10\text{V} / \pm 5\text{V} / 0 \sim +10\text{V} / 0 \sim +5\text{V}$ （ジャンパ選択）。

外部アナログ入力      // 波形DA出力の振幅制御に使用可能。（ $\pm 10\text{V}$ 以内・差動）//

#### 制御機能

- データ転送 : DMA, ブロックI/O, 通常（Single）I/O。  
 クロック源 : 内部8MHz、8.192MHz、または外部TTL入力。  
 クロック値 : クロック源を32ビット（16BIT×2）バイナリ・カウンタで分周。  
 トリガ機能 : ソフト（即スタート）、外部TTL入力エッジ・またはレベル（帯域）。

- 割込要求要因 : クロック（波形DA出力更新タイミング）、トリガ発生、  
 （ソフト選択）サイクルモードの指定回数出力終了、汎用外部割り込みTTL入力、  
 FIFOメモリのNOT - FULL、NOT - HALF - FULL。

DMA起動要因 : FIFOメモリのNOT - FULL（ソフト許可）

- 外部制御出力 : クロック（波形DA出力更新タイミング）、または  
 SYNC（サイクルモードでの先頭データ位置）出力。

図 1 - 1 A . MDA - 7 6 1 A T 機能ブロック

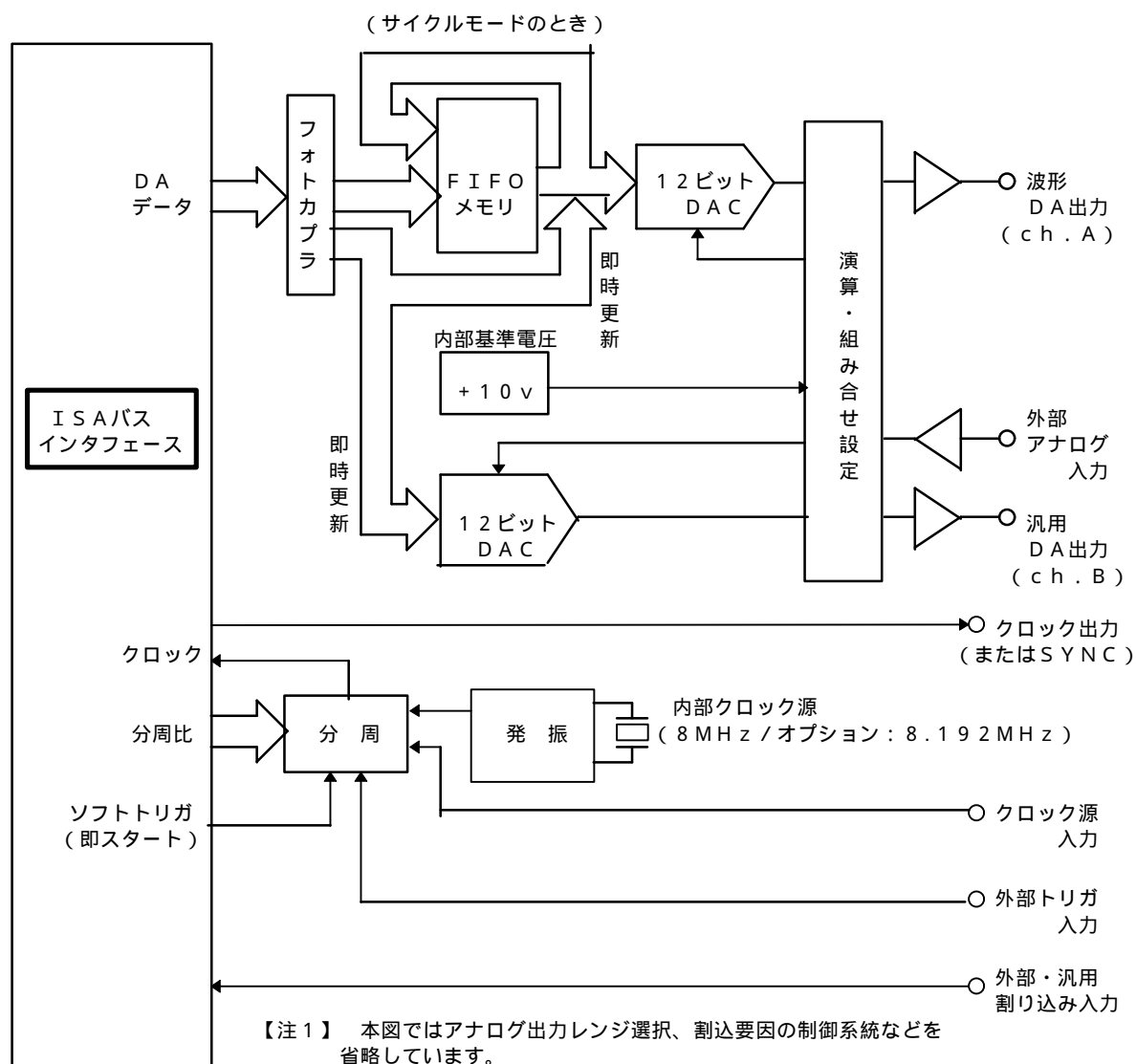


表 1 - 1 A . 波形 (チャンネルA) 出力モードの選択肢

波形 (チャンネルA) 出力電圧	《 詳細説明 》	基準電圧、または乗算対象選択 (スイッチRESL)	オフセット選択 (スイッチOFSL)
(Va)	単独動作: 《 2 - 2 項 》	内部基準電圧	0V
(Va) - (Vb)	減算動作: 《 2 - 3 項 》	内部基準電圧	チャンネルB出力
(Va) - (Vin)	減算動作: 《 2 - 3 項 》	内部基準電圧	外部アナログ入力
(チャンネルBとの乗算)	《 2 - 3 項 》	チャンネルB出力	0V
(チャンネルBとの乗算) - (Vin)	《 2 - 3 項 》	チャンネルB出力	外部アナログ入力
(外部入力電圧との乗算)	《 2 - 3 項 》	外部アナログ入力	0V
(外部入力電圧との乗算) - (Vb)	《 2 - 3 項 》	外部アナログ入力	チャンネルB出力

(Va) : チャンネルA単独動作時の出力電圧

(Vb) : チャンネルB単独動作時の出力電圧

(Vin) : 外部アナログ入力電圧

【注2】 チャンネルAの乗算対象またはオフセット入力に、チャンネルBまたは外部アナログ入力を使用する場合、演算結果が $\pm 10V$ を超えるときの出力は保証されない。(出力素子が飽和するため)

【注3】 外部アナログ入力範囲は最大 $\pm 10V$ 。(絶対最大定格 $= \pm 15V$ )

**波形 D A 出力** : 波形出力用のチャンネル A は内部基準電圧、D A チャンネル B 出力、外部アナログ入力を組み合わせた任意の出力モードを使用できます。 / 表 1 - 1

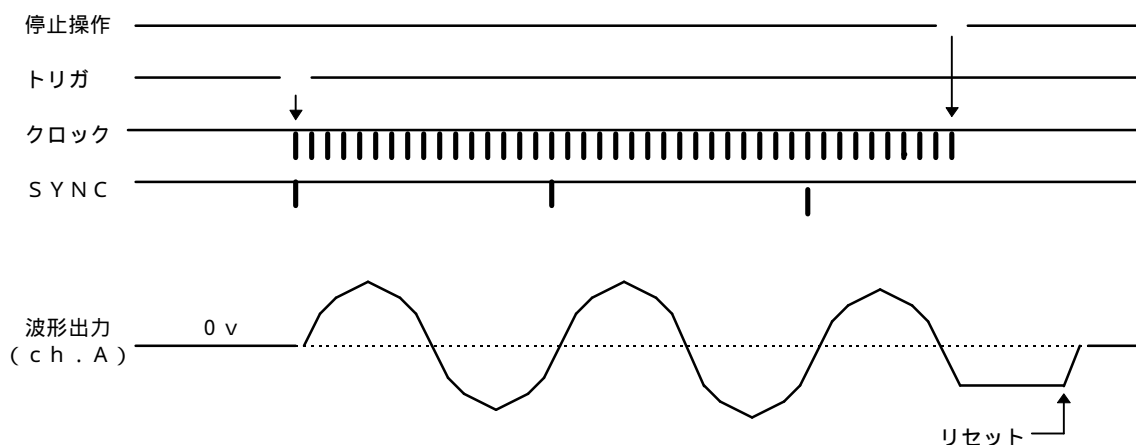
例えば任意波形を（クロック同期更新モードで）出力しながらプログラム上でリアルタイムにゲインを変える、すなわち振幅制御が可能です。

同様に外部からのアナログ入力と乗算（変調）させたり、オフセット印加（減算、または加算）も可能です。

**汎用 D A 出力** : 汎用のチャンネル B はチャンネル A の出力制御に使用できるほか、独立した D A 出力として使用することもできます。 但しチャンネル A の乗算対象に設定した場合に限り、汎用出力としての使用ができません。（2 - 3 項）

**クロック同期出力モード** : ソフト（即スタート）、または外部 T T L エッジトリガによりクロックがスタート、これに同期して F I F O バッファメモリ内のデータが順番に D A 変換（更新）出力されます。 【サイクルモード】の場合、バッファメモリ内のデータ群を 1 サイクル分として指定回数だけ（または停止まで無限に）循環出力します。 出力しようとする波形 1 サイクル分のデータ点数が搭載メモリ容量を超えるか無制限長の場合は、F I F O メモリの充満状態により D M A , ブロック I / O 転送等を利用して逐次データを補充する非サイクルモードもあります。

図 1 - 1 B . クロック同期出力・サイクルモードの動作



【注 4】 S Y N C : クロック同期出力モードのとき、波形出力 D A データ群の先頭位置（1 クロック幅）を示す。サイクルモード時は繰り返し出力されるが、非サイクルモードのときは先頭 = 最初のデータ出力時のみである。なお当信号（T T L）出力はソフト上の選択で“クロック出力”とトグルになっている。

波形出力 : D A 出力は（c h . A / c h . B 共に）電源 O N、パソコンリセット操作、または本ボードのソフトのリセット操作により初期値 = 0 v となる。 以後は D A 出力操作（またはクロック）により更新された出力値が次の更新まで保持（ラッチ）される。

**出力速度** : クロック同期サイクルモードのときは全て本ボードの自動運転ですから、パソコン側の速度に関係なく常に最高速度（8.192MHz）が可能です。非サイクルモードのときはパソコン側からボード上のメモリに逐次データを補給する必要から、データ転送速度・FIFOメモリ容量・総データ点数で可能な最高速度が決まります。

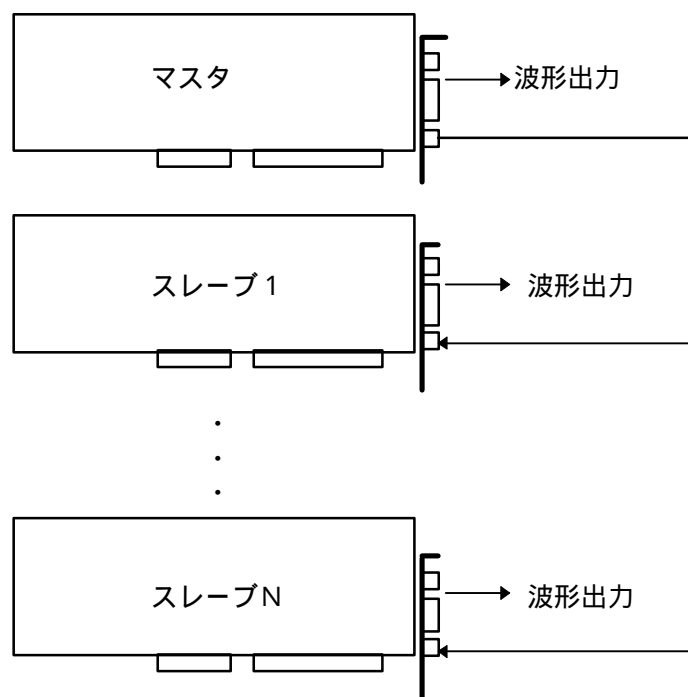
表 1 - 1 B . クロック同期・非サイクルモード時の最高速度例

パソコンCPU	486 / 66MHz				Pentium / 100MHz			
データ数	8K語	16K語	24K語	32K語	8K語	16K語	24K語	32K語
ポーリング	370K	290K	280K	260K	880K	660K	610K	同左
割り込み	240K	同左	同左	同左	560K	同左	同左	同左
DMA	250K	120K	100K	同左	290K	190K	160K	同左

【単位：sps】 = samples / sec

**同期運転** : マスタ機のクロック出力をスレーブ各機のクロック源入力に接続します。マスタ機に対するソフト（即スタート）トリガ、または外部トリガ入力によりクロックがスタート、全スレーブ機がこれに同期して各自のFIFOメモリ内DAデータを更新出力する動作となります。（3 - 20項、参照）

図 1 - 1 C . マスタスレーブ接続（最大7スレーブ）



【注】 マスタ機のクロック出力を直接入力できるスレーブ数は使用する最高クロック値の制限を受ける。  
 この数は 8MHz のとき 3 枚、 4MHz のとき 5 枚、 1MHz のとき 7 枚。（波形が鈍るため。）  
 なお、マスタ機からクロックを供給されたスレーブのクロック出力を他のスレーブに供給可能。  
 （但し、通過遅れ = 約 250ns）

アナログ仕様 ( : D A 出力チャンネル A , B 共通 ) 【 m a x : 最悪値、他は代表値】

セトリング : 1  $\mu$ s ( 0.1 % FS 到達、負荷容量 = 100 pF のとき )  
 非直線性 : 0.05 % FS (  $\pm 2$  LSB ) max  
 温度ドリフト : 20 ppm /  
 グリッチ : 30 nV s  
 最大駆動負荷 : 容量 1000 pF 以下、抵抗 5 K  $\Omega$  以上 ( 電流 2 mA 以下 )

アナログ入力： 最大  $\pm 10 \text{ V}$  (絶対最大定格  $\pm 15 \text{ V}$ )

その他

D Aデータコード : オフセットバイナリ、または2の補数(ソフト指定)  
 I / Oアドレス : 上位12ビットをディップスイッチ設定(16ポート占有)  
 動作温度範囲 : 0 ~ + 45 (結露しないこと)  
 保存温度範囲 : - 10 ~ + 80 ( " " " )  
 基板寸法 : 268.6 L x 114.3 H (突出部、カードエッジを含まず)  
 電源・消費電流 : + 5 v / 1.3 A (max : 1.5 A)

入出力コネクタ

- DA出力：9ピンD-SUB型（ハンダ付用プラグ添付）  
波形（ch. A）出力はBNC端子にも接続可能。
- 制御信号：8ピンMINI-DIN型（1m長ケーブル添付）

オプション : 制御信号（クロック入力、トリガ入力、汎用割込入力）用のBNC  
接続ボックス、クロック分配用接続ボックス、ケーブル等。  
( 1 - 5 項 , 参照 )

## 添付ソフトウェア

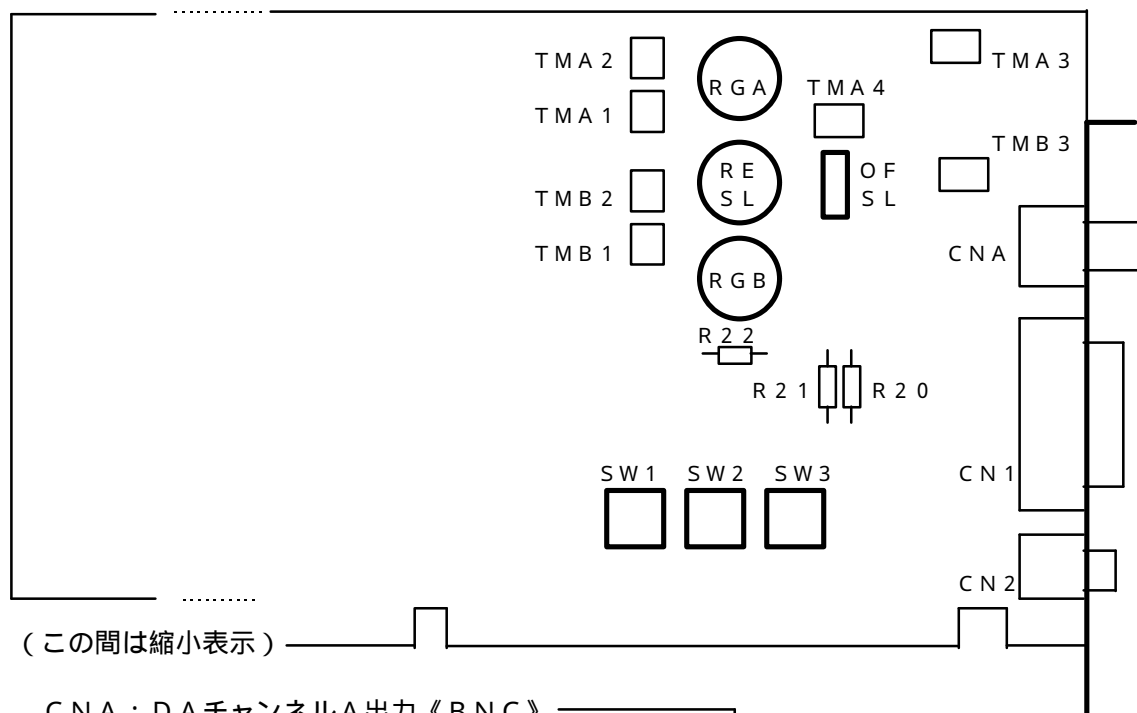
MS - DOS : 波形出力用Cハンドラ ( L I B )、  
CおよびQ u i c k - B a s i cでの学習用サンプルソース。

WINDOWS : WINDOWS - 95、NT、およびWINDOWS (3.1) 用の  
単純 I/O 命令実行 DLL。

## 1-2. ボード上の設定

本ボード上の設定はアナログ（DA）出力範囲、乗算・減算組み合わせ、およびI/Oベースアドレス値だけです。割り込みやDMAの設定（使用は任意）はソフトウェア上で行います。

図1 - 2 A . ボード上の設定対象位置



CNA : DAチャンネルA出力《BNC》  
 CN 1 : アナログ入出力《9ピンD - SUB》 1 - 4項  
 CN 2 : 制御信号入出力《8ピンMINI - DIN》  
 TMA 1 ~ 4 : DAチャンネルA用調整トリマ（再調整：6 - 2項）  
 TMB 1 ~ 3 : DAチャンネルB用調整トリマ（再調整：6 - 2項）  
 R 2 0 , R 2 1 : アナログ入力終端抵抗（出荷時：10M）  
 R 2 2 : アナログ入力ゲイン設定抵抗（出荷時：未実装 = ゲイン 1）

SW 1 , 2 , 3 : I/Oベースアドレス設定【出荷時：0 , 1 , E】 / 1 - 3項

RGA : DAチャンネルAの出力範囲設定【出荷時：3】（±10V） / 2 - 2項  
 RGB : DAチャンネルBの出力範囲設定【出荷時：1】（0 ~ +10V） / 2 - 2項  
 RESL : DAチャンネルAの乗算対象設定【出荷時：1】（固定基準） / 2 - 3項  
 OFSL : DAチャンネルAの減算対象設定【出荷時：1】（0V） / 2 - 3項

図1 - 2 B . 乗算・減算設定（拡大図）

