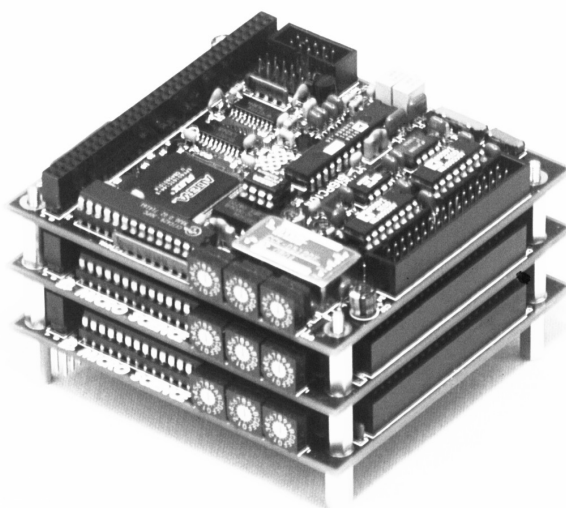


*Real Solution for FA/LA*



12ビット / 100 KHz サンプリング  
FIFOメモリ付自動サンプリングAD変換

8チャンネル ADM-612PC104

64チャンネル ADM-613PC104W

【注】W：ダブルサイズです。

## 取扱い説明書

PC104  
ISA互換バス

## マイクロサイエンス（株）

〒167-0042 東京都杉並区西荻北2丁目37番12号

TEL 03(3396)8362 代表

FAX 03(3301)5593

Email: welcome@microscience.co.jp

---

Mar 18, 2002

## 目 次

使用・適用上の注意	4
本製品の仕様一覧	5
本製品の構成・価格表	6

### 第1章．導入・試運転

1-1. 本製品の概要	7
1-2. ボード上の設定	8
1-3. I/Oベースアドレスの設定	10
1-4. 入出力コネクタ・ピン接続	11
1-5. 入出力接続オプション	14

### 第2章．信号入出力

2-1. アナログ入力回路	15
2-2. アナログ入力範囲	16
2-3. アナログ入力特性（誤差・ドリフト・雑音・保護対策）	17
2-4. （同時サンプル用）外部サンプルホールド制御	18
2-5. デジタル入出力回路	19

### 第3章．制御・操作

3- 1. A/Dサンプリング動作・トリガ動作の様子	21
3- 2. F I F Oバッファメモリの構造・動作	24
3- 3. 制御レジスタI/Oアドレス・マップ	26
3- 4. ボード・リセット（初期化）、認識	27
3- 5. チャンネル数、データ構成の設定	28
3- 6. クロック源の選択	29
3- 7. (クロック源)分周比の設定	29
3- 8. データ点数カウンタの読み書き	30
3- 9. 内部(アナログ)トリガレベルの設定	32
3-10. トリガモードの設定	34
3-11. 割り込み制御	37
3-12. サンプリング・スタート/ストップ	39
3-13. ステータスデータの取得・クリア	41
3-14. A/Dデータの読み出し	44
3-15. マスタスレーブ動作（複数ボードの同期運転）	46
3-16. 汎用デジタル入出力	48
3-17. 外付・同時サンプルホールド制御	49

#### 第4章．保守・その他

4-1．故障・トラブル等の原因と対処	51
4-2．修理のときは	52
4-3．アナログ入力範囲の再調整	53
4-4．外部制御信号・タイミング等	54

付録．Q & A フォーム（質問／トラブル・故障に対する相談用）	56
----------------------------------	----

## 本製品の使用・適用についての注意

- 【１】 本製品はPC / 104バス（８ビット）に装着して使用するものですが、コネクタの電流容量に３Ａ仕様の部品を使用することにより＋５ｖ電源ピン（計２本）の供給能力が標準規格の（１Ａ仕様×２ピン）より大きくなっています。  
但し、標準規格に忠実な他社製品と組み合わせて使用するときは低能力側の仕様を採用しなければならない場合もありますので御注意ください。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システムの設計・制作に別途付加・反映させてください。 本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。 これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。  
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。 御利用の場合は同システムの設計・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第３者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。 但し、当社製ソフトウェアのソースコードを含むソフトウェアを第３者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

本機の仕様一覧

アナログ入力部

項 目	ADM - 612PC104	ADM - 613PC104W
入力数・信号形式	8chシングルエンド（普通の2線式）	64chシングルエンド（普通の2線式）
入力範囲	$\pm 10\text{V} / \pm 5\text{V} / \pm 2.5\text{V}$ （ジャンパ切り替え）	
入力インピーダンス	100 M 以上	
クロストーク typ	65 dB（各チャンネル間）	

A/D変換部

項 目	ADM - 612PC104	ADM - 613PC104W
分解能	12ビット	
単chサンプリング速度	10 $\mu\text{s}$ （100 KHz）	
複chサンプリング速度	10 $\times$ （実行チャンネル数） $\mu\text{s}$	
非直線性 max	$\pm 0.025\%$ FS	
正確度【注1】 最悪値	$\pm 0.105\%$ FS（常温で製造時、最適調整 $\pm 10\text{V}$ 範囲のとき）	
正確度【注1】 最悪値	$\pm 0.125\%$ FS（常温で製造時、最適調整 $\pm 10\text{V}$ 範囲以外のとき）	
内部雑音 typ	$\pm 1\text{LSB}$ （当社製造・調整システムにて）	
温度ドリフト typ	$\pm 25\text{ppm}/$	
A/Dデータ・コード	オフセットバイナリ	

【注1】回路のゲイン設定抵抗素子精度による。（較正測定器誤差0.03%を含み、内部雑音を含まず。）

制御部・その他（共通）

項 目	ADM - 612PC104	ADM - 613PC104W
クロック（ソフト指定）	クロック源：内部20 MHz / 外部TTL入力 分周機能：32 BIT プログラマブルカウンタ（バイナリ）	
トリガ （サンプリング開始）	内部トリガ： プログラム上からの即トリガ、 アナログ入力（先頭チャンネル）の指定エッジ、レベル、またはレンジ。 外部トリガ： 外部TTL入力の指定エッジ、またはレベル	
バッファメモリ	標準1024語FIFOメモリ（オプションで8K語～最大8M語に増設可能）	
A/Dデータ転送	ブロック転送：通常FIFOのHALF - FULLフラグを利用して容量の半分単位で行う。 通常IN命令：2バイト（上位・下位）に分割して連続読み込み。	
マスタスレーブ動作	マスタのクロック出力をスレーブのクロック源入力に接続することにより可能。	
割り込み （ジャンパ設定）	割り込み番号：（IRQ3, 4, 5, 6, 7, 9）の中から選択。 割り込み要因： 1回サンプリング終了、トリガ発生、指定回数サンプリング終了 サンプリング・クロック、外部TTL入力の指定エッジ、 FIFOメモリのEMPTY解消、同HALF - FULLフラグ。	
汎用デジタル入出力 （入出力素子：HCT型）	3ビットTTL入力：（外部割り込み、外部クロック源、外部トリガ、各入力と兼用。） 1ビットTTL出力：（ラッチ出力、ボード上に極性切り替えスイッチ付）	
I/Oアドレス	ボード上のDIPスイッチ設定により（連続した）16アドレス占有。	
PC/104バス駆動	74HCT245相当品使用により強化。	
基板寸法（突出部を含まず）	ADM-612PC104：標準サイズ（95.9mm） $\times$ （90.2mm） ADM-613PC104W：ダブルサイズ（95.9mm） $\times$ （180.3mm）	
動作環境（結露しないこと）	周囲温度：0～+40、保存温度：-10～+80（結露しないこと）	
付属品	取扱説明書、回路図、入出力プラグヘッダ（各1個）	
電源消費（+5V）	max. 300mA	max. 300mA

## 製品構成

本体 A D ボード  
 入出力プラグ・ヘッダ ( 各 1 個 )  
 専用スペーサ & ネジ ( 4 個 )  
 ソフトウェア ( 当社ホームページ [www.microscience.co.jp](http://www.microscience.co.jp) からダウンロード )  
 プレーンな C サンプル、オープンソース C 関数セット、  
 オープンソース L i n u x ドライバ、  
 当社製 P C I 、 U S B 各インターフェース上でのサンプル。

## 価格表

製品名	当社直販価格	製品の概要
ADM - 6 1 2 P C 1 0 4	¥ 3 9 , 0 0 0	1 2 ビット / 8 チャンネル F I F O メモリ付 A D 変換ボード
ADM - 6 1 3 P C 1 0 4 W	¥ 5 6 , 0 0 0	1 2 ビット / 6 4 チャンネル F I F O メモリ付 A D 変換ボード
( 以下、オプション )		
取扱説明書	1 , 0 0 0	印刷された取扱説明書
SHU - 0 0 8 P C 1 0 4 W	6 9 , 0 0 0	8 チャンネル同時サンプルボード ( スタック可能 )
SHU - 0 1 6 P C 1 0 4 W	9 9 , 0 0 0	1 6 チャンネル同時サンプルボード ( スタック可能 )

【注意】 ADM - 6 1 3 P C 1 0 4 W はダブルサイズ ( P C 1 0 4 標準の 2 倍 ) です。

《 言語 》 英文を御希望の場合は “ 英文取扱説明書 ” と御指定ください。 ( 本製品は当社・日本製です。 )  
 なお両版共、 P D F ファイルは無償配布の C D R O M に格納されているほか、  
 当社ホームページからダウンロードもできます。 / 新製品はダウンロードのみ /  
[www.microscience.co.jp](http://www.microscience.co.jp)

《 メモリ増設 》 該当容量の F I F O メモリ素子に交換して出荷します。 ( 標準搭載容量 : 1 K 語分 )  
 本体製品型名の末尾に F I F O メモリ容量を示す枝番を付してください。

選択枝番 :    - 8 K W ( 8 K 語分 / ¥ 1 0 , 0 0 0 加算 )  
                   - 1 M W ( 1 M 語分 / ¥ 2 2 , 0 0 0 加算 )  
                   - 8 M W ( 8 M 語分 / ¥ 2 7 , 0 0 0 加算 )

指定例    :    ADM - 6 1 3 P C 1 0 4 W - 8 K W

## 故障・修理・サポート方法について

- 【 1 】 納入後 1 年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品  
 に対して無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否  
 かは ( 過去の経験等に照らして ) 当社側で判定させていただきます。
- 【 2 】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰  
 する故障品に対しては実費にて修理をお願いします。
- 【 3 】 修理は宅配便によるセンドバックで行います。 なお、運賃は互いに発送する側が負担  
 するものとします。 ( 無償修理の場合も含む / 着払い不可。 )
- 【 4 】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社  
 宛に直接御相談・御用命ください。 その際は、客観情報の整理・評価を行うために必ず  
 F A X 等でレポートを御送付ください。 ( 解決速度が格段に上ります。 )  
 本書末尾の《 Q & A フォーム 》が便利です。

## 第1章．導 入

### 1-1. 本機の概要

本ボードは効率のよい高速ブロックI/O転送命令も利用できるFIFOメモリを搭載しており、指定された条件（トリガ・トリガ・チャンネル数）に従ってボード上で自動サンプリングを行う構造となっています。ソフト上では条件設定 スタート（トリガ待ち） ステータス取得・評価 データ読み込みだけで、動作タイミング等の制御を必要としません。このような制御構造はリアルタイム / マルチタスクのFALシステムやWINDOWS環境に最適です。

PC104標準（8bit）バス互換。

PCIインターフェース（当社製BIF/EXB-812K）でパソコンにも接続可能。

USBインターフェース（当社製USB/EXB-832K）でノートパソコンにも接続可能。

サンプリング点数を制限しないFIFOメモリ搭載。（標準1K語 / 最大8M語増設可能）

マルチ・クロック源：内部20MHz / 外部入力。（32bitカウンタで分周して使用）

マルチ・トリガ源：ソフト上の即トリガ / アナログ（エッジ・レベル・レンジ） / 外部入力。

クロック入出力機能により複数ボードの同期運転可能（マスタスレーブ動作）。

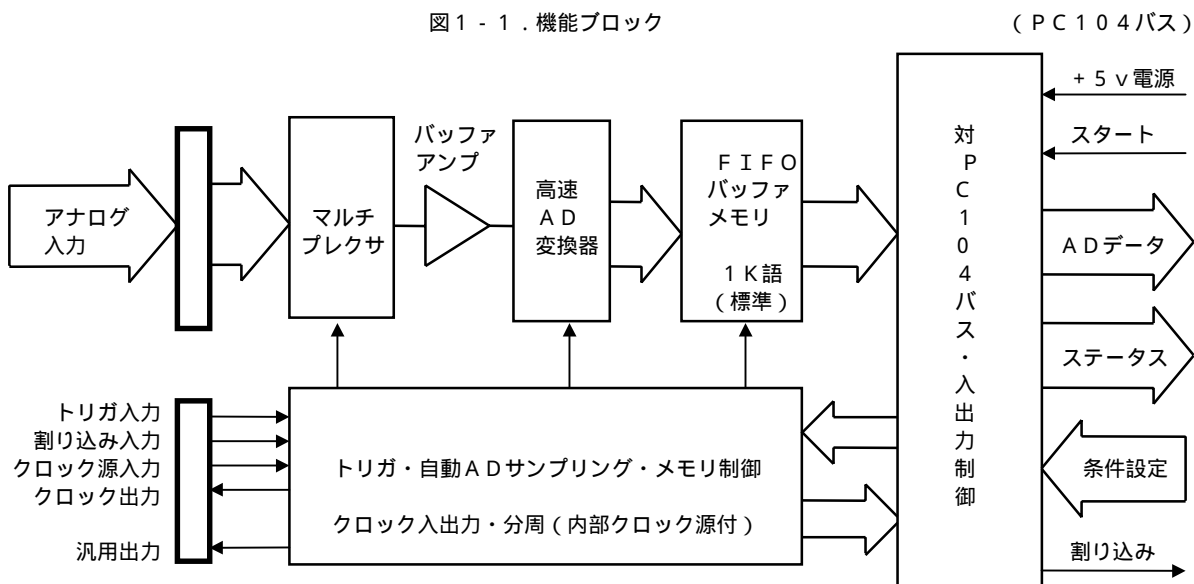
外付・同時サンプリング：オプション。（S/H制御信号付）

表1-1.

製品名	分解能 / 入力数	単chサンプル	複数chサンプル	特異機能
ADM-612PC104	12BIT / 8（差動無）ch	100KHz	(10×ch)μs	汎用・低価格
ADM-613PC104W	12BIT / 64（差動無）ch	100KHz	(10×ch)μs	多入力

【注意】ADM-613PC104Wはダブルサイズ（PC104標準の2倍）です。

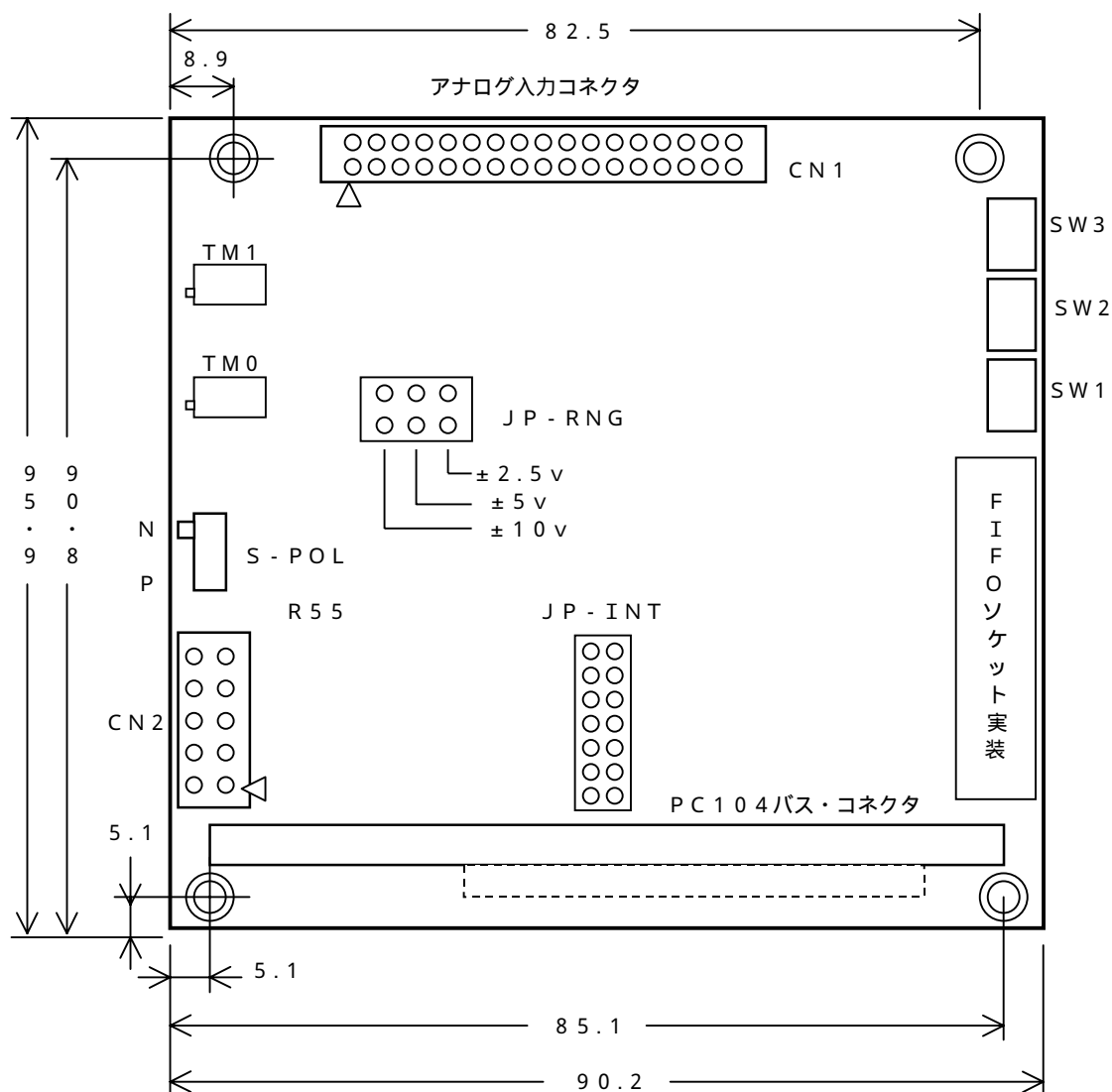
図1-1. 機能ブロック



【注】汎用入力：トリガ、割り込み、クロック源入力のうち制御に使用しない信号入力を転用可能。（TTLレベル）  
汎用出力：1ビットTTL（ラッチ）出力。

## 1-2. ボード上の設定

図1-2A. ADM-612 PC104 ボード上の部品配置



SW1 ~ SW3 : I/Oベースアドレス設定【出荷時：0, 1, D】

/ 1 - 3 項

JP-INT : 割り込み番号選択【出荷時：NC（非接続）】

/ 3 - 11 項

JP-RNG : アナログ入力範囲選択【出荷時：±10V】

/ 2 - 2 項

S-POL : 汎用デジタル出力極性選択【出荷時：N（負論理）】

/ 3 - 16 項

TM0 : オフセット調整トリマ。 — 再調整用

/ 5 - 3 項

TM1 : ゲイン調整トリマ。

CN1 : アナログ入力コネクタ（34ピンFRC） : 1番ピン

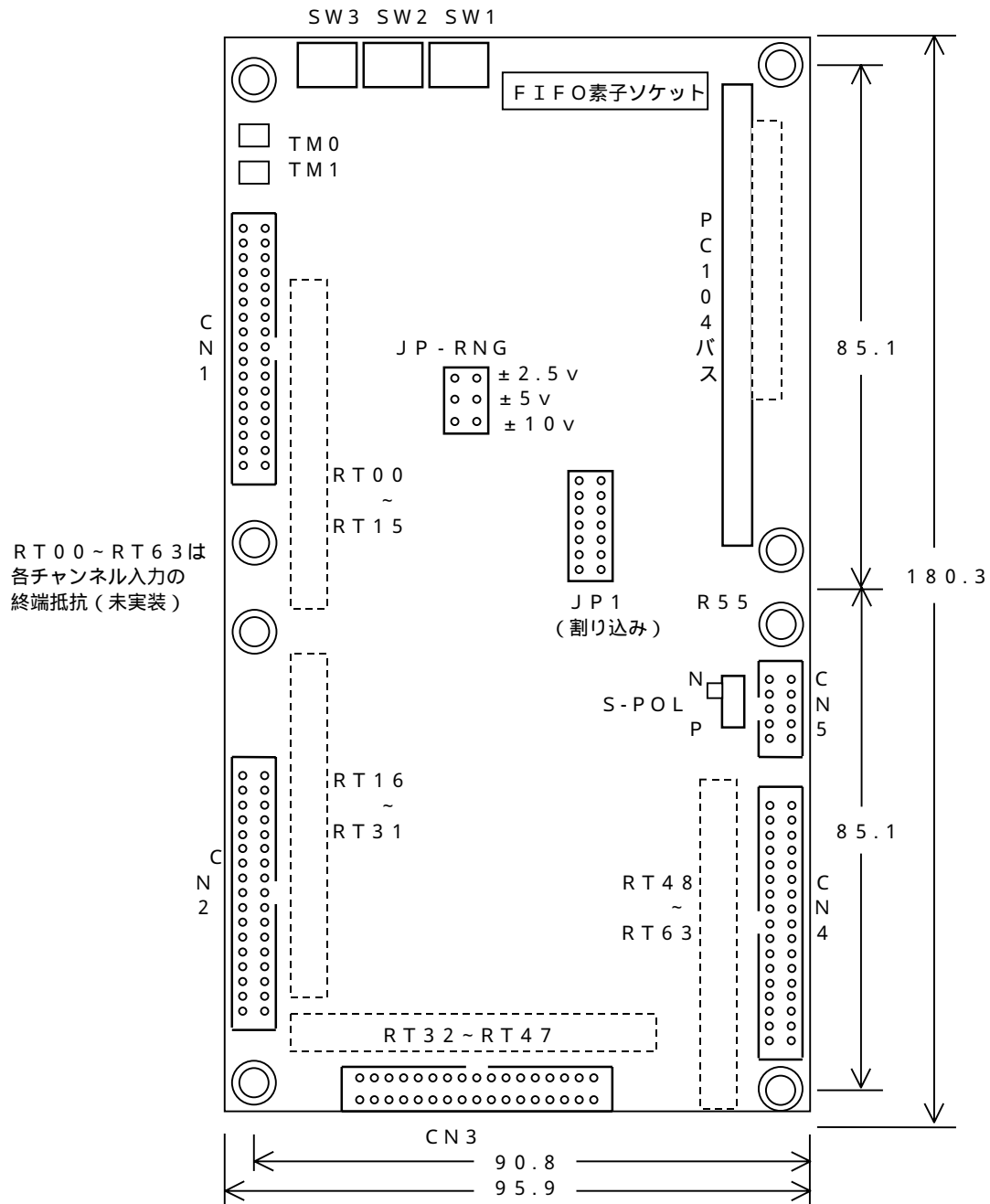
/ 1 - 4 項

CN2 : デジタル入出力コネクタ（10ピンFRC） : 1番ピン

/ 1 - 4 項



図1-2B. ADM-613PC104Wボード上の配置  
(本機の上半分が標準PC104ボードと重なる)



- |   |            |
|---|------------|
| SW1 ~ SW3 : I/Oベースアドレス設定【出荷時 : 0, 1, D】 | / 1 - 3 項  |
| JP - 1 : 割り込み番号選択【出荷時 : NC (非接続)】       | / 3 - 11 項 |
| JP - RNG : アナログ入力範囲選択【出荷時 : $\pm 10V$ 】 | / 2 - 2 項  |
| S - POL : 汎用デジタル出力極性選択【出荷時 : N (負論理)】   | / 3 - 16 項 |
| TM0 : オフセット調整トリマ。  再調整用                 | / 5 - 3 項  |
| TM1 : ゲイン調整トリマ。                         |            |
| CN5 : デジタル入出力コネクタ (10ピンFRC)             | / 1 - 4 項  |
| CN1 ~ CN4 : アナログ入力コネクタ (34ピンFRC)        | / 1 - 4 項  |

### 1-3. I/Oベースアドレスの設定

本機の制御・操作は全てPC104バス上のハードウェアI/O空間に割り付けられます。

I/Oアドレス割り付けは使用するCPU、周辺デバイスの都合で決定・設定してください。

参考までにIBM PC/AT互換機ではパソコン本体デバイスおよび重要な周辺機器・拡張ボードの使用するI/Oアドレスが000h～3FFhにマッピングされています。I/Oアドレス線は16ビット（AB15～AB0）ですが、全んだのIBM PC/AT互換機ではAB9～AB0のみをデコード（AB15～10を無視）しているため上位のアドレス空間1KBごとにイメージが生じることに御留意下さい。本機の出荷時設定は01D、この場合は01D0～01DFのアドレスを占有します。他のボードや周辺機器と重複しない値を御使用ください。

図1-3. I/Oベースアドレスの設定



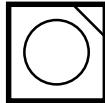
アドレス線	AB15 ~ AB12	AB11 ~ AB8	AB7 ~ AB4	AB3 ~ AB0
ディップ スイッチ SW1 ~ 3				ボード内で 複数のアドレスを使用 / 3 - 3項参照 /
出荷時設定	0	1	D	(0 ~ F)

表1-3. IBM PC/AT互換機システムの（代表的な）I/Oアドレスマップ

I/Oアドレス (hex)	本体デバイス、主要周辺機器	本機で運用の可否	他社の使用例、等
000 ~ 01F	DMAコントローラ1	x 不可	
020 ~ 03F	割り込みコントローラ1	x 不可	
040 ~ 05F	タイマ	x 不可	
060 ~ 06F	キーボード・コントローラ	x 不可	
070 ~ 07F	リアルタイム・クロック、NMI	x 不可	某社の本体システムで使用
080 ~ 09F	DMAページレジスタ	x 不可	
0A0 ~ 0BF	NMIマスクレジスタ	x 不可	
0C0 ~ 0DF		x 不可	DMAコントローラ2
0E0 ~ 0FF		x 不可	NDP
100 ~ 16F		【推奨】	
170 ~ 177	IDEコントローラ2	x 不可	
180 ~ 1EF		【推奨】	
1F0 ~ 1F7	IDEコントローラ1	x 不可	
200 ~ 20F	ゲームI/O	x 不可	
210 ~ 217	拡張ユニット	x 不可	
220 ~ 26F		【可能】	
278 ~ 27F	プリンタ2	x 不可	
280 ~ 2AF		【可能】	
2B0 ~ 2DF	EGA	x 不可	
2E1	GPIB	x 不可	
2E2 ~ 2E3	データアクイジション	x 不可	
2F8 ~ 2FF	シリアルポート2	x 不可	
300 ~ 31F	プロトタイプ・ボード	【可能】	他社の標準設定と競合し易い
320 ~ 32F	HDDコントローラ	x 不可	
360 ~ 36F	PCネットワーク	x 不可	
378 ~ 37F	プリンタ1	x 不可	
380 ~ 38F	SDLC, バイシンク2	x 不可	
390 ~ 393	クラスタ	x 不可	
3A0 ~ 3AF	バイシンク1	x 不可	
3B0 ~ 3BF	モノクロディスプレイ、プリンタ	x 不可	
3C0 ~ 3CF	EGAディスプレイ・コントローラ	x 不可	
3D0 ~ 3DF	CGAディスプレイ・コントローラ	x 不可	
3F0 ~ 3F7	FDDコントローラ	x 不可	
3F8 ~ 3FF	シリアルポート1	x 不可	

## 1-4. 入出力コネクタ・ピン接続

アナログ入力には34ピンFRCコネクタ、また補助デジタル出力1ビットを含む制御信号の入出力には10ピンFRCコネクタ（各々MIL標準規格2.54ピッチ）が使用されており、適合プラグ・ヘッダ（各々1個）が添付されています。

### アナログ入力コネクタ

ADM-612PC104はCN1のみ、  
ADM-613PC104WはCN1～CN4の4分割構成です。

適合プラグ・ヘッダ型式：HIF3BA-34DA-2.54R(11)  
基板側型式：HIF3FC-34PA-2.54DSA  
（各ヒロセ製、または互換品）

図1-4A. アナログ入力コネクタCN1ピン接続

機能	信号名	ピン番号		信号名	機能
デジタルグランド	DG	34	O O	33	S/H【注3】
アナロググランド	AG	32	O O	31	Ch15
"	"	30	O O	29	Ch14
"	"	28	O O	27	Ch13
"	"	26	O O	25	Ch12
"	"	24	O O	23	Ch11
"	"	22	O O	21	Ch10
"	"	20	O O	19	Ch9
"	"	18	O O	17	Ch8
"	"	16	O O	15	Ch7【注1】
"	"	14	O O	13	Ch6【注1】
"	"	12	O O	11	Ch5【注1】
"	"	10	O O	9	Ch4【注1】
"	"	8	O O	7	Ch3【注1】
"	"	6	O O	5	Ch2【注1】
"	"	4	O O	3	Ch1【注1】
"	"	2	O O	1	Ch0【注1】

【注1】 ADM-612PC104はCh0～7まで。

【注2】 アナログ・グランドAGとデジタル・グランドDGはボード内部で接続されています。

【注3】 外部サンプルホールド制御出力信号（TTLレベル）

【注4】 本図のピン配置は部品面を上から見たものです。

図1-4B. アナログ入力コネクタCN2ピン接続 (ADM-613PC104Wのみ)

機能	信号名	ピン番号		信号名	機能
デジタルグランド	D G	3 4	0 0	3 3	S / H【注3】
アナロググランド	A G	3 2	0 0	3 1	S / H信号出力
"	"	3 0	0 0	2 9	アナログ入力
"	"	2 8	0 0	2 7	"
"	"	2 6	0 0	2 5	"
"	"	2 4	0 0	2 3	"
"	"	2 2	0 0	2 1	"
"	"	2 0	0 0	1 9	"
"	"	1 8	0 0	1 7	"
"	"	1 6	0 0	1 5	"
"	"	1 4	0 0	1 3	"
"	"	1 2	0 0	1 1	"
"	"	1 0	0 0	9	"
"	"	8	0 0	7	"
"	"	6	0 0	5	"
"	"	4	0 0	3	"
"	"	2	0 0	1	"

【注2】アナログ・グランドAGとデジタル・グランドDGはボード内部で接続されています。

【注3】外部サンプルホールド制御出力信号 (TTLレベル)

【注4】本図のピン配置は部品面を上から見たものです。

図1-4C. アナログ入力コネクタCN3ピン接続 (ADM-613PC104Wのみ)

機能	信号名	ピン番号		信号名	機能
デジタルグランド	D G	3 4	0 0	3 3	S / H【注3】
アナロググランド	A G	3 2	0 0	3 1	S / H信号出力
"	"	3 0	0 0	2 9	アナログ入力
"	"	2 8	0 0	2 7	"
"	"	2 6	0 0	2 5	"
"	"	2 4	0 0	2 3	"
"	"	2 2	0 0	2 1	"
"	"	2 0	0 0	1 9	"
"	"	1 8	0 0	1 7	"
"	"	1 6	0 0	1 5	"
"	"	1 4	0 0	1 3	"
"	"	1 2	0 0	1 1	"
"	"	1 0	0 0	9	"
"	"	8	0 0	7	"
"	"	6	0 0	5	"
"	"	4	0 0	3	"
"	"	2	0 0	1	"

【注2】アナログ・グランドAGとデジタル・グランドDGはボード内部で接続されています。

【注3】外部サンプルホールド制御出力信号 (TTLレベル)

【注4】本図のピン配置は部品面を上から見たものです。

図1-4D. アナログ入力コネクタCN4ピン接続 (ADM-613PC104Wのみ)

機能	信号名	ピン番号		信号名	機能
デジタルグランド	D G	3 4	O O	3 3	S / H【注3】
アナロググランド	A G	3 2	O O	3 1	C h 6 3
"	"	3 0	O O	2 9	C h 6 2
"	"	2 8	O O	2 7	C h 6 1
"	"	2 6	O O	2 5	C h 6 0
"	"	2 4	O O	2 3	C h 5 9
"	"	2 2	O O	2 1	C h 5 8
"	"	2 0	O O	1 9	C h 5 7
"	"	1 8	O O	1 7	C h 5 6
"	"	1 6	O O	1 5	C h 5 5
"	"	1 4	O O	1 3	C h 5 4
"	"	1 2	O O	1 1	C h 5 3
"	"	1 0	O O	9	C h 5 2
"	"	8	O O	7	C h 5 1
"	"	6	O O	5	C h 5 0
"	"	4	O O	3	C h 4 9
"	"	2	O O	1	C h 4 8

【注2】アナログ・グランドA Gとデジタル・グランドD Gはボード内部で接続されています。

【注3】外部サンプルホールド制御出力信号 (TTLレベル)

【注4】本図のピン配置は部品面を上から見たものです。

## デジタル入出力コネクタ

ADM-612PC104ではCN2、  
ADM-613PC104WではCN5

適合プラグ・ヘッダ型式：HIF3BA-10DA-2.54R(11)

基板側型式：HIF3FC-10PA-2.54DSA

(各ヒロセ製、または互換品)

図1-4E. デジタル入出力コネクタ・ピン接続

機能	信号名	ピン番号		信号名	機能
デジタルグランド	D G	1 0	O O	9	GPQ - OUT
"	"	8	O O	7	CLK - OUT
"	"	6	O O	5	CLK - IN
"	"	4	O O	3	TRG - IN
"	"	2	O O	1	INT - IN

【注1】アナログ・グランドA Gとデジタル・グランドD Gはボード内部で接続されています。

【注2】各信号はTTLレベルです。(入力：10K プルアップ、入出力素子：74HCT244)

【注3】本図のピン配置は部品面を上から見たものです。

## 1-5. 入出力接続オプション

オプションの同時サンプルボードSHU-016 / 008 PC104W基板は標準PC104サイズの2倍幅で、同バスからは5V電源（0.7A）だけを供給されて動作します。

同時サンプル用タイミング信号（S/H）入力と同時サンプル出力は、添付のケーブルでADボード側のアナログ入力コネクタと接続して使用します。

SHU-016 PC104W： 外付16ch同時サンプルボード。

SHU-008 PC104W： 外付 8ch同時サンプルボード。

図1-5A. 同時サンプル・オプションの接続

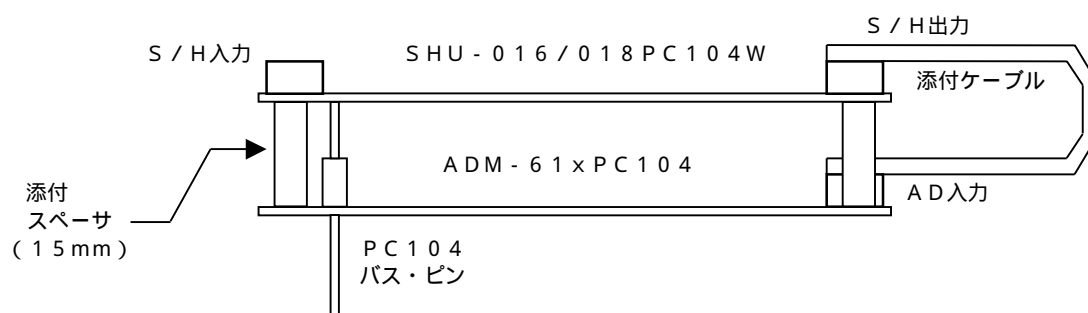
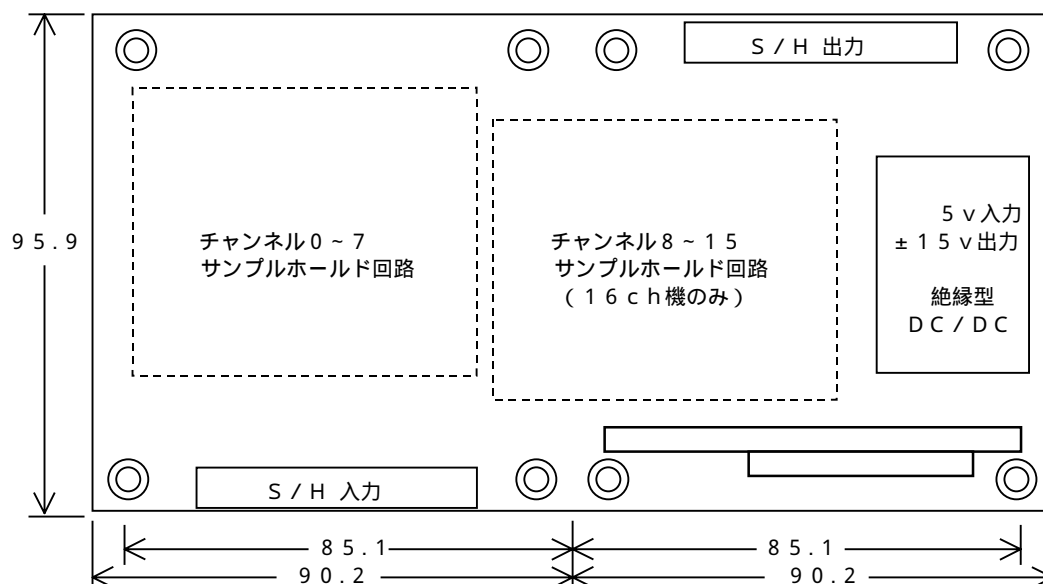


図1-5B. 同時サンプルボードSHU-008 / 016 PC104Wの平面外観



### 大容量（8M語）FIFOオプション

FIFOバッファメモリ（標準搭載：1K語）はソケット実装となっており、オプションでより容量の大きな8K語の市販素子に交換することができます。

また当社独自開発の1M語、または8M語FIFOメモリモジュールも同様に交換装着できますが、この場合に限っては部品の高さが約18mmとなるので、本ADボードより上に別のPC104ボードを直接装着することができません。

## 第2章. 信号入出力

### 2-1. アナログ入力回路

ADM-612 / 613PC104のアナログ入力範囲はボード上のジャンパJP-RNGで $\pm 10\text{V}$  /  $\pm 5\text{V}$  /  $\pm 2.5\text{V}$ から選択、また絶対最大定格は $\pm 35\text{V}$ です。

これ以上の電圧が印加される恐れがある場合は保護対策(2-3項)が必要です。

なお各チャンネル入力端は高インピーダンス(100M以上)ですから開放チャンネルにはスキャン順・前チャンネルの残像、または浮遊容量上の電荷が観測されます。これが気になるときは使用しない入力をグランドに接続、または終端抵抗を挿入するなどすればよいでしょう。

(ADM-613PC104はボード上に終端抵抗挿入用パターンがあります。)

図2-1A. アナログ入力～AD変換部の構造

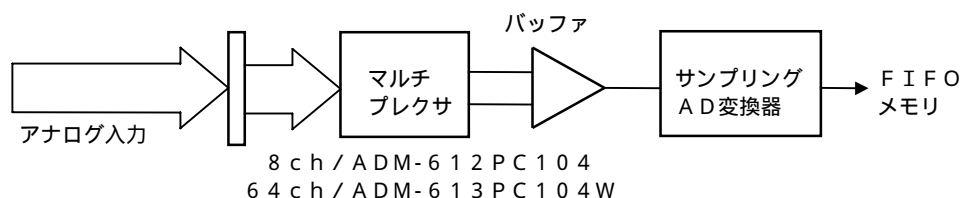
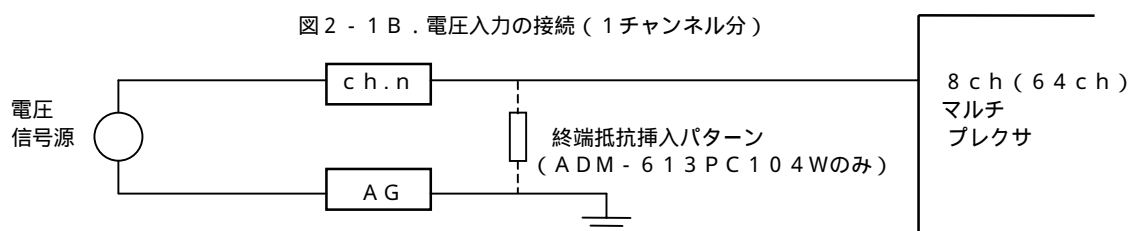
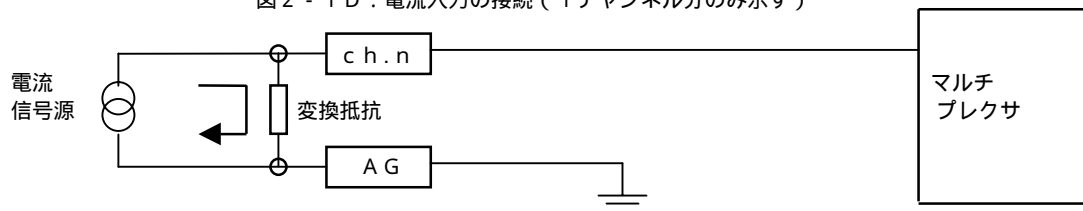


図2-1B. 電圧入力の接続(1チャンネル分)



電流入力： 信号源が4～20mA等の電流出力の場合は適当な値の電流・電圧変換抵抗で対処してください。(例：250Ωなら1～5Vに変換)

図2-1D. 電流入力の接続(1チャンネル分のみ示す)



## 2-2. アナログ入力範囲

### 12ビット伝達関数

《例》12ビットの分解能は“2の12乗分の1”ですから、±10V入力での変換データとアナログ入力電圧の関係は以下のようになります。

$$\begin{aligned} \text{分解能} \quad R_{es} &= V_{span} \div 4096 \quad [V / \text{digit}] \\ &= 20 \div 4096 \\ &= 4.88 \quad [mV / \text{digit}] \end{aligned}$$

$$\begin{aligned} \text{変換データ} \quad D_{ad} &= (V_{in} \div R_{es}) + 2048 \quad [\text{digit}] \\ &= (V_{in} \times 4096 \div V_{span}) + 2048 \\ &= (V_{in} \times 4096 \div 20) + 2048 \end{aligned}$$

$$\begin{aligned} \text{入力電圧} \quad V_{in} &= (D_{ad} - 2048) \times R_{es} \quad [V] \\ &= (D_{ad} - 2048) \times (V_{span} \div 4096) \\ &= (D_{ad} - 2048) \times (20 \div 4096) \\ &= (D_{ad} - 2048) \times 4.88 \quad [mV] \end{aligned}$$

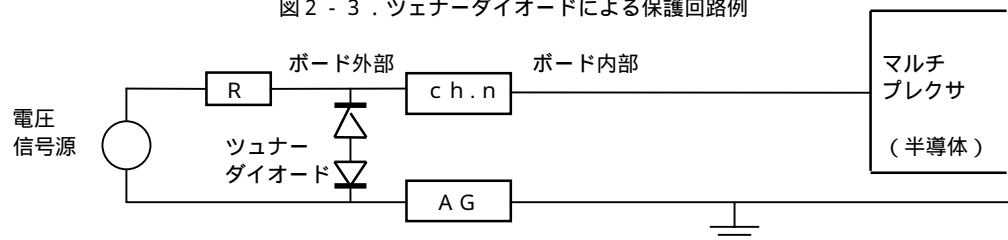
【注】Vspan は入力範囲の絶対幅です。



## 2-3. アナログ入力特性 (5ページ記載の仕様一覧を併せて参照)

- AD変換誤差 : 0.105%FS (最適調整範囲: 出荷時 $\pm 10$ v範囲のとき)、  
0.125%FS (最適調整範囲以外るとき)  
当社内の検査システムで製造時に全数・個別調整しています。  
当値は較正に使用した標準電圧発生器の誤差0.03%を含み、  
下記の内部雑音(CPUを含むシステム全体の雑音)は含みません。
- 温度ドリフト : ADボードの周囲温度が変化するとき、同一アナログ入力に対するAD変換データが変化する度合いを(対フルスケール比で)示します。  
typ. 25 ppm/
- 経年変化 : 経年変化のデータはありません。 十分な精度の維持が必要な用途では年に1~2回(夏・冬)標準電圧源などで校正し、必要な場合に再調整を行うとよいでしょう。 御希望により当社でも(有償で)行います。
- 内部雑音 : 本ボード内部の雑音は各チャンネルの入力端をアナロググランドAGに短絡してみれば見当がつきます。【typ.  $\pm 1$ LSB】です。  
<実際の組み込みシステムに依存、多くはCPUからのものです>
- 入力耐圧 : 本ボードのアナログ入力回路は $\pm 35$ vまでの過電圧に対して保護されていますが、これを超える入力電圧が印加されると構成素子故障の原因となります。  
入力電圧が(過渡的でも) $\pm 35$ vを超える恐れがある場合は入力保護対策が必要です。 但し、マルチプレクサ内の直列抵抗を含む保護回路は入力の浮遊容量と併せてローパスフィルタを構成するだけでなく漏れ電流による誤差の原因となりますから必要最小限とするべきでしょう。

図2-3. ツェナーダイオードによる保護回路例



計算例 : 15vツェナーダイオード(500mw定格)2本と直列抵抗Rを上図のように接続して、過電圧100v保護動作時のダイオード消費電力を150mw( $15\text{v} \times 5\text{mA}$ )とすると、

$$\text{直列抵抗 } R = (100 - 15) \div 5\text{mA} = 17\text{K}$$

$$\text{保護動作時の消費電力 } P = (100 - 15) \times 5\text{mA} = 425\text{mw}$$

【注1】直列抵抗Rには余裕をみて1W型を使用する。

【注2】ツェナーダイオードの漏れ電流(凡例=100nA)と直列抵抗Rによる電圧降下が正常動作時の誤差となる事に御注意ください。

## 2-4. 外部サンプルホールド制御

本機に使用されているA/D変換器はサンプルホールド機能を備えていますが、複数チャンネルを使用するときはアナログ入力端をマルチプレクサで（自動的に）切り替えてはサンプルホールド・A/D変換を繰り返す“逐次サンプル”方式です。【3-1項参照】 このため隣接スキャン順番チャンネル間のデータに時刻差が生じます。

オプションで外部に各チャンネル専用サンプルホールド回路を前置し、同時サンプリング動作を実現できるようなTTLレベルの制御信号（S/H）を用意しました。当信号を使用した動作の詳細は【3-17項】を参照してください。

図2-4A. 1回A/Dサンプリング・スキャン 対 S/H出力

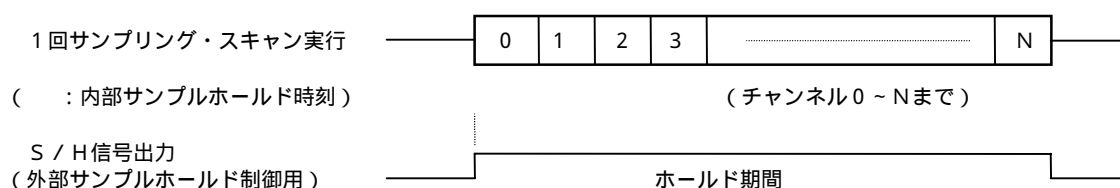
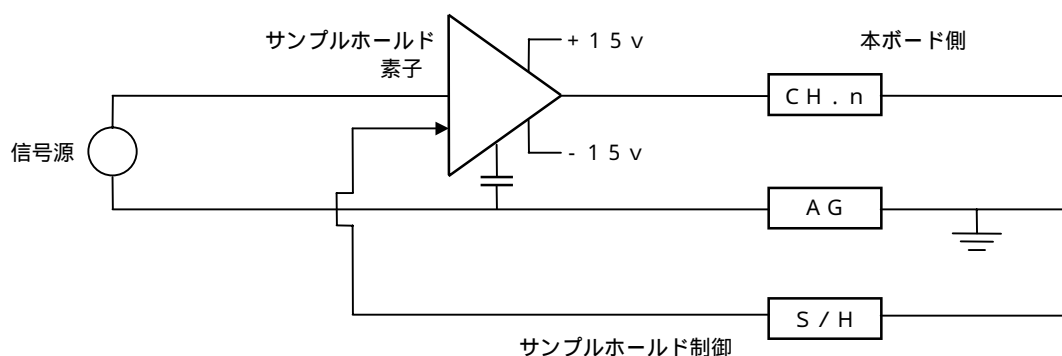


図2-4B. 外部サンプルホールド回路使用例（1チャンネル分のみ記す）



【注1】（上記例を含む）ユーザ設計の外部回路と一体化した性能は一切保証できません。

【注2】 外付けの同時サンプルホールド回路を接続・制御する場合はホールド・セトリング時間による誤差を最少化するためのソフト設定（3-17項）を行ってください。

## 2-5. デジタル入出力回路

外部クロック源入力、外部トリガ入力、外部割り込み入力は全てTTLレベル・10Kでプルアップされています。これら外部からの制御信号入力をソフト上で積極的に利用しない場合は汎用デジタル入力として使用することもできます。

本機のADデータは12ビットなので、データコード=オフセットバイナリの場合はADデータ(2バイト)中の最上位3ビットに汎用入力としての外部クロック源入力、外部トリガ入力、外部割り込み入力を割り当てることができます。(3-5項参照)

クロック出力、汎用1ビット・デジタル出力は74HCT244(CMOS素子)です。

【注1】 電源投入・ハードウェアリセット直後の汎用デジタル出力は“0”ですが、ソフト的な制御部リセット操作(3-4項)ではクリアされません。

【注2】 汎用デジタル出力の論理はボード上のスイッチS-POLにより任意に設定することができます。

出荷時は《N》側に設定=“負論理”で、電源投入・ハードウェアリセット直後の状態はHighレベル(出力=0)です。

なお《P》側=“正論理”モードでは(回路の性格から)電源投入・ハードウェアリセット時に約100msのHigh期間が発生するので御注意ください。

(3-16項参照)

2-5A. 全てのデジタル入力

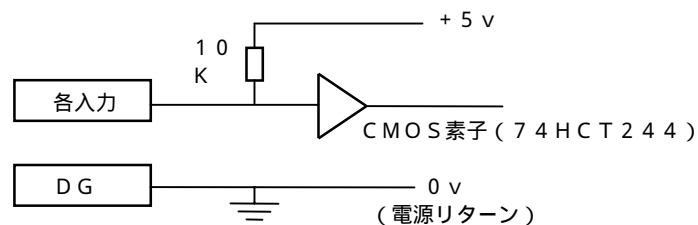
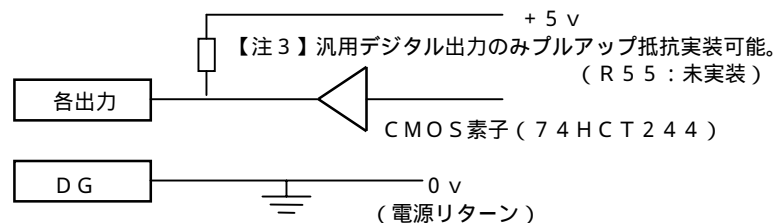


図2-5B. 全てのデジタル出力





## 第3章. 制御・操作

### 基本操作

本機の運転・操作は各機能が割付け設定された制御レジスタ（I/Oポート）に対する入出力命令により行います。

### 実用プログラムの作成

3-1項～3-3項で制御構造・手順を、また、3-4項以下で各制御レジスタの定義を理解してからサンプルプログラム（C）を御覧ください。

## 3-1. ADサンプリング動作・トリガ動作の様子

本機には2種類のサンプリング・モードがあります。

いずれの場合もサンプリングされた結果のADデータ（2バイト構成）は順番にFIFOバッファメモリに書き込まれて行きます。CPU側からはFIFOメモリの充満状態を示すフラグを参照しながらADデータを古い順に読み込みます。【3-2項参照】

FIFOメモリの充満状態を示すフラグは、割り込み要求発生に使用することもできます。

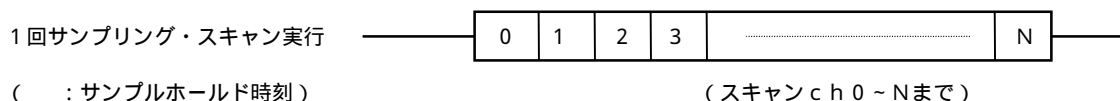
FIFOメモリ容量は標準1024語（8M語まで増設可能）ですから、CPU側の読み込み速度がボード自体のサンプリング速度に追いつかずオーバーフローを起こしたような場合でも、その時点でFIFOメモリ容量だけの有効データを確保することができます。

本ボードからの実用的なADデータ転送速度はブロック転送命令を持つCPUが専念したとして最高1MB/sec程度かと思われます。

但し表示や他の制御等を含む応用では時分割のマルチタスクとなり、（それらの）処理時間次第で実現可能な最高速度が決まります。

**マニュアルサンプリング：** 指定したアナログ入力チャンネル群に対して1回だけADサンプリング(&FIFOメモリに転送)を実行するものです。  
 (1回サンプリングスキャン) チャンネル0から指定最終チャンネルまで自動実行します。  
 アナログ入力端は順次・切り替えてAD変換するため各チャンネルの実行時刻に10 $\mu$ s(一定)の差が生じます。

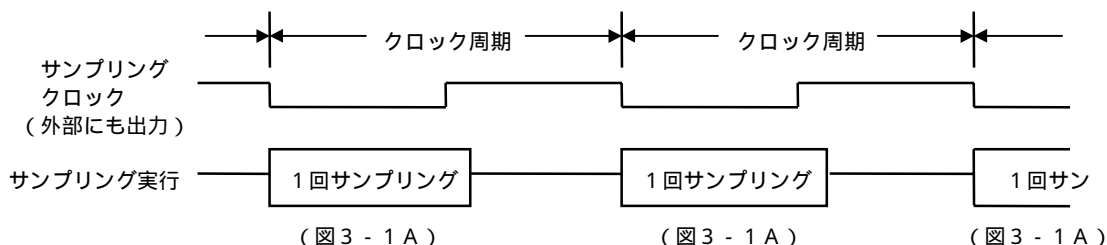
図3-1A. 1回ADサンプリング・スキャン

**操作手順**

- (1) 制御部リセット【3-4項】：制御部リセット
- (2) 動作条件設定【3-5項】：使用チャンネル数指定
- (3) 動作開始【3-12項】：マニュアル(1回)サンプリングスタート
- (4) ステータス検査【3-13項】：ステータスの読み込み/評価
- (5) ADデータ取得【3-14項】：ADデータを(FIFOから)読み出す

**連続(自動)サンプリング：** 指定したアナログ入力チャンネル群に対して指定したトリガ、クロックでADサンプリング(&FIFOメモリに転送)を連続自動的に実行するものです。

図3-1B. 連続サンプリング

**操作手順**

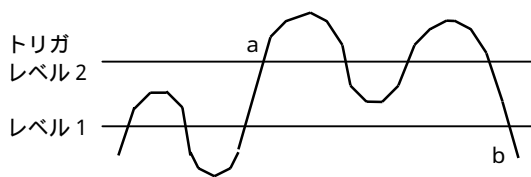
- (1) 制御部リセット【3-4項】：制御部リセット
- (2) 動作条件設定【3-5項】：使用チャンネル数指定
  - 【3-6項】：クロック源指定(内部/外部)
  - 【3-7項】：クロック源分周比(クロック値)の設定
  - 【3-8項】：トリガ後サンプリング点数の設定
  - 【3-9項】：内部(アナログ)トリガレベルの設定<任意>
  - 【3-10項】：トリガモードの設定
  - 【3-11項】：割り込み要求発生要因の設定<注><任意>
- (3) 動作開始【3-12項】：トリガモード設定<任意>
- (4) ステータス検査【3-13項】：ステータスの読み込み/評価
- (5) ADデータ取得【3-14項】：ADデータを(FIFOから)読み出す

最高サンプリング速度： 1回サンプリング・スキャン実行時間の逆数が本ボード自体の最高サンプリング周波数（可能なサンプリングクロック）となります。

1回サンプリング・スキャン実行時間は、  
（使用チャンネル数）× 10  $\mu$ s です。

トリガ機能： 本機のトリガは連続サンプリングを開始させるものです。【3-10項参照】ソフトトリガはプログラム上・任意のプロセスで実行できる即トリガ（即スタート）機能。外部トリガは外部TTL入力信号の指定エッジ、または指定アクティブ期間で機能します。内部（アナログ）トリガは指定条件とチャンネル0入力をボード上で比較して機能します。

図3-1C. アナログ・エッジトリガ

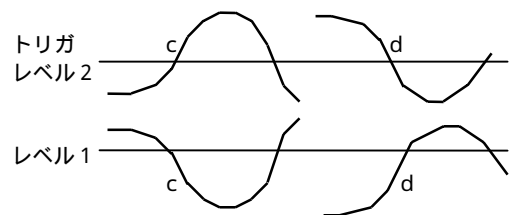


a : 正（+）エッジトリガ点  
b : 負（-）エッジトリガ点

エッジトリガの場合はノイズ等による逆極性誤動作が起らないようにヒステリシスを設定します。すなわち、ソフト上で指定したトリガレベル1, 2を連続して交差した点でトリガ発生となります。

レベルトリガの場合はレベル1と比較極性のみ設定、信号と大小だけを比較します。トリガ待ち開始 = 即トリガ発生もあり得ます。

図3-1D. アナログ・レンジトリガ



c : アウトレンジ・トリガ点  
d : インレンジ・トリガ点

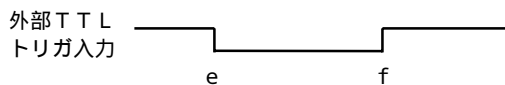
レンジトリガの場合は指定したトリガレベル1, 2の帯域から正負いずれかの方向に外れたC点でアウトレンジ・トリガ、逆に正負いずれかの方向から帯域内に入るD点でインレンジ・トリガ発生となります。

（別称：ウインドウレンジ・トリガ）

トリガレベル1, 2いずれかを指定極性で交差したときに発生するレンジ・エッジトリガもあります。

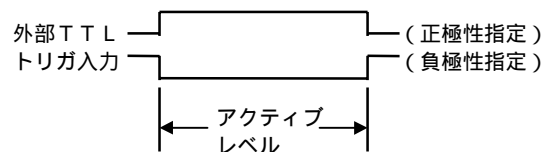
（別称：デュアルスロープ・トリガ）

図3-1E. デジタル・エッジトリガ



e : 負（-）エッジトリガ点  
f : 正（+）エッジトリガ点

図3-1F. デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

トリガ動作遅れ： 本ボード上で自動的に行われるトリガ検出から連続サンプリング開始までの遅れ時間はトリガの種類によって少しだけ異なります。

内部（アナログ）トリガ： 10  $\mu$ s

内部ソフトトリガ： 375 ns

外部デジタル入力トリガ： 405 ns

【注】上記の各値は内部クロック源を使用した場合です。

外部クロック源使用の場合は同クロック1周期分が加算されます。

## 3-2.F I F Oバッファメモリの構造・動作

### A Dデータ転送 ( F I F O C P U )

A D変換 ( サンプリグ ) されたデータは F I F Oメモリ内にあり、C P U側からの読み出しを待っています。ソフトでは F I F Oメモリの充満状態を示すフラグを監視、または割り込み等を設定してアプリケーションに適した転送方法を探ります。いずれの場合でも、F I F Oバッファメモリがサンプリグ実行とデータ転送のタイミング違いを吸収するのでマルチタスクシステムを容易に実現することができます。

ポーリング：【Not-Empty】フラグを監視してA DデータをI N命令で1語ずつ読み込む方法、【Not Half-Full】フラグを監視してA DデータをI N S B命令でF I F Oメモリ容量の半分単位で読み込むブロックI / O転送がある。

割り込み：【Not-Empty】【Not Half-Full】【1回サンプリグ・スキャン終了】【トリガ発生】【外部割り込み】等から選択した要因による割り込みでポーリングと同様のデータ転送を実行する。

### F I F Oメモリの動作

F I F O ( first in first out ) メモリは図3-2に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっている。

読み書きは非同期で同時も可能。すなわちデータの書き込み ( 入口 ) と読み出し ( 出口 ) は互いに相手側のタイミングに配慮する必要がない。

F I F Oメモリ内部は出口から読み出された分だけ入口側に空領域が増えるので満杯となる前にデータを読み出す動作であればサンプリグ点数を制限しない。なお満杯時に追加書き込みされようとしたデータは消失し【E R R : エラー】フラグがセット ( = 1 ) されるが、この後もF I F Oメモリ内のデータは有効に読み出すことができる。

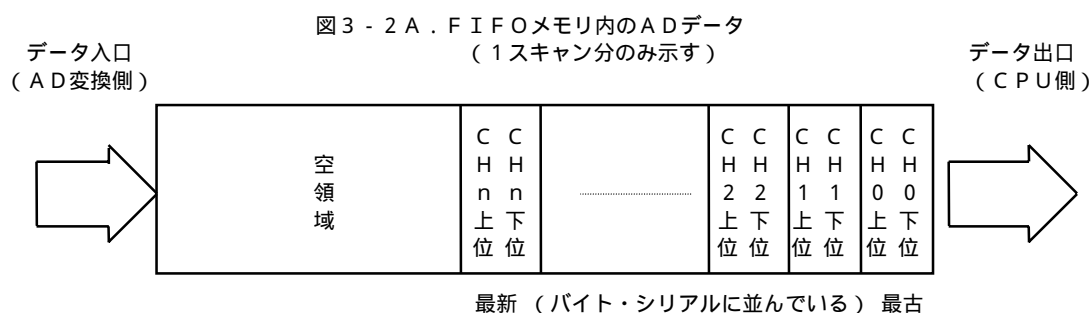


表3-2.F I F Oメモリ関連のステータス・フラグ

フラグ名	フラグの意味 ( 標準1024語のとき )
Not - E M P T Y	1語以上。 ( 格納データ数 1 )
Not - H A L F - F U L L	[ 容量の半分 ] 以下。 ( 格納データ数 512 )
D a t a L o s t	データロスト・エラー発生。 データ読み出しが遅いためメモリが溢れた。

【注】 オプションの1M語、または8M語F I F Oモジュールの“Not-HALF-FULL”フラグはモジュール上のスイッチ設定で充満データが512語、1K語、2K語、4K語、8K語、16K語、32K語、64K語に達しているか否かを示すものです。





### 3-3. 制御レジスタ I / O アドレス・マップ

表 3 - 3 に本ボード上の各制御レジスタ I / O アドレスを記します。

表中の【BASE】はボード上のスイッチで設定される I / O ベースアドレス値です。【1-3 項】

表 3 - 3 . 制御レジスタ I / O アドレス

I/O アドレス	IN/OUT	ポート / レジスタ名・機能	記載項
【BASE】+ F	IN	ボード制御部リセット	【3-4】
	OUT	外付・同時サンプルホールド制御（オプション）	【3-17】
【BASE】+ E	IN	外部制御入力信号モニタ / （汎用入力に転用可能）	【3-16】
	OUT	汎用デジタル（ラッチ）出力	
【BASE】+ D	IN	追加ステータス取得	【3-13】
	OUT	追加ステータス・クリア	
【BASE】+ C	IN	基本ステータス取得	
	OUT	基本ステータス・クリア	
【BASE】+ B	IN		未使用
	OUT		未使用
【BASE】+ A	IN	マニュアル（1回）サンプリング・スタート	【3-12】
	OUT	連続サンプリング・スタート / ストップ制御	
【BASE】+ 9	IN		未使用
	OUT	割り込み制御（要因設定）	【3-11】
【BASE】+ 8	IN		未使用
	OUT	トリガモード設定	【3-10】
【BASE】+ 7	IN		未使用
	OUT	アナログ・トリガレベル（2）設定	【3-9】
【BASE】+ 6	IN		未使用
	OUT	アナログ・トリガレベル（1）設定	【3-9】
【BASE】+ 5	IN	連続サンプリング回数カウンタ読み出し	【3-8】
	OUT	連続サンプリング回数カウンタ書き込み	
【BASE】+ 4	IN		未使用
	OUT	（クロック源）分周比設定	【3-7】
【BASE】+ 3	IN		未使用
	OUT	クロック源選択	【3-6】
【BASE】+ 2	IN		未使用
	OUT	データ構成	【3-5】
【BASE】+ 1	IN		未使用
	OUT		未使用
【BASE】+ 0	IN	A/D データ読み出し	【3-14】
	OUT	使用チャンネル数の設定	【3-5】

【読み（IN） / 書き（OUT）】は CPU 側から見た方向。

全てのポートは 1 バイト。

#### 制御操作の詳細

以下【3-4 項】～【3-16 項】に各制御レジスタの詳細を記します。  
各ポートアドレス値は表 3-3 を御参照ください。

### 3-4 . ボード・リセット、認識

```
r s t = i n p ( B A S E + 0 x F ) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ ( r s t ) は本ボードの I D です。 当操作は電源 O N、またはハードウェアリセットと同等の機能ですが、汎用デジタル ( ラッチ ) 出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

サンプリング中であれば、これを中止する。

F I F O メモリをクリアする。( 格納されていた読み出し待ち A D データは失われる )

なお、 クロック源 / 分周は無効となる。( 要再設定 )

汎用デジタル ( ラッチ ) 出力は変化せずに保持される。

表 3 - 4 . 【BASE + F H】入力ポートの構成

ビット	各ビットの機能・意味
B 7	A D M - 6 1 2 P C 1 0 4 のボード I D = 2 3 H A D M - 6 1 3 P C 1 0 4 W のボード I D = 2 4 H
B 6	
B 5	
B 4	
B 3	
B 2	
B 1	
B 0	

## 3-5. チャンネル数、データ構成の設定

## チャンネル数

```
output (BASE + 0x0, ech); /* ech: スキャン最終チャンネル番号 */
```

各回サンプリング・スキャンはチャンネル番号の若い順（先頭＝チャンネル0）に固定されており、当ポートで最終チャンネル番号echを指定します。従って使用されるチャンネル数は（ech + 1）となります。【注】サンプリングスキャン：3-1項 / 図3-1A. 参照。

表3-5A. 【BASE + 0H】出力ポートの構成

ビット	各ビットの機能・意味	指定方法	ビット時
B 7	未使用		0
B 6			0
B 5	スキャン最終チャンネル番号	0H ~ 7H (ADM-612PC104) 0H ~ 3FH (ADM-613PC104W)	0
B 4			0
B 3			0
B 2			0
B 1			0
B 0			0

## データ構成

```
output (BASE + 0x2, dst); /* dst: データ構成・読み出し順 */
```

表3-5B. 【BASE + 2H】出力ポートの構成

ビット	各ビットの機能・意味	“ = 1 ” のとき	“ = 0 ” のとき	ビット時
B 7				0
B 6				0
B 5				0
B 4	【注3】データ読み出し順	上位が先	下位が先	0
B 3				0
B 2				0
B 1	【注2】ADデータ・コード	2の補数	Offset Binary	0
B 0	【注1】ADデータにデジタル入力付加	付加する。	付加しない。	0

【注1】12ビットADデータ（2バイト）の余り最上位3ビットに汎用入力としての割り込み入力、外部トリガ入力、および外部クロック源入力を付加・割り当てるか否かを指定する。

【注2】2の補数を選択したときは“ADデータにデジタル入力付加”はできない。

【注3】ADデータ、およびサンプリング回数カウンタの読み出し順を指定する。

### 3-6 . クロック源の選択

```
outp (BASE+0x3, cks); /* cks : クロック源選択 */
```

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的の連続サンプリング・クロックとなります。例えば外部クロック源 (CLK-IN) 入力を選択し、分周比を 1 / 1 に設定すれば、外部イベントに同期したサンプリングとなります。

表 3 - 6 A . 【BASE + 3 H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	外部クロック源 (使用時) の有効極性指定	( + )	( - )	0
B 6 B 5	未使用			0 0
B 4	クロック源選択 (外部 / 内部)	外部	内部	0
B 3 B 2 B 1 B 0	未使用			

### 3-7 . (クロック源) 分周比の設定 ..... 連続サンプリングクロック値の設定。

```
outp (BASE+0x4, div0); /* div0 = 分周比の最下位バイト */
outp (BASE+0x4, div1); /* div1 = 分周比の中下位バイト */
outp (BASE+0x4, div2); /* div2 = 分周比の中上位バイト */
outp (BASE+0x4, div3); /* div3 = 分周比の最上位バイト */
```

クロック源の分周比データを (BASE + 4 H ポートに) 書き込みます。

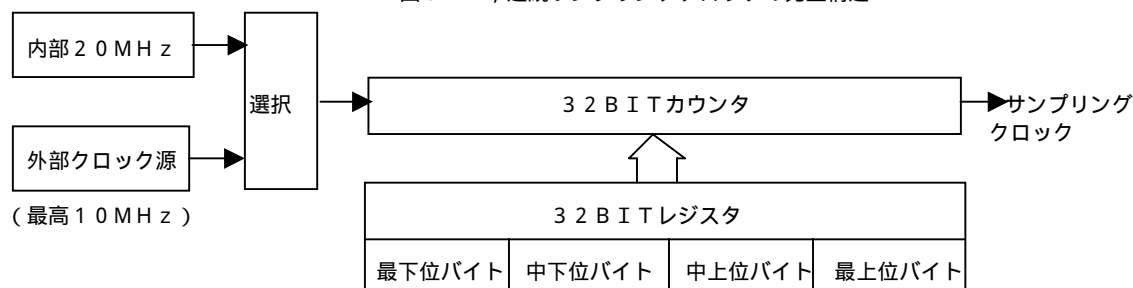
必ず 4 バイト続けて書き込んで下さい。

分周は 32 BIT バイナリカウンタで行われます。

表 3 - 7 . 【BASE + 4 H】出力ポートの構成

ビット	分周比：最下位	分周比：中下位	分周比：中上位	分周比：最上位	リセット時
B 7	(div0) b7	(div1) b15	(div2) b23	(div3) b31	クリア される
B 6	( " ) b6	( " ) b14	( " ) b22	( " ) b30	
B 5	( " ) b5	( " ) b13	( " ) b21	( " ) b29	
B 4	( " ) b4	( " ) b12	( " ) b20	( " ) b28	
B 3	( " ) b3	( " ) b11	( " ) b19	( " ) b27	
B 2	( " ) b2	( " ) b10	( " ) b18	( " ) b26	
B 1	( " ) b1	( " ) b9	( " ) b17	( " ) b25	
B 0	( " ) b0	( " ) b8	( " ) b16	( " ) b24	

図 3 - 7 , 連続サンプリングクロックの発生構造



### 3-8. 連続サンプリング回数カウンタの読み書き / 無限サンプリングモードでは不要 /

有限サンプリング動作モード時の連続サンプリング実行回数（クロック数）を設定、また連続サンプリングの実行中は実行済み回数を取得することができます。

総データ数 = (使用チャンネル数) × (連続サンプリング実行回数)

#### 設定

```
o u t p ( BASE + 0x5 , n u m 0 ) ; /* n u m 0 = 回数値の最下位バイト */
o u t p ( BASE + 0x5 , n u m 1 ) ; /* n u m 1 = 回数値の中下位バイト */
o u t p ( BASE + 0x5 , n u m 2 ) ; /* n u m 2 = 回数値の中上位バイト */
o u t p ( BASE + 0x5 , n u m 3 ) ; /* n u m 3 = 回数値の最上位バイト */
```

連続サンプリング回数データを (BASE + 0x5 アドレスに) 書き込みます。

必ず 4 バイト続けて書き込んで下さい。

計数は 32 ビットのバイナリ・ダウンカウンタ 1 本で行われ、計数値が 0 に達すると連続サンプリングが停止します。【注】無限モードのときの当“回数”設定値は無視される。

図 3 - 8 . 連続サンプリング回数カウンタ

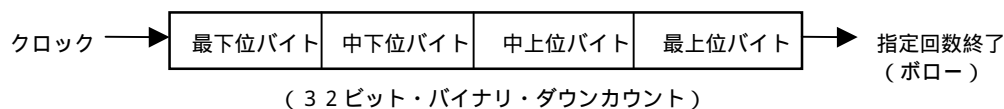


表 3 - 8 A . 【BASE + 5 H】出力ポートの構成

ビット	回数値：最下位	回数値：中下位	回数値：中上位	回数値：最上位	リセット時
B 7	( n u m 0 ) b 7	( n u m 1 ) b 1 5	( n u m 2 ) b 2 3	( n u m 3 ) b 3 1	クリア される
B 6	( " ) b 6	( " ) b 1 4	( " ) b 2 2	( " ) b 3 0	
B 5	( " ) b 5	( " ) b 1 3	( " ) b 2 1	( " ) b 2 9	
B 4	( " ) b 4	( " ) b 1 2	( " ) b 2 0	( " ) b 2 8	
B 3	( " ) b 3	( " ) b 1 1	( " ) b 1 9	( " ) b 2 7	
B 2	( " ) b 2	( " ) b 1 0	( " ) b 1 8	( " ) b 2 6	
B 1	( " ) b 1	( " ) b 9	( " ) b 1 7	( " ) b 2 5	
B 0	( " ) b 0	( " ) b 8	( " ) b 1 6	( " ) b 2 4	

**取得**

```

num0 = inp ( BASE + 0x5 ) ; /* num0 = 残り回数値 ( 最下位バイト ) */
num1 = inp ( BASE + 0x5 ) ; /* num1 = 残り回数値 ( 中下位バイト ) */
num2 = inp ( BASE + 0x5 ) ; /* num2 = 残り回数値 ( 中上位バイト ) */
num3 = inp ( BASE + 0x5 ) ; /* num3 = 残り回数値 ( 最上位バイト ) */

```

現在までの連続サンプリング実行済み回数データを読み出します。

必ず4バイト続けて読み込んで下さい。最初の 最下位バイトの読み込み操作時に上位バイトも同時ラッチされるので全バイトデータ間に時刻差はありません。

計数は32ビットのバイナリ・ダウンカウンタ1本で行われるので、取得値は残り回数を意味します。

表3 - 8 B . 【BASE + 5 H】入力ポートの構成

ビット	残り回数値：最下位	残り回数値：中下位	残り回数値：中上位	残り回数値：最上位	リセット時
B 7	( num0 ) b 7	( num1 ) b 1 5	( num2 ) b 2 3	( num3 ) b 3 1	クリア される
B 6	( " ) b 6	( " ) b 1 4	( " ) b 2 2	( " ) b 3 0	
B 5	( " ) b 5	( " ) b 1 3	( " ) b 2 1	( " ) b 2 9	
B 4	( " ) b 4	( " ) b 1 2	( " ) b 2 0	( " ) b 2 8	
B 3	( " ) b 3	( " ) b 1 1	( " ) b 1 9	( " ) b 2 7	
B 2	( " ) b 2	( " ) b 1 0	( " ) b 1 8	( " ) b 2 6	
B 1	( " ) b 1	( " ) b 9	( " ) b 1 7	( " ) b 2 5	
B 0	( " ) b 0	( " ) b 8	( " ) b 1 6	( " ) b 2 4	

【注】 当データの読み出し順は反転させることができます。

3 - 5 項で “ データ構成 ” 設定ポートのビット B 4 = 1 とすれば、当カウンタのデータ読み出し順は 最上位、 中上位バイト、 中下位バイト、 最下位バイトの順になります。

### 3-9 . 内部 ( アナログ ) トリガレベルの設定

o u t p ( BASE + 0x6 , T G L 1 ) ; /\* T G L 1 = トリガレベル・データ 1 \*/  
o u t p ( BASE + 0x7 , T G L 2 ) ; /\* T G L 2 = トリガレベル・データ 2 \*/

アナログ・トリガレベル指定データを ( BASE + 6H、BASE + 7H ポートに ) 書き込みます。

必ず 2 データ続けて書き込んで下さい。

レベルトリガ・モードのときは ( 表 3 - 9 A のように ) T G L 2 は無効ですが、必ず形式的なダミーデータを書き込んでください。

本機が ( 内部 = アナログ ) トリガ待ち状態の時はチャンネル 0 入力が一定周期【注】で連続的に監視サンプリングされ、A D 変換値の上位 8 B I T が当トリガレベル・データと比較されています。トリガが認識されると ( 3 - 7 項で説明した ) 分周動作が開始されます。すなわち、連続サンプリングのスタートです。【注】一定周期：約 10  $\mu$  s。

ここで指定するトリガレベル・データ T G L 1、および T G L 2 は ( 3 - 10 項で設定される ) トリガモードにより表 3 - 9 A の意味を持ちます。

表 3 - 9 A . トリガモード v s トリガレベル・データ

トリガレベル・データ	エッジトリガの場合	レベルトリガの場合	レンジトリガの場合
T G L 1	トリガ基準レベル	トリガ基準レベル	トリガレベル下限値
T G L 2	ヒステリシス・レベル	ダミーデータ	トリガレベル上限値

#### トリガレベル・データ T G L の算出

バイポーラ入力範囲なので：  $T G L = V_{tg} \div ( V_{span} \div 256 ) + 128 \text{ digit}$

なお、 $V_{tg}$  : トリガレベル電圧

$V_{span}$  : スパン ( 入力範囲の絶対幅 = 20 v )



### 内部（アナログ）トリガの各種形態

**エッジトリガ：**（トリガチャンネル＝スキャン先頭チャンネル）アナログ入力信号が指定トリガレベルを指定方向（極性）で交差したときに発生します。但し、本ボードでは信号に重畳した雑音による誤トリガを防ぐためにヒステリシスレベルを設定し、トリガ基準レベル（TGL1）とヒステリシス・レベル（TGL2）を連続して交差した時点でトリガを発生させます。

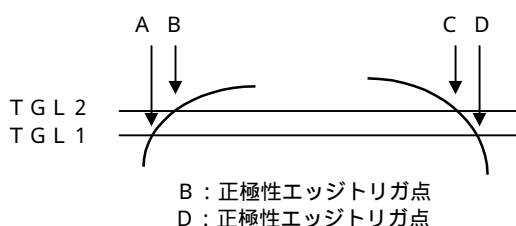
《補足》

トリガチャンネル入力信号に雑音に乗っており、エッジトリガ・モードでヒステリシスが無いときはトリガ基準レベル（TGL1）付近で誤トリガ発生が考えられます。

すなわち、正極性のエッジトリガを指定しているときはD点付近、また負極性のエッジトリガを指定しているときはA点付近で雑音による誤トリガ発生の可能性があります。

ヒステリシス・レベル（TGL2）の設定により正しいトリガ点でのみ動作します。

図3-9A. ヒステリシスによる正しいトリガ認識



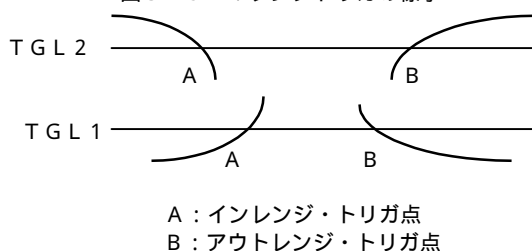
**レベルトリガ：**トリガチャンネル入力信号がトリガ基準レベル（TGL1）の大きさを単純に比較します。正極性を指定した場合はアナログ入力信号がトリガ基準レベルより大きい時、負極性を指定した場合はアナログ入力信号がトリガ基準レベルより小さい時にトリガ発生となります。したがって、トリガ待ちになった瞬間にトリガ発生となる場合もあります。

**レンジトリガ：**トリガチャンネル入力信号がトリガレベル上限値（TGL2）と同下限値（TGL1）で指定する帯域から上下いずれかの方向に外れた時がアウトレンジ・トリガ、逆に上下いずれかの方向から指定領域に入った時がインレンジ・トリガ（負極性のレンジトリガ）です。

《補足》

レンジトリガはレベル動作が一般的ですが、別名 デュアルスロープ・トリガ と称するエッジトリガも可能です。その場合のヒステリシスはトリガレベル上下限値の外側、トリガレベル分解能1単位に固定されています。

図3-9B. レンジトリガの様子



### 外部（デジタル）トリガの各種形態

図3-9C. デジタル・エッジトリガ

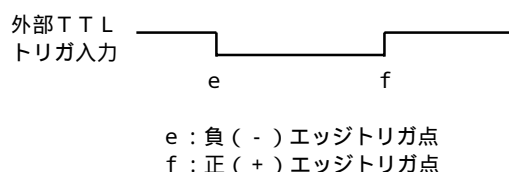
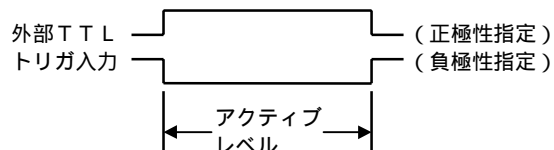


図3-9D. デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

### 3-10. トリガモード設定

o u t p (BASE+0x8, t g m) ; /\* t g m = トリガモード設定データ \*/

連続サンプリング動作のトリガモード・データを書き込みます。

表 3-10A . 【BASE + 8 H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	即トリガ制御 (ソフトトリガ)	許可	禁止	0
B 6	外部トリガ入力信号制御	許可	禁止	0
B 5	内部 (アナログ) トリガ制御	許可	禁止	0
B 4	トリガ極性選択	+ ( )	- ( )	0
B 3	トリガ認識モード選択 2	エッジ	レベル	0
B 2	トリガ認識モード選択 1	レンジ	レンジ以外	0
B 1	未使用			0
B 0	未使用			0

連続サンプリングは同スタート操作【3-12項】後のトリガ発生により始まり、  
(1) 指定回数のサンプリング終了 (有限モード)、または (2) ストップ操作により停止します。  
複数のトリガを許可しておくと最初に発生したトリガ要素で連続サンプリングが始まります

プログラム上任意のプロセスから即トリガをかけるには、連続サンプリングスタート操作の後、**ソフトトリガ**制御ビット B 7 をセット (0 → 1) します。また、当 B 7 ビットをセットした状態で連続サンプリングスタート操作を行っても (その時点で) 即トリガとなります。

特殊なトリガ形態として**帯域サンプリング** (デジタル・レベルトリガ) 動作があります。  
これは外部トリガ入力信号の指定レベル (極性) 期間だけ連続サンプリングを行います。

/ 図 3-9D、図 3-10C 参照 /

表 3-10B . トリガモード設定ビットの組み合わせ

選択されるトリガ名		B7	B6	B5	B4	B3	B2	備考 / 一般的な別呼称
	ソフトトリガ (即トリガ)	1	x	x	x	x	x	即トリガ (即スタート)
デジタル	エッジ・トリガ (+)	0	1		1	1	0	
	エッジ・トリガ (-)	0	1		0	1	0	
	レベル・トリガ (+)	0	1		1	0	0	帯域サンプリング (+)
	レベル・トリガ (-)	0	1		0	0	0	帯域サンプリング (-)
アナログ	エッジ・トリガ (+)	0		1	1	1	0	
	エッジ・トリガ (-)	0		1	0	1	0	
	レベル・トリガ (+)	0		1	1	0	0	
	レベル・トリガ (-)	0		1	0	0	0	
	レベル・レンジトリガ (+)	0		1	1	0	1	アウトレンジ・トリガ
	レベル・レンジトリガ (-)	0		1	0	0	1	インレンジ・トリガ
	エッジ・レンジトリガ (+)	0		1	1	1	1	デュアルスロープ・トリガ (+)
	エッジ・レンジトリガ (-)	0		1	0	1	1	デュアルスロープ・トリガ (-)

: 当ビットをセット (= 1) するとアナログトリガとのOR動作となる。

: 当ビットをセット (= 1) するとデジタルトリガとのOR動作となる。

x : 無視

#### トリガ遅れ

トリガ条件が成立したとき、本ボードがこれを検出して実際に連続サンプリングを開始するまでの遅れ時間はトリガの種類によって少し異なります。  
その遅れ時間は、

内部 (アナログ) トリガ: 10  $\mu$ s

ソフトトリガ: 375 ns、

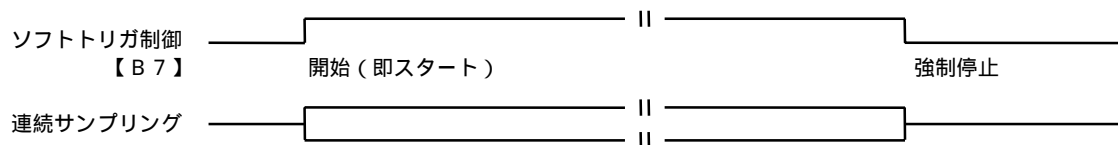
外部 (デジタル) トリガ: 405 ns。

【注】上記の各値は内部クロック源を使用した場合です。

外部クロック源使用の場合は同クロック 1 周期分が加算されます。

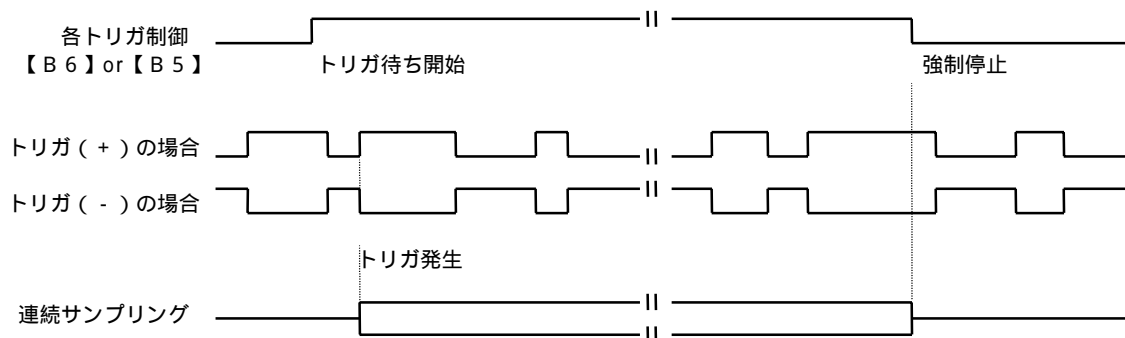
図3-10A, B, Cに一般的なポストトリガ・サンプリング動作の様子を示します。  
(いずれもサンプリング動作開始操作 / 3-12項 / 以後のシーケンス)

図3-10A.ソフトトリガによる連続サンプリング実行



スタート操作 (3-12項) の後、ソフトトリガ発生 (B7 = 1) すると連続サンプリングが開始され、指定回数サンプリング終了、またはストップ操作 (3-12項) することにより停止する。

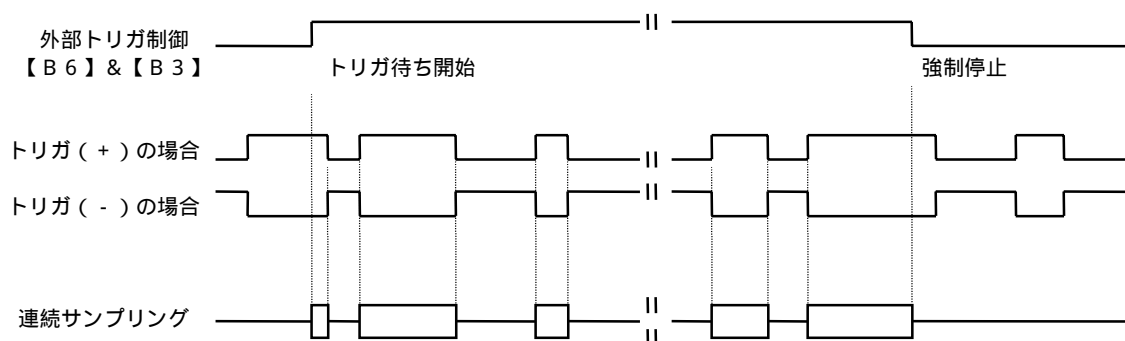
図3-10B. (内部または外部) エッジトリガによる連続サンプリング実行



スタート操作 (3-12項) と トリガ許可 (【B6 = 1】 or 【B5 = 1】 で 【B3 = 1】) の後、最初の有効トリガエッジで連続サンプリングが開始され、指定回数サンプリング終了、またはストップ操作 (3-12項) により停止する。

追伸： 内部 (アナログ) レベルトリガの場合は トリガ許可時点でトリガレベル条件を満たしていれば即トリガ = 連続サンプリングが開始、条件を満たしていなければエッジトリガ待ちとなる。

図3-10C. 外部レベルトリガによる連続サンプリング実行 (帯域サンプリング)



スタート操作 (3-12項) 後、外部レベルトリガ許可期間 (【B6 = 1】 & 【B3 = 0】) 内の外部トリガ入力信号・指定トリガレベル期間中に限り連続サンプリングを行う。指定回数サンプリング終了、またはストップ操作 (3-12項) により停止する。

### 3-11. 割り込み制御

```
outp (BASE+0x9, irm); /* inm: 割り込み要求の発生要因制御 */
```

本ボードからCPUボード側の割り込みコントローラに発信する割り込み要求発生要因を制御します。複数の要因を許可するとOR動作となります。なお本ボードが割り込みを使用するにはボード上のジャンパ設定をしておく必要があります。

【割り込みを使用しない場合は操作不要です。/読み飛ばしてください。】

表3-11A. 【BASE+9H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	外部割り込み信号 (INT-IN) の有効極性指定	( + )	( - )	0
B 6	(FIFO) HALF-FULL 状態に変化 による割り込み	許可	禁止	0
B 5	(FIFO) Not-EMPTY 状態に変化 による割り込み	許可	禁止	0
B 4	(指定回数の) サンプリング終了 による割り込み	許可	禁止	0
B 3	1回サンプリング・スキャン終了 による割り込み	許可	禁止	0
B 2	トリガ発生 による割り込み	許可	禁止	0
B 1	外部割り込み信号 (INT-IN) による割り込み	許可	禁止	0
B 0	連続サンプリング・クロック による割り込み	許可	禁止	0

#### 《 補助説明 》

- B 7 : 外部割り込み信号 (INT-IN) が許可された場合の信号エッジ極性 ( ) 指定。
- B 6 : FIFOメモリ内の待機データが半分 (標準 1K 語のとき 512) を超えた状態が発生したタイミングによる割り込み制御。
- B 5 : FIFOメモリ内が空から 1 データ入ったタイミングによる割り込み制御。
- B 3 : 各回サンプリング・スキャン終了タイミングによる割り込み制御。
- B 0 : 指定クロックの有効エッジによる割り込み制御。  
(各回サンプリング・スキャン開始タイミングによる割り込み制御。)

【注】 各回サンプリング・スキャン終了タイミングによる割り込みを使用している場合で、FIFOメモリ中のデータ全てを読み出さないうちに次のサンプリング・スキャンが開始されデータがFIFOメモリに書き込まれたときは、このサンプリング・スキャン終了タイミングによる新たな割り込み要求は発生せず、割り込みオーバーラン・エラーフラグ (3-13項) がセットされます。/連続サンプリング動作は続行される。/  
その後、FIFOメモリ内のデータ全てを読み出してしまえば、以後のサンプリングスキャン終了タイミングでは新たな割り込み要求が発生します。

#### 《 追伸 》

- 割り込みを使用するには、
- 割り込み処理サブルーチン (機械語) を用意する。
  - 本ボードの割り込みレベルをジャンパ設定する。(1-2項)
  - CPUボード側の割り込みコントローラをソフト設定する。
  - 本ボードの割り込み発生要因を許可する。(本項)

以上により割り込みが受け付けられると指定ベクタ (割り込み処理サブルーチン) にジャンプします。

## 本ボードの使用できる割り込みレベル

PC104バスの割り込みレベル／本ボードで使用の可否を表3-11Bに記します。 使用するときはジャンパJP-INT(JP1)で設定します。

表3-11B. PC104バスの割り込みレベル、使用例

割り込みレベル	本ボードで使用の可否	DOS/V互換機での典型的な割り当て例
IRQ 0	×	タイマ
IRQ 1	×	キーボード
IRQ 2	×	(コントローラ2からカスケード)
IRQ 3	(ジャンパ接続可能)	シリアルポート2
IRQ 4	(ジャンパ接続可能)	シリアルポート1 (本体標準RS-232C)
IRQ 5	(ジャンパ接続可能)	パラレルポート2
IRQ 6	(ジャンパ接続可能)	フロッピーディスク・コントローラ (本体標準)
IRQ 7	(ジャンパ接続可能)	パラレルポート1 (本体標準プリンタ)
IRQ 9	(ジャンパ接続可能)	ソフトウェア割り込み
IRQ 10 (A)	×	予約
IRQ 11 (B)	×	予約
IRQ 12 (C)	×	予約
IRQ 13 (D)	×	数値演算コプロセッサ
IRQ 14 (E)	×	ハードディスク・コントローラ (本体標準)
IRQ 15 (F)	×	予約

### 3-12. サンプリング動作のスタート/ストップ制御

クロック同期・動作の制御（連続サンプリングのスタート/ストップ）

o u t p (BASE + 0xA, s t r) ; /\* str: クロック同期動作の制御データ \*/

: 各種クロック同期動作モードの中から 1 モードを選択・スタートさせます。  
これにより指定された動作モードで動作開始&トリガ待ち状態になります。  
当操作実行前にトリガモード【3-10 項】を設定しておきます。

: 動作を強制停止させます。

: 指定回数の連続動作終了（カウントアップ）により自動停止した場合、  
再度スタートさせるときは  
一旦、ストップ操作してからあらためてセットします。

表 3 - 1 2 A . 【BASE + A H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	クロック同期動作制御データ	クロックのみ動作	連続サンプリング動作	0
B 6 ~ B 2	未使用			0 ~ 0
B 1	有限 / 無限モード選択	有限回数動作	無限回数動作	0
B 0	スタート / ストップ制御	スタート（トリガ待ち）	強制ストップ	0

表 3 - 1 2 B . クロック同期動作モード選択データ

B 7	B 1	B 0	動作モード
1	1	1	ポストトリガ <b>有限</b> ・連続クロックのみ スタート【注 1】
1	1	0	各動作停止 ストップ
1	0	1	ポストトリガ <b>無限</b> ・連続クロックのみ スタート【注 1】
1	0	0	各動作停止 ストップ
0	1	1	ポストトリガ <b>有限</b> ・連続サンプリング スタート
0	1	0	各動作停止 ストップ
0	0	1	ポストトリガ <b>無限</b> ・連続サンプリング スタート
0	0	0	各動作停止 ストップ

【注 1】 “クロックのみ動作モード” ではサンプリングは行われず、クロックのみが走ります。  
ステータス監視や割り込みを使用してクロックを検出し、任意の処理を行うような  
使い方が可能です。

【注 2】 有限モードのときは 3 - 8 項で設定した値に達すると自動停止、また  
無限モードのときは停止操作まで無限に動作します。

### マニュアル (1回) サンプリング動作

```
str = inp (BASE+0xA) ; /* str = ダミー (無効) データ */
```

当操作により指定チャンネル群に対するマニュアル (1回) サンプリングが開始されます。  
変数 `str` には意味が無く、当操作の実行時に発生する制御信号で動作します。

プログラム上任意のプロセスで指定チャンネル群に対する各1回サンプリングを実行したいときに利用します。

サンプリングされたADデータは (連続サンプリングと同様に) FIFOバッファメモリに自動転送されます。 当操作の後は各回サンプリング終了フラグ、またはFIFOメモリのNot-Empty フラグ (3-13項) を検出するループを経てADデータ読み込みを実行します。  
(3-14項)

【注】 なお連続サンプリング動作中に当マニュアルサンプリング操作を割り込ませると、  
両動作共に保証できない状態となってしまいます。

---

### マニュアル (1回) サンプリング操作の全手順

---

```
rst = inp (BASE+0xF) ; /* 制御部リセット【3-4項】: 制御部リセット */
outp (BASE+0x0, ech) ; /* 条件設定【3-5項】: 使用チャンネル設定 */

str = inp (BASE+0xA) ; /* 動作開始【本項】: マニュアル (1回) サンプリング開始 */

while ((inp (BASE+0xC) & 0x40) != 0x40)
    ; /* ステータス検査【3-13項】: ステータスの読み込み / 評価 */

outp (BASE+0xC, 0x40) ; /* ステータス (EOSフラグ) クリア */

for (ch=0; ch<=ech; ch++) ; /* チャンネル0~echまで */
{
    ADL(ch) = inp (BASE+0x0) ; /* ADデータ取得【3-14項】: FIFOから読む */
    ADH(ch) = inp (BASE+0x0) ; /* 下位バイト、上位バイトの順に続けて読む */
}
```



## 3-13 . ステータスの取得、クリア

## 取得

```
sts1 = inb (BASE + 0xC); /* sts1 = 基本ステータスデータ */
sts2 = inb (BASE + 0xD); /* sts2 = 追加ステータスデータ */
```

本ボードのステータスデータを読み込みます。

表 3-13 A . 【BASE + CH】基本ステータス入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	END : 指定回数の連続サンプリング終了 【注 1】	終了済み	実行中	0
B 6	EOS : 各回サンプリングスキャン終了 【注 1】	終了済み	実行中	0
B 5	IRE : 割り込みオーバーラン・エラーフラグ【注 1】	発生済み	未発生	0
B 4	ORE : オーバーラン・エラーフラグ 【注 1】	発生済み	未発生	0
B 3	LST : データロスト・エラーフラグ 【注 1】	発生済み	未発生	0
B 2	FUL : Not FULL 【注 2】	未満杯	満杯	1
B 1	HLF : Not Half-full 【注 2】	1 / 2 未満	1 / 2 以上	1
B 0	EMP : Not Empty 【注 2】	データ有	データ無	0

【注 1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注 2】現在状態を刻々反映する状態フラグ。

## 《補足説明》

- (B 7) END : 指定回数の連続サンプリングが実行完了したときにセット (= 1) される。  
強制的に連続サンプリングが止められたときには変化しない。。
- (B 6) EOS : 各回のサンプリングスキャンが終了するたびにセット (= 1) される。  
すなわち、後述のTIMからサンプリング実行時間だけ遅れてセットされる。
- (B 5) IRE : 各回のサンプリングスキャンが終了による割り込み処理が追いつかなくなったときにセット (= 1) される。 / 詳細は前 3 - 12 項【注】参照。 /
- (B 4) ORE : 本機の仕様以上のクロックで連続サンプリングが実行されるとセット (= 1) される。 / スピード違反、取得データは無効 /
- (B 3) LST : F I F Oバッファが満杯になった状態で、次のデータ書き込みが成らず消失したときにセット (= 1) される。
- (B 2) FUL : F I F Oバッファ内のデータが《満杯》になるとセット (= 0) され、読み出しにより《満杯未満》になるとリセット (= 1) される。  
Not Full 定義。
- (B 1) HLF : F I F Oバッファ内のデータが《容量の半分 + 1》以上になるとセット (= 0) 、読み出しにより《容量の半分 + 1》未満になるとリセット (= 1) される。  
Not Half-Full 定義。
- (B 0) EMP : F I F Oバッファ内のデータが 1 個以上になるとセット (= 1) され、読み出しにより空になるとリセット (= 0) される。。  
Not Empty 定義。

表 3-13B. 【BASE + DH】追加ステータス入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用			0
B 6	未使用			0
B 5	未使用			0
B 4	未使用			0
B 3	未使用			0
B 2	INT: 割り込み要求発生 【注 1】	発生	未発生	0
B 1	TIM: 各回サンプリング・クロック先端 【注 1】	発生	未発生	0
B 0	TGD: トリガ発生認識 【注 1】 and 【注 3】	発生	未発生	0

【注 1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注 3】デジタル・レベルトリガ動作のときに限り状態フラグ。

#### 《補足説明》

- (B 2) INT: 割り込み要求が発生 (3-14 項) するとセット (= 1) される。
- (B 1) TIM: 各回のサンプリングが開始されるたびに (連続サンプリングクロックの前縁で) セット (= 1) される。クロックのみ動作モード (3-15 項) でも有効。
- (B 0) TGD: 許可されたトリガ (内部 / 外部 / ソフト) が発生するとセット (= 1) される。トリガモード再設定 (3-10 項)、またはボード・リセット (3-4 項) でクリアされる。  
外部デジタル入力によるレベルトリガ (帯域サンプリング) 動作のときは同有効レベル期間中だけセット (= 1) される。

## クリア

```
o u t p ( B A S E + 0 x C , s t c 1 ) ; /* s t c 1 = クリアビット指定データ */
```

```
o u t p ( B A S E + 0 x D , s t c 2 ) ; /* s t c 2 = クリアビット指定データ */
```

指定したステータスビットをクリアします。(クリア対象は表3-13A, B中の【注1】)  
なお、当出力データは保持されません。

表3-13C. 【BASE + CH】基本ステータスクリア出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	END : 連続サンプリング終了 【注1】	クリア する	クリア しない	0
B 6	EOS : 各回サンプリングスキャン終了 【注1】			0
B 5	IRE : 割り込みオーバーラン・エラーフラグ【注1】			0
B 4	ORE : オーバーラン・エラーフラグ 【注1】			0
B 3	LST : データロスト・エラーフラグ 【注1】			0
B 2	未使用			0
B 1	未使用			0
B 0	F I F Oバッファだけのリセット操作 【注4】			0

【注1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注4】F I F Oバッファ内の残りデータを破棄し、同フラグをリセットする。

EMP = 0

H L F = 1

表3-13D. 【BASE + DH】追加ステータスクリア出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用	クリア する	クリア しない	0
B 6	未使用			0
B 5	未使用			0
B 4	未使用			0
B 3	未使用			0
B 2	INT : 割り込み要求発生 【注1】			0
B 1	TIM : 各回サンプリング・クロック先端【注1】			0
B 0	TGD : トリガ発生認識 【注1】and【注3】			0

【注1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注3】デジタル・レベルトリガ動作のときに限り状態フラグ。

### 3-14 . A Dデータの読み出し

F I F Oバッファメモリ内のA Dデータは図3 - 14 に示す配置となっています。

これらを逐次読み出し、C P U側のメモリに転送する方法は通常の入力命令のほか、C P Uによってはブロック入力命令もあります。

- (1) 通常の入力命令の場合はバイト単位で（連続して）読み出します。

ソフト上ではサンプリングされたA DデータがF I F Oメモリ内に1個以上有るか / 空かを示すステータスフラグE M P、または**各回サンプリングスキャン終了E O S**（前3 - 13項）をポーリングするか、または同ステータスによる割り込みを使用します。 / E O Sを推奨 /

《読み込み操作例》

```
A D L = i n p ( B A S E + 0 x 0 ) ; /* A D L = 下位バイト・データ ( D 7 ~ D 0 ) */
A D H = i n p ( B A S E + 0 x 0 ) ; /* A D H = 上位バイト・データ ( D 1 5 ~ D 8 ) */
```

【注1】 当データの読み出し順は反転させることができます。

3 - 5項で“データ構成”設定ポートのビットB 4 = 1とすれば、  
当A Dデータの読み出し順は上位バイト、下位バイトの順になります。

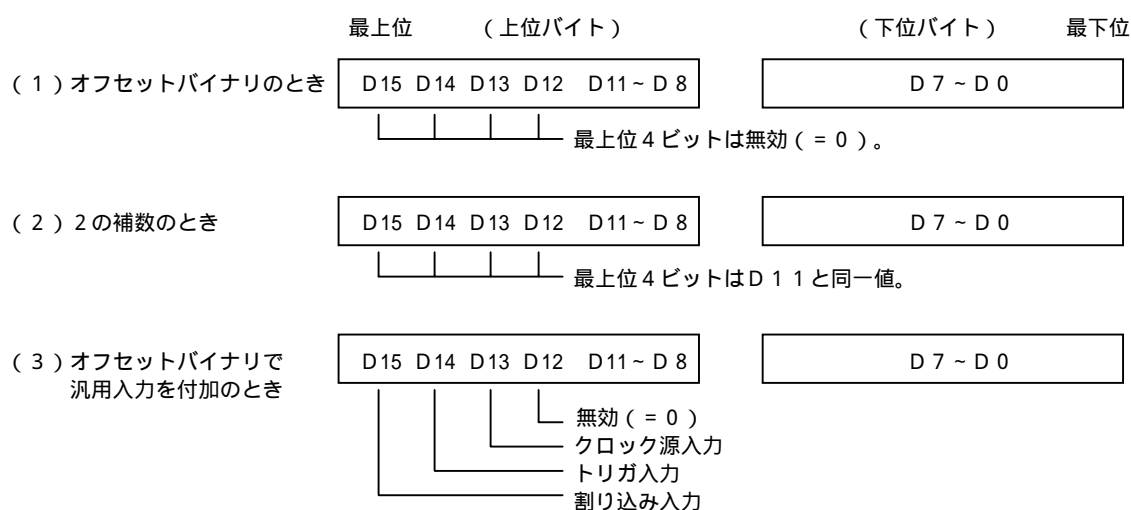
【注2】 A Dデータコードの初期設定はオフセットバイナリですが、

3 - 5項で“データ構成”設定ポートのビットB 1 = 1とすれば、  
A Dデータコードは“2の補数”になります。

【注3】 A DデータコードがオフセットバイナリのときはA Dデータ長が  
12ビットなので最上位4ビットが遊んでいます。

3 - 5項で“データ構成”設定ポートのビットB 1 = 1とすれば  
ここに汎用入力としての<割り込み入力>、<外部トリガ入力>、  
および<外部クロック源入力>を割り当てることができます。

図3 - 14 A . A Dデータ構成



- (2) 80系（80286以上）のC P Uでは複数のデータを連続して読み出し、C P U側のメモリに転送するブロック入力転送命令（I N S B命令）を使用することができます。

この場合はF I F Oメモリ内に蓄積されたA Dデータが**F I F Oメモリ容量の 半分 + 1**以上か / 未満かを示すステータスフラグH L F（前3 - 13項）をポーリングするか、または同ステータス変化による割り込みを使用します。

## ADデータ読み出しアルゴリズム作成上の注意

F I F OメモリからADデータを読み出すときに監視・参照するフラグにはNot-Empty、Half-Full、各回サンプリングスキャン終了などがあります。 Half-Full フラグはもっぱらF I F Oメモリ容量の半分単位でブロック転送（INSB 命令）するときに使用し、Not-Empty と各回サンプリングスキャン終了フラグは時々刻々の読み出しに使用されます。

注意すべきは Not-Empty の使用法で、複数チャンネルを使用しているときに当フラグを検出して複数データの読み出し操作を行うと（ソフト実行速度が速い場合）後順チャンネルのADデータが未だ入力されていないのに読んでしまうことが起こり得ます。

各回サンプリングスキャン終了フラグを利用すれば、当フラグの検出時には既に指定チャンネル分のADデータが存在するので確実に読み出しできます。

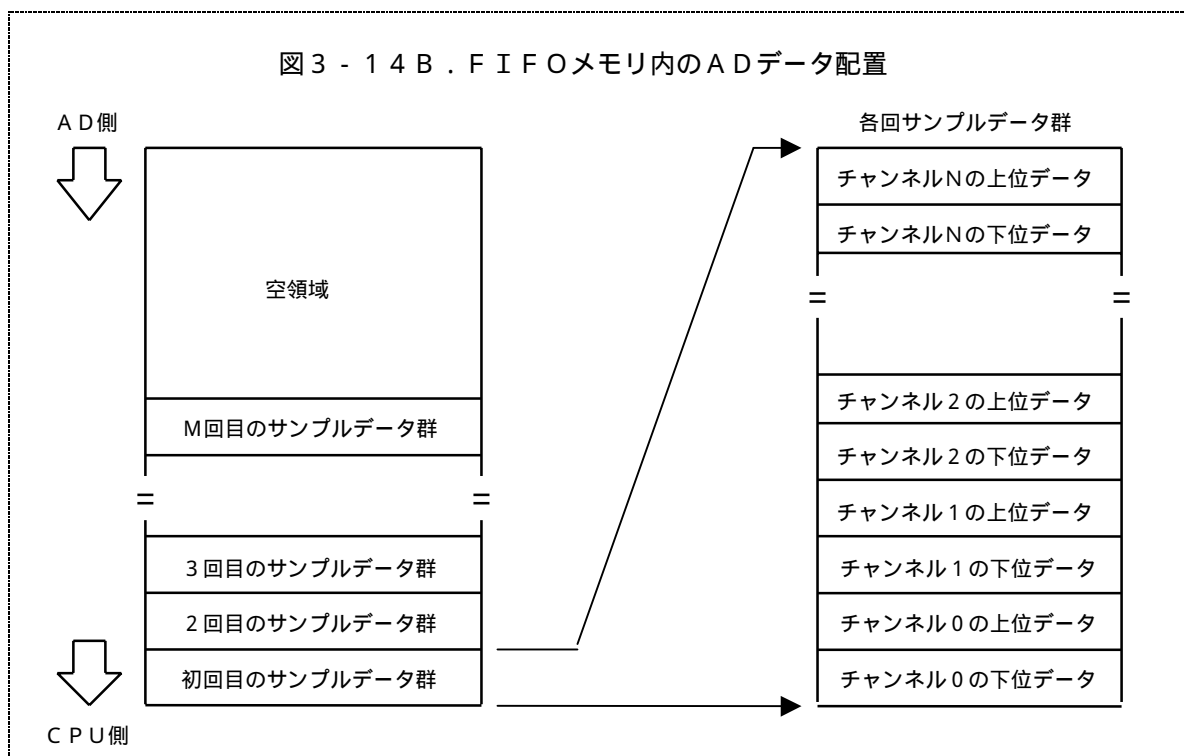
【注】 オプションの1 M語、または8 M語F I F Oモジュールの“Not-HALF-FULL”フラグはモジュール上のスイッチ設定で充満データが512語、1 K語、2 K語、4 K語、8 K語、16 K語、32 K語、64 K語に達しているか否かを示すものです。

エラーが発生するときは、

本ボード搭載のF I F Oメモリ入力速度（使用チャンネル数 × サンプル周波数）が出力側の読み出し速度（CPU側へのデータ転送速度）より速いときは、同メモリの充満量が次第に増えて行き、ついにはオーバーフローを起こしてデータロス・エラーフラグが立ちます。

当時点以降にサンプリングされた新データは全て消失されますが【ここで連続サンプリング停止操作により動作を止めれば】F I F Oメモリ内の残りデータは全て有効に読み出すことができます。 【注】オーバーフロー発生がブロック転送実行タイミングと重なった場合は、F I F Oメモリ末尾側に最大1ブロック転送分の空領域を残すような形となります。

図3-14B . F I F Oメモリ内のADデータ配置



### 3-15 . マスタスレーブ動作 (複数ボードの同期・並行動作)

複数の本ボード (最大7枚) を同一クロックで同期運転することもできます。  
この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。  
スレーブはマスタからのクロックを受けて同期をとりますが、サンプリングタイミングに最大  
100ns の遅れが生じます。 接続・操作は以下のとおり。

#### ボード上の設定

各ボードの I / O ベースアドレスが重複しないように設定する。

#### ボード間の接続等

マスタ機のクロック出力《CLK-OUT》をスレーブ各機のクロック入力《CLK-IN》に接続する  
だけである。(図3-15 参照)

マスタ機は外部クロック源、外部 (デジタル) トリガを使用することもできる。

#### ソフトウェア

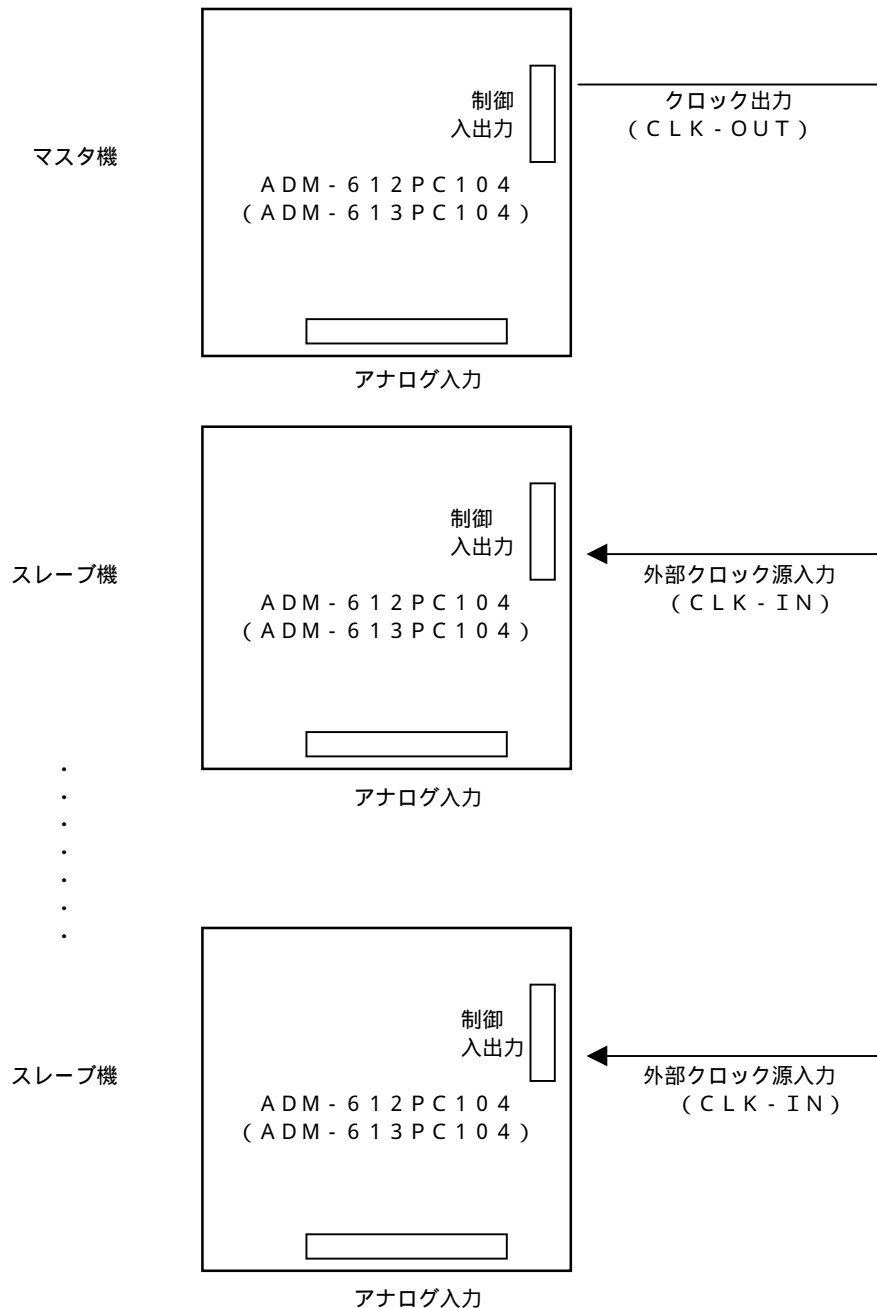
スレーブ各機のクロック源は外部に設定 (3-6 項)、またクロック源の分周比は 1 / 1 に  
設定 (3-7 項) しておく。

スレーブ各機の内部 (アナログ) トリガ、および外部トリガは禁止としておく。

マスタ機は単独動作時と同様に (何の制限もなく) 条件設定できる。

連続サンプリング動作のスタート操作はスレーブ各機を (ソフトトリガで) 先に、最後に  
マスタ機を (任意のトリガ条件で) 行う。 連続サンプリング開始後はマスタ機のスステータ  
スを監視しながら適時、各機からの A D データを読み出す。

図3-15. マスタスレーブ接続による複数ボードの並列・同期運転



### マスタスレーブ動作の概要

- (1) スレーブ各機をソフトトリガで即スタートさせると外部クロック入力による連続サンプリング動作となるが、この時点ではマスタ機からのクロック入力待ち状態である。
- (2) マスタ機が (設定した) トリガにより連続サンプリングが開始されるとマスタ機から有効なクロック信号が出力され、これがスレーブ各機 (最大7枚) に入力されて同期サンプリングが実行される。 / この間の遅れ時間は最大100nsである。 /
- (3) 以後はマスタ機のステータスを監視して適時、各機バッファメモリからADデータを読み出す。 マスタを含めて各機は自身の最高速度で連続サンプリングできる

### 3-16．汎用デジタル入出力

本機には外部制御入力がある（外部クロック源入力 / 外部トリガ入力 / 外部割込み入力）ありますが、これらの中で本来の外部制御機能として使用しないビットは汎用のデジタル入力として利用することができます。 入出力素子は74HCT244（CMOS）です。

#### 入力

```
din = inp (BASE + 0xE); /* 汎用3ビットTTL（現在値）入力 */
```

表3-16A．【BASE + E H】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4 B 3	未使用		
B 2	CLK-IN：外部クロック源入力	High（開放）	LOW（0Vレベル）
B 1	TRG-IN：外部トリガ入力	High（開放）	LOW（0Vレベル）
B 0	INT-IN：外部割込み入力	High（開放）	LOW（0Vレベル）

#### 出力

```
outp (BASE + 0xE, dout); /* 汎用1ビットTTL（ラッチ）出力 */
```

表3-16B．【BASE + E H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用			
B 0	Q 0：汎用デジタル出力ビット0	High	Low	0

【注1】 電源投入・ハードウェアリセット直後の汎用デジタル出力は“0”ですが、ソフト的な制御部リセット操作（3-4項）ではクリアされません。

【注2】 汎用デジタル出力の論理はボード上のスイッチS - POLにより任意に設定することができます。

出荷時は《N》側に設定 = “負論理”で、電源投入・ハードウェアリセット直後の状態はHighレベル（出力 = 0）です。

なお《P》側 = “正論理”モードでは（回路の性格から）電源投入・ハードウェアリセット時に約100msのHigh期間が発生するので御注意ください。

（1-2項、2-5項参照）



### 3-17. 外付・同時サンプルホールド制御

複数チャンネル同時サンプルホールド回路を外付け接続する場合のサンプリング・スキャン開始タイミング調整オプションです。（使用する場合は当ポートのビットB0 = 1に設定する。）

なお外付サンプルホールドを使用しなくても本ボード内で各チャンネルは逐次サンプルホールド & A/D変換される動作です。

```
output (BASE+0xF, shc); /* shc: S/H制御信号出力モード */
```

表 3 - 1 7 A . 【BASE + F H】出力ポートの構成

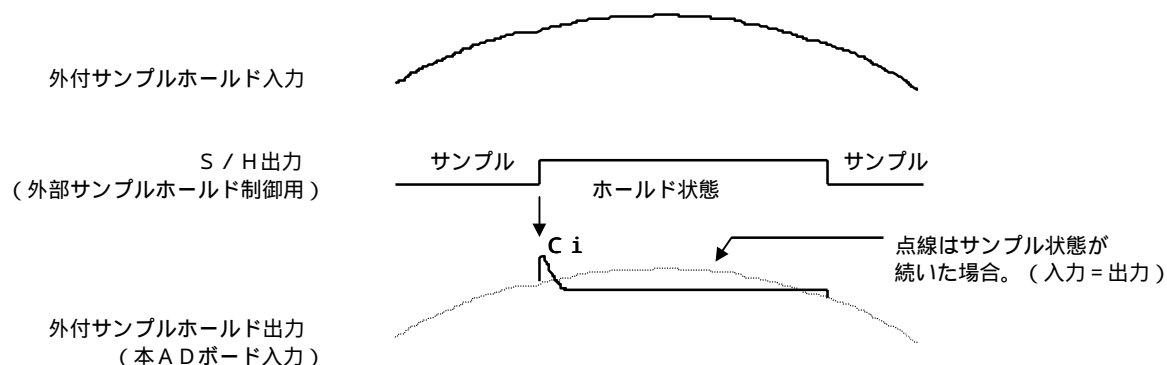
ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B7 ~ B2	未使用			
B0	S/H: サンプルホールド信号出力	タイミング調整する	タイミング調整なし	0

本A/Dボードには外付のサンプルホールドユニットを接続して同時サンプリングを実現するための制御信号S/H出力があります。

**本ポートのビットB0 = 0のときは、**

このS/H信号出力がサンプリングスキャン開始と同時に立上りますが、そのままではチャージインジェクションという（サンプルホールド回路特有の）現象によってスキャン先頭チャンネルの値が数mV分の誤差を含んでしまいます。（図3-17Aの“Ci”）

図 3 - 1 7 A . チャージインジェクションの様子



この誤差を減少させるにはホールド・タイミング（S/H信号の立上り）から先頭チャンネルのA/D変換開始までに（誤差が解消する）時間をおけばよいのです。そこで、

**本ポートのビットB0 = 1にしておくと、**

S/H信号出力立上り直後に約1μsの時間を挿入してからサンプリング・スキャン開始となるように動作します。チャージ・インジェクションの影響は理論的にゼロとはなりませんが、実用的な水準を得るための時間です。

当オプションはサンプリング・スキャン開始を約1μs遅らせるだけですが、この分だけ時間を必要とするため可能な最高サンプリングが低下することに御注意ください。

図3-17B. 1回ADサンプリング・スキャン vs S/H出力

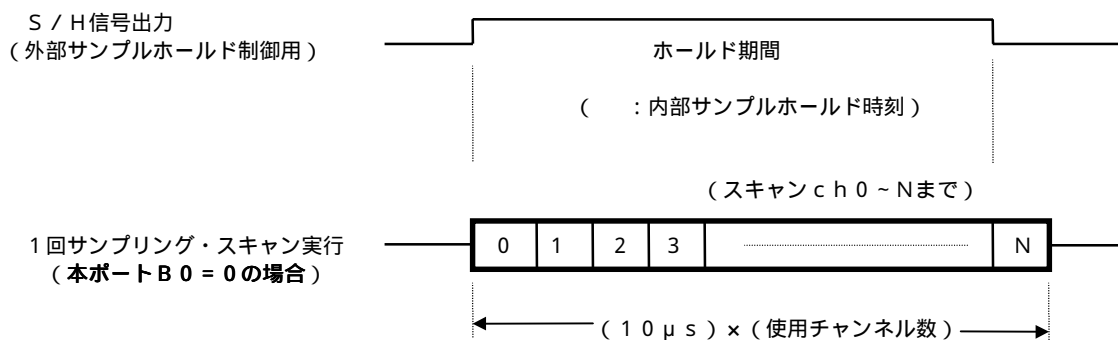
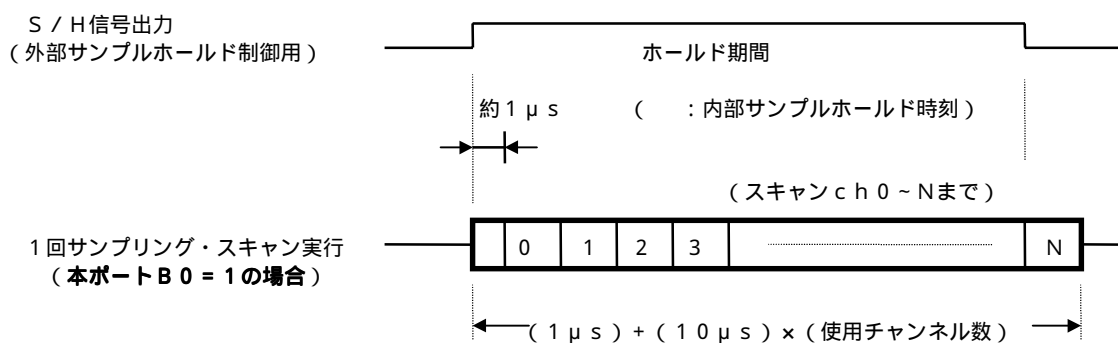


図3-17C. 1回ADサンプリング・スキャン vs S/H出力



**最高速度：** オプションの外付同時サンプルボード：SHU-016PC104を組み合わせたとときの実現可能な最速周期は使用するADボードの1サンプリングスキャン実行時間に、必要なアキュイジション時間 =  $5 \mu s$  ( $20 \text{ V}$ ステップで $0.01\%$ 到達) とS/Hタイミング調整時間 =  $1 \mu s$ を加算した値です。

但し当社製の適合ADボード各機は1スキャン・サンプリング実行プロセス中、最終チャンネルのAD変換開始と同時にS/H信号出力をLOW (アキュイジション状態) にします。(図3-17C参照)

したがってサンプリング時間が $5 \mu s / \text{ch}$ 以上のADボードでは本機の必要とするアキュイジション時間は1スキャン・サンプリング実行プロセス中にオーバーラップするので計算上は無視できます。

表3-17B. SHU-016PC104と組み合わせたとときの最高サンプリング周期

使用チャンネル数	1 ch	2 ch	4 ch	8 ch	64 ch
ADM-612PC104	$11 \mu s$	$21 \mu s$	$41 \mu s$	$81 \mu s$	
ADM-613PC104	$11 \mu s$	$21 \mu s$	$41 \mu s$	$81 \mu s$	$641 \mu s$

当表値の逆数が最高サンプリング周波数です。

**正確度：** 本ADボードを外付け同時サンプル回路と組み合わせたとときの誤差は両者の和になります。オプションの同時サンプルボード：SHU-016PC104は省スペース、省電力、省コスト設計のため (オフセット、ゲインの) チャンネル間絶対誤差が $1\%$ 近くありますが、直線性は良い ( $0.005\%$ 以上) ので、必要ならチャンネルごとのソフトチューニングが有効です。

## 第4章．保守・その他

### 4-1. 故障・トラブル等の原因と対処

本機は全数検査のうえ出荷されています。

動作に不具合等が見られるときは以下の諸点を再点検してください。

それでも不明なときは巻末の【Q & A フォーム】にシステム構成（特に外部機器の接続回路）等の動作条件を御記入のうえ、技術部宛 FAX してください。

迅速に応答する体制となっています。なお TEL いただく場合も、客観情報の整理・評価は問題解決のスピードアップにつながりますから、事前に【Q & A フォーム】を FAX してください。

#### 再点検・確認ポイント

- |              |  |
|--------------|--|
| (1) I/O アドレス | 他のデバイスと重複・競合はないか？ (1 - 3 項)  |
| (2) 割り込みレベル  | 他のデバイスと重複・競合はないか？ (3 - 12 項)   |
| (3) デジタル入出力  | 本ボードの TTL 入力（割り込み、トリガ、クロック、汎用 bit）に接続できる信号源は TTL（LS、CMOS 等の 5V 電源動作素子）に限ります。現場などで不適切な信号源を接続したために本ボード内の TTL 入力素子を破損する事故が頻発していますので御注意ください。 |
| (4) アナログ入力   | 過電圧入力保護：±3.5V 以内。<br>複数チャンネル使用時は各信号源の GND 間電位差に注意。   |

#### 動作確認方法

当社では原則として、ユーザ作成のソフトウェアについては評価しません。

動作確認は無償配布の当社製プログラム実行結果について推測・適否・判定を行います。

QA リクエスト時には当プログラムの実行結果をレポートしてください。

## 4-2. 修理のときは

入手経路の如何にかかわらず当社宛に直接お申しつけください。 商社等を経由されますと時間がかかるだけでなく、情報交換の不便、費用の面でも不利になります。 なお当社では修理依頼を受けた製品が検査の結果、良品と判定された場合は（保証期間内でも）手数料を申し受けます。

特に最初からの不具合には誤解や情報不足によることが多いので、事前に御相談ください。

【Q & A フォーム】が便利です。

### 無償修理

納入後1年以内の自然故障、および当社製造上の問題に起因した故障に対しては無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。

なお当社では保証書を発行していませんが、社内では製造番号と出荷年月日の記録を基に判定しています。

### 有償修理

落雷等の自然現象、漏電・過電圧印加・機械的破損・その他、ユーザ側の責に帰する故障品、または納入後1年間を経過した製品の自然故障に対しては実費・有償にて修理をお願いします。 性格上、事前見積もりは不可能ですが、制限額を事前通知いただければ、作業過程で制限を超えそうな見通しがたった時点で連絡・相談させていただきます。

受け渡し : 通常の授受は宅配便で行います。

修理期間 : 全んどの場合、当社内で24時間以内に完了・返送しています。時間を要するような場合は御連絡いたします。

費用の目安 : 修理費用は事務管理手数料、技術者の所要時間（1時間単位）手数料、および交換部品代の合計です。 2002年3月現在（時勢により変動します）では、

事務管理手数料（1件当り、返送運賃含）：＝ ¥ 4,000

修理時間手数料：＝（時間単価 ¥ 6,000）× 所要時間

交換部品代 : ＝ ¥ 実費

故障経緯、システム客観情報の添付は時間の節約・コストダウンに有効です。典型的な事例では費用合計が ¥ 20,000 を超えることは希れです。

【注2】 当社製品に対してユーザが改造を行った場合は、当社サポートの対象外になります。 改造とは製品に新たな部品を追加実装、または実装部品を削除したり、回路パターン・接続に変更を加えることです。 なお、当社がオプションとして供給、または指定した部品の追加実装・交換はこの限りではありません。

### 4-3. アナログ入力範囲の再調整

調整はアナログ入力範囲の《最大値付近》と《0V》の2点間で行います。

本機のアナログ回路 / AD変換器は $\pm 0.025\%FS$ 以内の非直線性を持っており、2点間調整だけで入力範囲の全域に渡って $\pm 0.075\%FS$ の精度（相対正確度）を実現する能力を持っています。

この相対正確度（＝校正可能限度）に校正で使用した測定器の正確度を積算した値が絶対正確度です。 当社の製造・調整は $0.03\%FS$ の基準電圧発生器を使用して常温で行っています。

したがって製造時点での絶対正確度は、最終（最適）調整 $\pm 10V$ 範囲で $0.105\%FS$ 、これ以外の入力範囲では $0.125\%FS$ です。

なお経年変化のデータ / 保証は無く、システム内部雑音・温度ドリフトにも御注意ください。

= 調整手順 =

オフセット調整 : 入力電圧が0Vのとき、AD変換値が800Hの設定目標値となるようにTM0を調整します。

ゲイン調整 : 入力電圧が最大値付近のとき、AD変換値（表示）が整合した値となるようにTM1を調整します。

[ オフセット調整 ゲイン調整 ] を2～3回繰り返して所定の精度に追い込みます。

【注】電源ONから調整実施までに**3分以上**のウォームアップ時間をとって下さい。

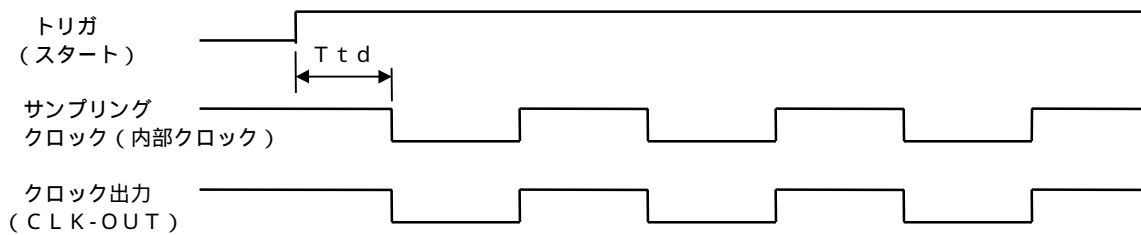
表4-3. 調整対象

設定入力範囲		$\pm 10V$	$\pm 5V$	$\pm 2.5V$	$0 \sim +5V$	$0 \sim +10V$
オフセット調整	基準入力	0V	0V	0V		
	設定目標	800H	800H	800H		
	調整トリマ	TM0	TM0	TM0		
ゲイン調整 (スケール)	基準入力	+9.99512V	+4.99756V	+2.49878V		
	設定目標	FFFFH	FFFFH	FFFFH		
	調整トリマ	TM1	TM1	TM1		

## 4-4. 外部制御信号・タイミング等

## クロック入出力

図4-4A. 内部クロック源を使用する場合

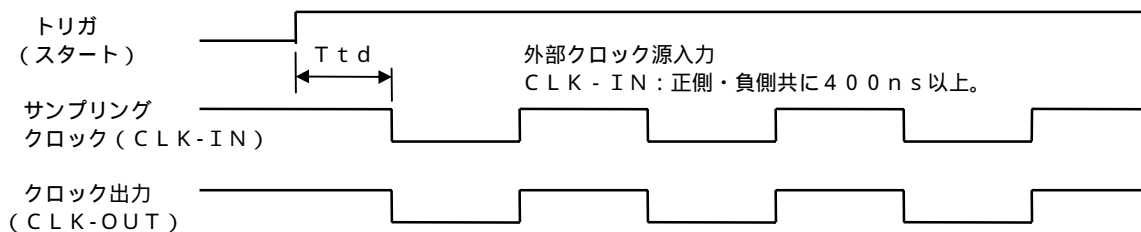


: クロック出力の有効エッジは常に立下り。

$T_{td}$ : トリガ認識から最初のクロック有効エッジまでの最大遅れ時間 (最大 250 ns)

実際のサンプリング実行は内部クロックの各有効エッジから 125 ns 以内に開始。

図4-4B. 外部クロック源を非分周 (1/1) で使用する場合

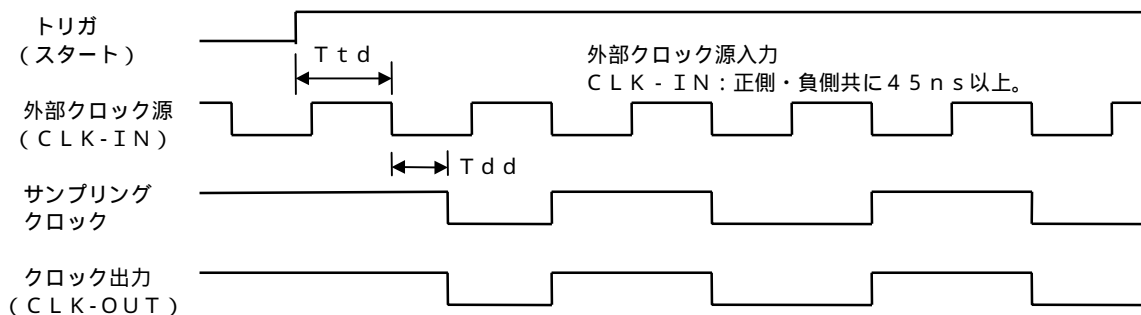


: クロック出力の有効エッジは常に立下り。

$T_{td}$ : トリガ認識から最初のクロック有効エッジまでの最大遅れ時間 (外部クロック源 1 周期)

実際のサンプリング実行は外部クロックの各有効エッジから 125 ns 以内に開始。

図4-4C. 外部クロック源を (任意に) 分周して使用する場合



: クロック出力の有効エッジは常に立下り。

$T_{td}$ : トリガ認識から最初のクロック有効エッジまでの最大遅れ時間 (外部クロック源 1 周期)

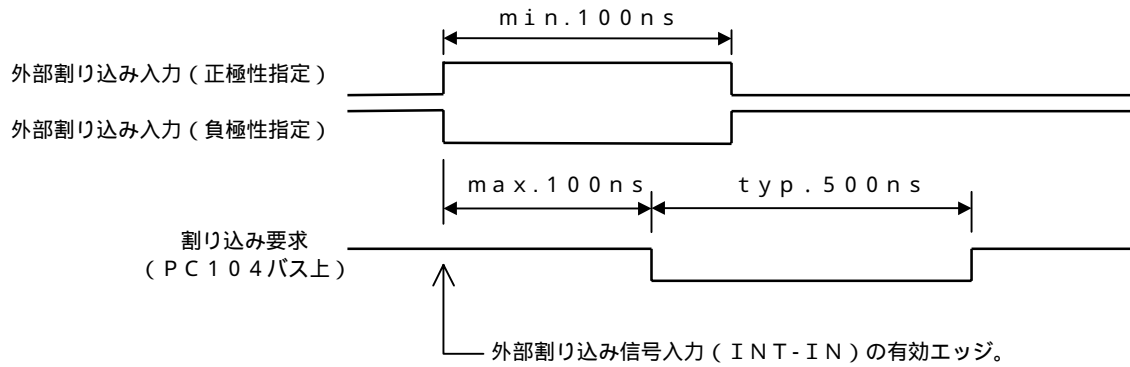
実際のサンプリング実行は外部クロックの各有効エッジから 125 ns 以内に開始。

$T_{dd}$ : 分周開始の遅れ時間 (最大 125 ns)

外部割り込み入力

（許可されている場合 / 3-12項）

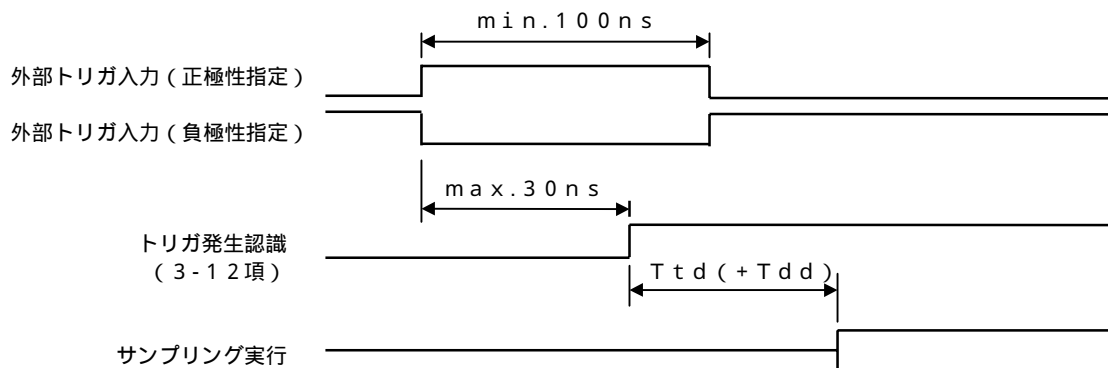
図4-4D. 外部割り込み入力 ~ 割り込み受け付け



外部トリガ入力

（許可されている場合 / 3-10項）

図4-4E. 外部トリガ ~ 連続サンプリング開始



: 外部トリガ信号入力 (TRG-IN) の有効エッジ。

: 連続サンプリングの開始タイミング。

Ttd : 図4-4A, B, C参照。

Tdd : 図4-4C参照。

# マイクロサイエンス（株）行

FAX：03（3301）5593

## Q & A フォーム

発信： 年 月 日 / 時 分

製品名	ADM-612 / 613 PC104W		購入時期	年 月	
ボード上の 設定、 使用状況	SW1 = SW2 = SW3 =		S - POL = J P - I N T ( J P 1 ) =		
その他					
I / O、 周辺状況	同時使用の 他ボード		I / Oアドレス 割り込み、等		
本体 システム	C P U				
	本体メモリ				
	O S	( )			
ソフト	言語		コンパイラ	( v r )	
	プログラム名				
( 動作状況 )					

《 60分以内に応答のないときはお叱りください。 》 TEL：03（3396）8377

御使用者			( 所属部・課 )
団体名			
T E L			( 所在地 )
F A X			