

3-6. 出力データの転送モード設定

o u t p (B A S E + 8 , t r s m) ; /* t r s m : 出力データ転送方法指定 */

パソコン側から書き込む16BIT出力データの対象と転送方法を指定します。

表3 - 6 A . 【BASE + 8】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用			0
B 6				0
B 5				0
B 4				0
B 3				0
B 2				0
B 1	データ出力対象 (出力モード)	F I F O メモリ	出力端直接	0
B 0	データ転送方法 (to FIFO)	D M A	I / O	0

《補助説明》

- B 1 : パソコン側から書き込む16BIT出力データの出力対象を指定します。
 = 0 のときは【直接出力モード】：出力端直接 (ラッチ) 出力を指定。
 = 1 のときは【F I F O バッファ出力モード】：F I F O メモリ入口を指定。
- B 0 : パソコン側からF I F O メモリに書き込む16BIT出力データの転送方法を指定します。
 = 0 のときは【通常のO U T 命令、またはブロック出力命令】を指定。
 = 1 のときは【ワード単位のD M A (Not-Full 状態で起動される)】を指定。

表3 - 6 B . データ出力対象・転送モード指定の組み合わせ

B 1	B 0	16BIT出力データの書き込み対象・方法
1	1	F I F O メモリにD M A にて。
1	0	F I F O メモリにO U T 命令、またはブロック出力命令にて。
0	1	《設定不可》
0	0	直接、出力端にO U T 命令にて

3-7. 割り込みレベル & DMA チャンネル設定

o u t p (B A S E + 5 , i d c) ; /* i d c : 割り込み & D M A チャンネル指定 */

使用する割り込みレベル、およびDMAチャンネル番号を各4BIT値で指定します。
実際に割り込み、またはDMAを使用するか否かは別に指定ポートがあります。

DMA : 3 - 6 項

割り込み : 3 - 8 項

表 3 - 7 A . 【BASE + 5】出力ポートの構成

ビット	各ビットの機能・意味	指定方法	リセット時
B 7	(MSB)		0
B 6	DMAチャンネル指定データ	DMAチャンネル番号 【表 3 - 7 C 参照】	0
B 5			0
B 4			0
B 3			(MSB)
B 2	割り込みレベル指定データ	割り込みレベル番号 【表 3 - 7 B 参照】	0
B 1			0
B 0			0

【例】 書き込むデータ i d c = 0 x 7 B なら、 DMAチャンネル = 7
割り込みレベル = B (11)

【注】 ここで設定可能なDMAチャンネル、および割り込みレベルの範囲を表 3 - 7 B ,
表 3 - 7 C に記す。 いずれも本ボードが組み込まれるシステム中に存在する他の
周辺機器・ボード・プログラムが使用する値と重複しないように注意する。

本ボードの使用できる割り込みレベル

ISAバスの割り込みレベル / 割り込み要因 / 本ボードで使用の可否を表3 - 7 B に記します。

- ： 空いている場合が多いので推奨します。
- ： 他のボード等で使用されることが多く、特に注意が必要です。
- ×： 設定不可能です。（設定しても無効となる。）

表3 - 7 B . ISAバスの割り込みレベル、使用状況

割り込みレベル	割り込み要因	本ボードで使用の可否
IRQ 0	タイマ	× 不可
IRQ 1	キーボード	× 不可
IRQ 2	(コントローラ2からカスケード)	× 不可
IRQ 3	シリアルポート2	注意 (競合多い)
IRQ 4	シリアルポート1 (本体標準RS - 232C)	× 不可
IRQ 5	パラレルポート2	推奨
IRQ 6	フロッピーディスク・コントローラ (本体標準)	× 不可
IRQ 7	パラレルポート1 (本体標準プリンタ)	注意 (競合多い)
		× 不可
IRQ 9	ソフトウェア割り込み	注意 (競合多い)
IRQ 10 (A)	予約	推奨
IRQ 11 (B)	予約	推奨
IRQ 12 (C)	予約	注意 (競合多い)
IRQ 13 (D)	数値演算コプロセッサ	× 不可
IRQ 14 (E)	ハードディスク・コントローラ (本体標準)	× 不可
IRQ 15 (F)	予約	推奨

本ボードの使用できるDMAチャンネル

ISAバスのDMAチャンネル / 使用デバイス / 本ボードで使用の可否を表3 - 7 C に記します。 本ボードのDMA動作は1回 (1ワード) のDMA転送実行のたびにDMA要求信号を元に戻すシングルモードです。

- ： 設定可能です。（他ボードとの競合に注意。）
- ×： 設定不可能です。（設定しても無効となる。）

表3 - 7 C . ISAバスのDMAチャンネル、使用状況

DMAチャンネル	使用デバイス	本ボードで使用の可否	転送データ幅
0	予約	× 不可	バイト (8BIT)
1	SDLC	× 不可	" (")
2	フロッピーディスク・インタフェース	× 不可	" (")
3	予約	× 不可	" (")
4	(コントローラ1にカスケード)	× 不可	
5	予約	使用可	ワード (16BIT)
6	予約	使用可	" (")
7	予約	使用可	" (")

3-8. 割り込み要求の発生要因制御

```
outp(BASE + 3, irm); /* irm: 割り込み要求の発生要因制御 */
```

本ボードからパソコン本体内部ISAバス上の割り込みコントローラに発信する割り込み要求の発生要因を制御します。複数の要因を許可するとOR動作となります。

表3-8. 【BASE + 3】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	外部割り込み信号の有効極性指定	(+)	(-)	0
B 6	(FIFO) Not HALF-FULL による割り込み	許可	禁止	0
B 5	(FIFO) Not FULL による割り込み	許可	禁止	0
B 4	各データ・ブロック出力開始 による割り込み	許可	禁止	0
B 3	指定データ数出力終了 による割り込み	許可	禁止	0
B 2	トリガ発生 による割り込み	許可	禁止	0
B 1	外部割り込み信号 による割り込み	許可	禁止	0
B 0	クロック による割り込み	許可	禁止	0

《 補助説明 》

B 6 : FIFOメモリ内の待機データが半分以上（標準1K語のとき512以下）になったタイミングによる割り込み制御。

B 5 : FIFOメモリ内が満杯でなくなったタイミングによる割り込み制御。

B 4 : 許可すると、出力データ点数カウンタ#0が1廻りするたびに割り込みが発生する。（当カウンタは1ブロック・データ点数を指定する。/ 3 - 12項参照）

B 0 : クロック同期更新モード時のデータ更新（出力）タイミングであるクロックの有効エッジによる割り込み制御。

《 追伸 》

割り込みを使用するには、割り込み処理サブルーチン（機械語）を用意する。
 本ボードの割り込みレベルを設定する。（3 - 7項）
 パソコン本体内の割り込みコントローラをソフト設定する。
 本ボードの割り込み発生要因を許可する。（本項）

以上により割り込みが受け付けられると指定ベクタ（割り込み処理サブルーチン）にジャンプします。なお、パソコン上の割り込みコントローラの操作方法については市販の各種参考書等を参考にしてください。また実用的には本ボード付属のCサンプルの該当部分をそのまま利用することもできます。

3-9. クロック源選択

outp (BASE + 4, cks); /* cks : クロック源選択 */

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的のサンプリング（同期出力タイミング）クロックとなります。

表 3 - 9 A . 【BASE + 4】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	外部クロック源（使用時）の有効極性指定	(+)	(-)	0
B 6 B 5	内部クロック源（使用時）の選択データ	【表 3 - 9 B】参照。		0 0
B 4	クロック源選択（外部 / 内部）	外部	内部	0
B 3 B 2 B 1 B 0	未使用			

表 3 - 9 B . 選択される内部クロック源

ビット		選択される内部クロック源	
B 6	B 5	クロック源周波数	主な用途
1	1	無効	
1	0	オプション	
0	1	無効	
0	0	10.000 MHz	

オプションのクロック源素子（10 MHz 以下）は本ボード上のソケットに装着することにより使用可能となります。

素子名： JXO - 5 S - MHz（金石），または
DOC - 49 S 1 - MHz（大真空）

3-10．読み書き対象カウンタの選択

```
outp(BASE + 7, ctr); /* ctr: 操作対象カウンタ */
```

この後に読み書きするカウンタ（またはカウンタの制御レジスタ）を選択します。

カウンタ素子（ $\mu PD71054 = i8253A$ 上位互換）は2個あり、各々16ビット×3本構成ですが、各素子共、このうち16ビット×2本を利用（残りの1本は不使用）しています。

素子1はクロック源分周用に、素子2はFIFOバッファ出力時のDAデータ点数計数に使用します。

表3 - 10 A．【BASE + 7】出力ポートの構成

ビット	各ビットの機能・意味	リセット時
B 7 B 6 B 5 B 4 B 3	未使用	
B 2 B 1 B 0	カウンタ（または制御レジスタ）選択データ【表3 - 10 B 参照】	0 0 0

表3 - 10 B．カウンタ（または制御レジスタ）選択データ

B 2	B 1	B 0	選択されるカウンタ、または制御レジスタ
1	1	1	[素子 2] 制御レジスタ：1 バイト
1	1	0	["] カウンタ # 2：不使用
1	0	1	["] カウンタ # 1：データ点数カウンタ・上位ワード（2 バイト）
1	0	0	["] カウンタ # 0：データ点数カウンタ・下位ワード（2 バイト）
0	1	1	[素子 1] 制御レジスタ：1 バイト
0	1	0	["] カウンタ # 2：不使用
0	0	1	["] カウンタ # 1：クロック源分周・上位ワード（2 バイト）
0	0	0	["] カウンタ # 0：クロック源分周・下位ワード（2 バイト）

【注】 各カウンタ、制御レジスタの機能については次3 - 11項、3 - 12項も併せて参照。