

## 第3章．制御・操作

### 基本操作

本機の運転・操作は各機能が割付け設定された制御レジスタのI/Oアドレスに対する入出力（IN/OUT）命令により行います。

### 実用プログラムの作成

3 - 1項～3 - 3項で制御構造・手順を、また3 - 4項以下で各制御要素（レジスタ）の定義を学習してから、第4章で示すサンプルプログラム・ソース（C、およびBASIC）を見てください。

通常の用途には添付の**ハンドラ・ライブラリ**（DOS用：第5章、WINDOWS用：第6章）が便利です。また、ボード依存性のない（WINDOWS 95 / NT / 3.1用）汎用I/OアクセスDLLも添付されています。基本的には当DLLを使用して本ボード上の各レジスタを読み書きすることでプログラミングが可能です。

なお**Visual Basic**（4.0以上）等でのプログラミングにはWINDOWS 95 / NT用のカスタムコントロール（OCX）と使用例を含む開発キットPROSYS - 64 x Kも別売りで用意されています。/ ¥ 34,000

### 汎用ADデータ収集・解析ソフト

高速ADサンプリング、波形表示（リアルタイム可能）、レポート印刷、データファイル保存、さらにFFT・相関・移動平均・ピーク検出等のデジタル信号処理機能もあるパッケージソフト**LaBDAQ - 9x(NT) / PRO**があります。各¥78,000

当ソフトでは市販の表計算（EXCEL等）で読み込むことのできるCSV形式や、波形解析用ソフトDADISP専用形式のファイル保存もできます。

なお本ADボードには同ソフトの機能制限版（信号処理機能なし、最大データ点数8K語）が添付されています。詳細は添付ディスク内の専用マニュアル（PDFファイル）参照。

## 3-1. ADサンプリング動作・トリガ動作の様子

本機には2種類のサンプリング・モードがあります。

いずれの場合もサンプリングされた結果のADデータ（2バイト構成）は順番にFIFOバッファメモリに書き込まれて行きます。パソコン側からはFIFOメモリの充満状態を示すフラグを参照しながらADデータを古い順に読み込みます。【3 - 2項参照】

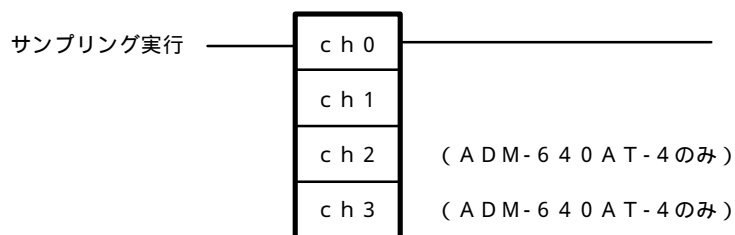
FIFOメモリの充満状態を示すフラグは割り込み要求発生やDMA要求に使用することもできます。

FIFOメモリ容量は1M語（+読み出し側メモリ容量：標準1K語）ですから、パソコン側の読み込み速度がサンプリング速度に追いつかずオーバーフローを起こしたような場合でも（その時点で）FIFOメモリ容量だけの有効データを確保することができます。

ISAバスの実用的なADデータ転送速度は（専念したとして）1M語/sec程度、表示や他の制御等を含む通常のアプリでは半分以下に落ちることが想定されます。

**マニュアルサンプリング** : 指定したアナログ入力チャンネル群に対して1回だけA/Dサンプリング (& FIFOメモリに転送) を実行するものです。  
 (1回A/Dサンプリング) 全チャンネルのA/D変換回路が同時に動作するのでチャンネル間の時刻差はありません。

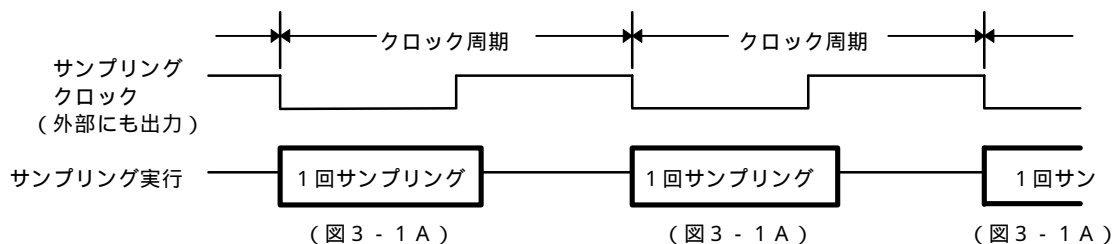
図3-1A. 1回A/Dサンプリング・スキャン

**操作手順**

- (1) 制御部リセット【3-4項】: 制御部リセット
- (2) 動作条件設定【3-5項】: 使用チャンネル、データ転送、コード設定  
 【3-11項】: トリガモード設定 (マニュアルに指定)
- (3) 動作開始【3-12項】: マニュアル (1回) サンプリングスタート
- (4) ステータス検査【3-13項】: ステータスの読み込み / 評価
- (5) A/Dデータ取得【3-14項】: A/Dデータを (FIFOから) 読み出す

**連続 (自動) サンプリング**: 指定したアナログ入力チャンネル群に対して指定したトリガ、クロックでA/Dサンプリング (& FIFOメモリに転送) を連続・自動的に実行するものです。

図3-1B. 連続サンプリング

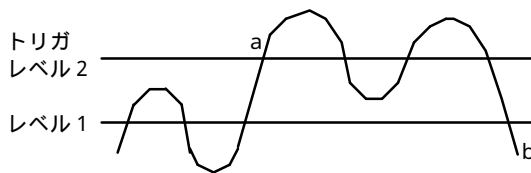
**操作手順**

- (1) 制御部リセット【3-4項】: 制御部リセット
- (2) 動作条件設定【3-5項】: 使用チャンネル、データ転送、コード設定  
 【3-6項】: 割り込み / DMA設定 (使用は任意)  
 【3-7項】: 割り込みモード設定 (割り込み使用時のみ)  
 【3-8項】: クロック源指定 (内部 / 外部)  
 【3-9項】: クロック源分周比 (クロック値) の設定  
 【3-10項】: 内部 (アナログ) トリガレベルの設定
- (3) 動作開始【3-11項】: トリガモード設定
- (4) ステータス検査【3-13項】: ステータスの読み込み / 評価
- (5) A/Dデータ取得【3-14項】: A/Dデータを (FIFOから) 読み出す

トリガ機能： 本機のトリガは連続サンプリングを開始させるものです。【3 - 11 項参照】

ソフトトリガはプログラム上・任意のプロセスで実行できる即トリガ（即スタート）機能。  
外部トリガは外部TTL入力信号の指定エッジ、または指定アクティブ期間で機能します。  
内部（アナログ）トリガは指定条件とチャンネル0入力をボード上で比較して機能します。

図3 - 1 C . アナログ・エッジトリガ

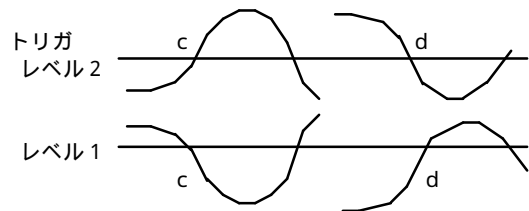


a : 正 ( + ) エッジトリガ点  
b : 負 ( - ) エッジトリガ点

エッジトリガの場合はノイズ等による逆極性誤動作が起こらないようにヒステリシスを設定します。すなわち、ソフト上で指定したトリガレベル1, 2を連続して交差した点でトリガ発生となります。

レベルトリガの場合はレベル1と比較極性のみ設定、信号と大小だけを比較します。トリガ待ち開始 = 即トリガ発生もあり得ます。

図3 - 1 D . アナログ・レンジトリガ



c : アウトレンジ・トリガ点  
d : インレンジ・トリガ点

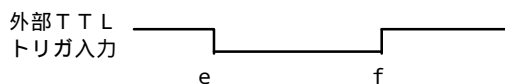
レンジトリガの場合は指定したトリガレベル1, 2の帯域から正負いずれかの方向に外れたC点でアウトレンジ・トリガ、逆に正負いずれかの方向から帯域内に入るD点でインレンジ・トリガ発生となります。

（別称：ウインドウレンジ・トリガ）

トリガレベル1, 2いずれかを指定極性で交差したときに発生するレンジ・エッジトリガもあります。

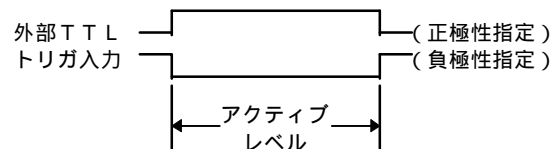
（別称：デュアルスロープ・トリガ）

図3 - 1 E . デジタル・エッジトリガ



e : 負 ( - ) エッジトリガ点  
f : 正 ( + ) エッジトリガ点

図3 - 1 F . デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

トリガ動作遅れ： 本ボード上で自動的に行われるトリガ検出から連続サンプリング開始までの遅れ時間はトリガの種類によって少しだけ異なります。

内部（アナログ）トリガ： 約  $1 \mu s$   
内部ソフトトリガ：  $300 ns$ （7 - 4 項参照）  
外部デジタル入力トリガ：  $330 ns$ （7 - 4 項参照）

### 3-2. F I F Oバッファメモリの構造・動作

#### A Dデータ転送（F I F O パソコン）

A D変換（サンプリング）されたデータはF I F Oメモリ内にあり、パソコン側からの読み出しを待っています。 ソフト上ではF I F Oメモリの充満状態を示すフラグを監視、またはD M A・割り込み等を設定してアプリケーションに適した転送方法を採用します。 いずれの場合もF I F Oバッファメモリがサンプリング実行とデータ転送のタイミング違いを吸収するので、マルチタスクシステムを容易に実現することができます。

ポーリング： 【Not-Empty】フラグを監視してA DデータをI N命令で1語ずつ読み込む方法、【Not Half-Full】フラグを監視してA DデータをI N S W命令でF I F Oメモリ容量の半分単位で読み込むブロックI / O転送がある。

割り込み： 【Not-Empty】【Not Half-Full】【1回サンプリング・スキャン終了】【トリガ発生】【外部割り込み】等から選択した要因による割り込みでポーリングと同様のデータ転送を実行する。

D M A： 【Not-Empty】状態によりD M Aを起動・実行する。

#### F I F Oメモリの動作

F I F O（first in first out）メモリは図3 - 2に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっている。

読み書きは非同期で同時も可能。 すなわちデータの書き込み（入口）と読み出し（出口）は互いに相手側のタイミングに配慮する必要がない。

F I F Oメモリ内部は出口から読み出された分だけ入口側に空領域が増えるので満杯となる前にデータを読み出す動作であればサンプリング点数を制限しない。 なお満杯時に追加書き込みされようとしたデータは消失し【E R R：エラー】フラグがセット（= 1）されるが、この後もF I F Oメモリ内のデータは有効に読み出すことができる。



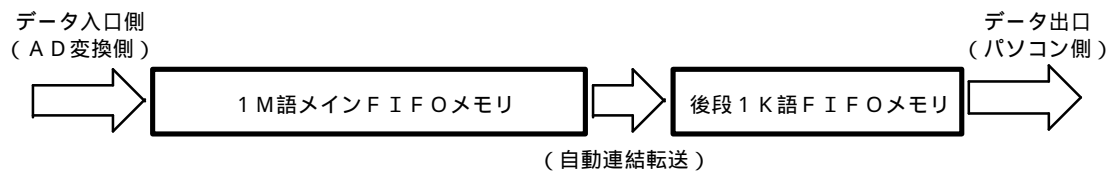
表3 - 2 . F I F Oメモリ関連のステータス・フラグ

フラグ名	フラグの意味 (標準1024語のとき)
N o t - E M P T Y	1語以上。 (格納データ数 1)
N o t - H A L F - F U L L	[容量の半分]以下。 (格納データ数 512)
E R R	サンプリング・エラー発生。 データ読み出しが遅いためメモリが溢れた、または実力以上の速度で書き込みした。

本ボードでは

本シリーズの場合は1M語FIFOメモリと後段・出力用FIFOメモリが直列に接続されています。パソコン側からは後段の標準1K語FIFOメモリだけが見えており、総容量は両メモリの和となりますが、制御に使用する【Not-Empty】【Not Half-Full】フラグは後段のFIFOメモリのものです。後段・出力用のFIFOメモリはオプションで最大32K語まで増設可能です。（通常、増設は不要と思われます。）

図3 - 2 B . FIFOメモリの直列接続



なお1語（データ）は2バイト構成、

1M語（2MB）= 1,048,576語

1K語（2KB）= 1,024語 です。

### 3-3. 制御レジスタ I / O アドレス・マップ

表 3 - 3 に本ボード上の各制御レジスタ I / O アドレスを記します。

表中の【BASE】 = 出荷時 01DO は ( 1 - 3 項 ) で設定した I / O ベースアドレス値です。

表 3 - 3 . 制御レジスタ I / O アドレス ( BASE : ボード上でスイッチ設定されるベースアドレス )

I/O アドレス	IN/OUT	ポート / レジスタ名・機能	記載項、 ページ
BASE + C	IN	汎用 4 B I T デジタル入力 / 現在値	【3-16】、 4 6
	OUT	汎用 4 B I T デジタル出力 / ラッチ	【3-16】、 4 6
BASE + 7	IN	制御部リセット & I D 取得	【3-4】、 2 7
	OUT	割り込み・DMA チャンネル指定	【3-6】、 2 9
BASE + 6	IN		
	OUT	( クロック源 ) 分周比の設定	【3-9】、 3 3
BASE + 5	IN	マニュアル ( 1 回 ) サンプルング・スタート	【3-12】、 3 9
	OUT	内部 ( アナログ ) トリガレベル設定	【3-10】、 3 4
BASE + 4	IN		
	OUT	クロック源指定	【3-8】、 3 2
BASE + 3	IN	ステータス取得	【3-13】、 4 0
	OUT	割り込み制御 ( 要求発信条件 )	【3-7】、 3 1
BASE + 2	IN		
	OUT	トリガモード指定 ( 含ソフトトリガ実行 )	【3-11】、 3 6
BASE + 0	IN	A D データ読み出し	【3-14】、 4 2
	OUT	データコード / 転送モード / チャンネル指定	【3-5】、 2 8

【読み ( I N ) / 書き ( O U T ) 】はパソコン側から見た方向。

A D データに限りバイト読み出し / ワード読み出し共に可能、  
その他のポートは 1 バイト。