

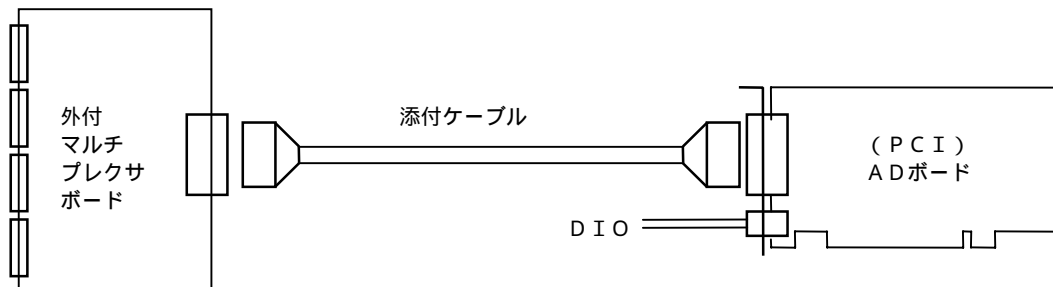
## *Real Solution for FA/LA*

外付マルチプレクサ + A D ボード ( P C I )

1 6 ビット / 1 2 8 チャンネル ( 拡張可能 )  
F I F O メモリ付 ・ 高速 A D 変換システム

### A D S - 0 1 2 8 a K

( 旧 A D S - 0 1 2 8 K に対して上位互換機です )



## 取扱い説明書

対応パソコン

I B M P C / A T 互換機  
( P C I - b u s )

## マイクロサイエンス ( 株 )

〒167-0042 東京都杉並区西荻北 2 丁目 3 7 番 1 2 号

TEL 0 3 ( 3 3 9 6 ) 8 3 6 2 代表

FAX 0 3 ( 3 3 0 1 ) 5 5 9 3

Email : welcome@microscience.co.jp

Feb 09 , 2005 ( 第 4 版 )

## 目 次

使用・適用上の注意	4
本製品の仕様一覧	5
本製品の構成・価格表	6

### 第1章．導入・試運転

1-1. 本製品の概要	7
1-2. ボード上の設定	10
1-3. 入出力コネクタ・ピン接続	12
1-4. ボードのインストール	15
1-5. 運転準備、動作確認	20
1-6. 電源供給、およびアナログ入力拡張について	22

### 第2章．信号入出力

2-1. アナログ入力回路	23
2-2. アナログ入力範囲	24
2-3. アナログ入力特性（誤差・ドリフト・雑音・保護対策）	29
2-4. デジタル入出力回路	30

### 第3章．制御・操作

3- 1. A/Dサンプリング動作・トリガ動作の様子	31
3- 2. F I F Oバッファメモリの構造・動作	34
3- 3. 制御レジスタI/Oアドレス・マップ	35
3- 4. ボード・リセット（初期化）、認識	36
3- 5. アナログ入力スキャン速度指定	37
3- 6. A/Dデータコード指定	38
3- 7. サンプリング・チャンネル数の設定	39
3- 8. クロック源の選択	40
3- 9. (クロック源)分周比の設定	41
3-10. 内部(アナログ)トリガレベルの設定	42
3-11. トリガモードの設定（含ソフトトリガ実行）	44
3-12. マニュアル(1回)サンプリング実行	47
3-13. ステータスデータの取得・クリア	48
3-14. A/Dデータの読み出し	50
3-15. 割り込み制御	52
3-16. 割り込み要求信号クリア	53
3-17. マスタスレーブ動作（複数システムの同期運転）	54
3-18. 汎用デジタル入出力	56

## 第4章．ソフトウェア

4-1. インストール	57
4-2. W I N D O W Sドライバについて	60
4-3. ボードアクセス関連ライブラリ	61
4-4. 割り込みについて	64
4-5. Q u i c k - B a s i cサンプル	65
4-6. Cのサンプル	67

## 第5章．DOSハンドラ

5-1. システム構成・ソフトウェア構造	69
5-2. サンプリングの様子とデータバッファ構造	70
5-3. 使用準備	72
5-4. 関数仕様・エラーコード	72

## 第6章．WINDOWSハンドラ

6-1. システム構成・ソフトウェア構造	85
6-2. サンプリングの様子とデータバッファ構造	86
6-3. 使用準備	88
6-4. 関数仕様・エラーコード	88

## 第7章．保守・その他

7-1. 故障・トラブル等の原因と対処	99
7-2. 修理のときは	101
7-3. アナログ入力範囲の再調整	102
7-4. 付録1（外部制御信号・タイミング等）	104
7-5. 付録2（M U X - 1 2 8 a制御コネクタ情報）	106
7-6. 付録3（W I N D O W S 2 0 0 0 / X Pについて）	108

付録．Q & Aフォーム（質問／トラブル・故障に対する相談用）	110
---------------------------------	-----

本機**ADS - 0 1 2 8 a K**は旧機**ADS - 0 1 2 8 K**に対して上位互換です。  
（最高サンプリング速度が5  $\mu$  s / chに上りました。 / 3 - 5項参照 / ）

また、**ADM - 6 8 2 z / 6 8 6 z / 6 8 7 z P C I**と**ADS - 0 1 2 8 a K**の相違点は、

ソフト上ではアナログ入力数・分解能・サンプリング速度（スキャン速度）だけが異なります。

項目	ADM-682zPCI	ADM-686zPCI	ADM-687zPCI	ADS-0128aK
アナログ入力数	16（差動8）ch	16（差動8）ch	32ch / 差動無	128ch / 差動無
A/D分解能（ビット長）	12ビット	16ビット	16ビット	16ビット
最高サンプル速度（単ch）	4 $\mu$ s	5 $\mu$ s	5 $\mu$ s	5 $\mu$ s
最高サンプル速度（複ch）	4 $\mu$ s / ch	5 $\mu$ s / ch	5 $\mu$ s / ch	5 $\mu$ s / ch

## 本製品の使用・適用についての注意

- 【１】 本製品はIBMPC/AT互換機のPCIバス拡張I/Oスロット、またはPCIバス拡張I/Oボックスに装着して使用するものです。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システムの設計・制作に別途付加・反映させてください。本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。  
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。御利用の場合は同システムの設計・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第３者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。但し、当社製ソフトウェアのソースコードを含むソフトウェアを第３者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

## 故障・修理・サポート方法について

- 【１】 納入後１年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品に対して無償修理を行います。但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【２】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰する故障品に対しては実費にて修理をお願いします。
- 【３】 修理は宅配便によるセンドバックで行います。なお、運賃は互いに発送する側が負担するものとします。（無償修理の場合も含む／着払い不可。）
- 【４】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社宛に直接御相談・御用命ください。その際は、客観情報の整理・評価を行うために必ずFAX等でレポートを御送付ください。（解決速度が格段に上ります。）  
本書末尾の《Q & A フォーム》が便利です。

## 本機の仕様一覧

### アナログ入力部

項 目	
入力数	128chシングルエンド（普通の2線式）、MUXボード増設で1024chまで可能
入力範囲 （スイッチ選択）	$\pm 10\text{V} / \pm 5\text{V} / \pm 2.5\text{V} / 0 \sim +10\text{V} / 0 \sim +5\text{V}$ 本機の入力範囲設定回路は高精度部品の使用により、出荷時設定（ $\pm 10\text{V}$ ）から変更しても通常の用途では再調整不要の誤差範囲に収まります。《下記、正確度参照》 電流入力：各チャンネルごとの終端抵抗（出荷時10M $\Omega$ ）を交換することにより対応可能。
入力インピーダンス	各チャンネルごとに10M $\Omega$ の終端抵抗を標準実装。（外せば100M $\Omega$ 以上）
クロストーク 【注1】	-80dB（低速モード）/ -69dB（中速モード）/ -63dB（高速モード）/

【注1】クロストークは接続ケーブル長1m、各チャンネル信号源インピーダンス50 $\Omega$ での実測値。

### A/D変換部

項 目	
分解能	16ビット
単chサンプリング速度	5 $\mu\text{s}$ （200kHz）
複chサンプリング速度	5 $\mu\text{s}$ /ch（高速モード）、10 $\mu\text{s}$ /ch（中速モード）、20 $\mu\text{s}$ /ch（低速モード）
非直線性 %FS	$\pm 0.004$ （理論的な較正可能限度）
基本正確度 %FS 【注2】	$\pm 0.023$ （較正器誤差0.015%を含み、内部雑音&クロストーク含まず）
最悪正確度 %FS 【注3】	$\pm 0.033$ （低速モード）/ $\pm 0.060$ （中速モード）/ $\pm 0.096$ （高速モード）
内部雑音 【注4】	$\pm 5\text{LSB}$ （max）、 $\pm 4\text{LSB}$ （typ）
温度ドリフト	$\pm 10\text{ppm}/^{\circ}\text{C}$ （typ）
A/Dデータ・コード	バイナリ、または2の補数（ソフト指定）

【注2】常温で製造時調整Aモード $\pm 10\text{V}$ 範囲のとき。

なお、製造時調整Aモード $\pm 10\text{V}$ 範囲以外のときの基本正確度は $< 0.02\% \text{FS}$ と低下します。

【注3】隣接チャンネル間の入力電圧差が最大のときに発生するクロストークを含む最悪値。（内部雑音を含まず）

【注4】当社内製造・検査システムにて。

### 制御部・その他

項 目	
クロック	クロック源：内部10MHz / 内部8.192MHz / 外部TTL入力 分周機能：32BITプログラマブルカウンタ（バイナリ）
トリガ （サンプリング開始）	内部トリガ：プログラム上からの即トリガ、 アナログ入力（先頭チャンネル）の指定エッジ、レベル、またはレンジ。 外部トリガ：外部TTL入力の指定エッジ、またはレベル
バッファメモリ	標準1024語FIFOメモリ（オプションで8K / 1M / 8M / 32M語に増設可能）
A/Dデータ転送	ブロック転送：通常、FIFOのHALF - FULLフラグを利用して容量の半分単位で行う。 通常IN命令：2バイト（上位・下位）に分割して連続読み込み。
マスタスレーブ動作	マスタのクロック出力をスレーブのクロック源入力に接続することにより可能。
割り込み （要リソース取得）	割り込み要因：1回サンプリング・スキャン終了、トリガ発生、 サンプリング・クロック、外部TTL入力の指定エッジ、 FIFOメモリのEMPTY解消、同HALF - FULLフラグ。
汎用デジタル入出力	1ビット・TTL入力、1ビット・5Vロジック出力（またはオープンコレクタ）
I/Oアドレス	組み込み対象システムのプラグアンドプレイ機能により（連続した）16アドレス占有。
基板寸法 （突出部を含まず）	ADボード：PCIショートサイズ（174.3mm） $\times$ （98.4mm） マルチプレクサボード：（300mm）W $\times$ （204mm）D $\times$ （5mm）T マルチプレクサボックス：（320mm）W $\times$ （220mm）D $\times$ （50mm）H
動作環境	周囲温度：0 $\sim$ +40（結露しないこと）、保存温度：-10 $\sim$ +80（結露しないこと）
付属品	入出力プラグ、CDROM、印刷された取扱説明書+回路図=取説セットは別売（ $\yen 2000$ ）
電源消費（5V）	ADボード部=1.0A、外付マルチプレクサボード部=0.2A

《PCI拡張ボックス》PCI to PCIブリッジに対応したパソコンとの組み合わせで利用可能。

## 製品構成

外付マルチプレクサ ( MUX - 128a )、  
 パソコン内装着ADボード ( ADM - 689aPCI )  
 ( MUX - 128a ) ~ ( ADM - 689aPCI ) 接続1m長ケーブル  
 アナログ入力プラグ ( 4個 : 32ch入力×4構成 )  
 デジタル入出力プラグ ( 1個 )  
 CDROM ( 添付ソフト、取扱説明書PDFファイル )  
 CおよびBASICSサンプルソース ( DOS )  
 WINDOWS9x / NT / 2000 / XP用およびDOS用のハンドラ関数 / ドライバ、  
 WINDOWS9x / NT / 2000 / XP用の単純I / O実行ライブラリ / ドライバ、  
 WINDOWS9x / NT / 2000 / XP用のADデータ収集ソフトLaBDAQ-AQ  
 ( 信号処理なし版、無償ダウンロード配布 )

( 以下はオプション )

回路図、印刷された取扱説明書 ( PDFファイルはWEBからも入手可能 )、

## 価格表

( 消費税は含んでいません。 )

/ 2004年 1月 /

製品名	価格¥	製品の概要
ADS-0128aK ( BRD )	174,000	16ビット/128チャンネルFIFOメモリ付ADキット
ADS-0128aK ( BOX )	196,000	16ビット/128チャンネルFIFOメモリ付ADキット ( 箱入 )
( 以下、バラ売りの場合 )		
ADM-689aPCI	81,000	( ADS-0128aK ) のPCIバス装着側ADボード
MUX-128a ( BRD )	97,000	( " " " ) のアナログ入力側マルチプレクサ ( ボード )
MUX-128a ( BOX )	119,000	( " " " ) のアナログ入力側マルチプレクサ ( 箱入り )
DS3737E-100	9,500	( MUX-128a ) ~ ( ADM-689aPCI ) 接続1mケーブル
MUXBOX	24,000	MUX-128a ( BRD ) 用収納箱
( 以下、オプション )		
ADS-0128aK取説セット	2,000	印刷された取扱説明書 + 回路図
LaBDAQ-AQ	無償配布	ADデータ収集ソフト ( 松山アドバンス社製 ) : 2000 & XP版
LaBDAQ-PRO	78,000	ADデータ収集・解析ソフト ( 松山アドバンス社製 ) / 98 ~ XP版
DX68S-150	9,000	32chアナログ入力用1.5mケーブル ( 片方プラグ / 他方バラ )
CBOX-015	42,000	32chアナログ入力BNC & デジタル接続箱 ( 1mケーブル付 )
CBOX-204	18,000	デジタル信号のみ接続箱 ( 1mケーブル付 ) : CBOX-015に含まれる

《 取説セット 》 印刷された取扱説明書 + 回路図は有償です。 ( ¥2000 )  
 が、同一内容の取説PDFファイルと添付ソフトを格納したCDROMは無償配布しており、また  
 取説PDFファイルは当社ホームページから無償ダウンロードすることができます。  
[www.microscience.co.jp](http://www.microscience.co.jp)

《 メモリ増設 》 該当容量のFIFOメモリ素子に交換して出荷します。 ( 標準1K語搭載 )  
 本体製品型名の末尾にFIFOメモリ容量を示す枝番を付してください。  
 選択枝番 : - 8KW ( 8K語分 / ¥10,000加算 )  
 - 1MW ( 1M語分 / ¥22,000加算 )  
 - 8MW ( 8M語分 / ¥27,000加算 )  
 - 32MW ( 32M語分 / ¥38,000加算 )

《 入力数拡張 》 MUX-128a ( 128ch入力 ) を並列接続することにより最大1024chまで  
 拡張可能です。 ( 添付ドライバでも対応 )

本機ADS-0128aKは旧機ADS-0128Kに対して上位互換です。  
 ( 最高サンプリング速度が5µs/chに上りました。 / 3 - 5項参照 / )

## 第1章．導入・試運転

### 1-1. 本機の概要

本システムはパソコン本体装着のADボード（ADM-689aPCI）と外付マルチプレクサ（MUX-128a）、および両機の接続ケーブル（1m長）から構成されています。

アナログ入力端はハーフピッチ68ピン（32チャンネル）×4個の分割構成となっています。さらにチャンネル数を拡張するときは外部マルチプレクサ（MUX-128a）を合計最大8枚まで並列接続・制御することができます。なお外部マルチプレクサ1枚のみ接続する128チャンネルの本システムではADボード（PCI）側から電源供給することができます。

本システムは姉妹機ADM-687aPCIの上位互換（128ch版／差動入力なし）です。

WINDOWS9x・ME・NT・2000・XPのハンドラ関数ライブラリ／デバイスドライバを添付。

WINDOWS2000・XPのデータ収集ソフトLaBDAQ-AQ（信号処理なし版）を無償ダウンロード配布。

高精度部品の使用により、アナログ入力範囲切り替え時の再調整不要。

サンプリング点数を制限しないFIFOバッファメモリ搭載。（標準1K語／増設可能）

クロック源：内部10MHz／内部8.192MHz／または外部入力。

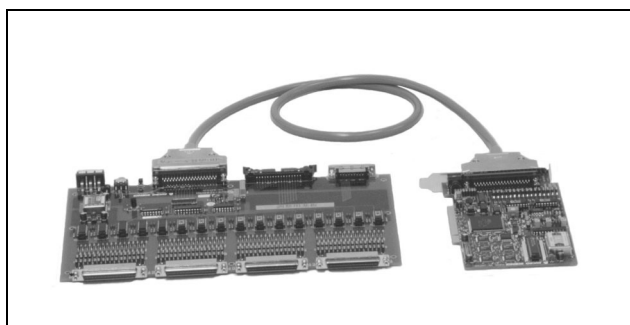
トリガ源：ソフト上の即トリガ／アナログ（エッジ・レベル・レンジ）／デジタル入力。

《高速》か《高精度》か：ソフト指定によりスキャン速度を切り替えることができます。

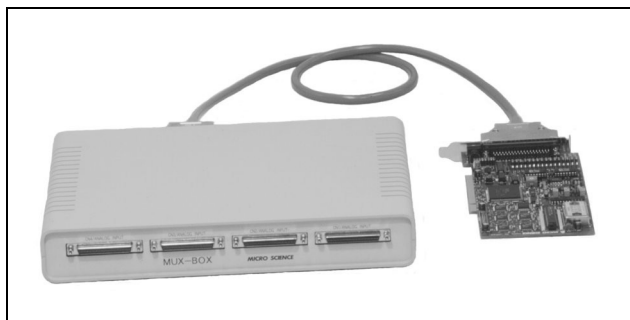
スキャン動作モード	単chサンプル	複数chサンプル	【注】基本正確度（クロストーク含む最悪正確度）
高速スキャンモード	200KHz	(5×ch)μs	±0.023%FS (±0.096%FS)
中速スキャンモード	200KHz	(10×ch)μs	±0.023%FS (±0.060%FS)
低速スキャンモード	200KHz	(20×ch)μs	±0.023%FS (±0.033%FS)

【注】基本正確度は出荷時の最終調整レンジ＝Aモード、±10V範囲で較正測定器誤差を含み、システム内部雑音および入力チャンネル間クロストーク誤差を含みません。最悪正確度は＜基本正確度＞に隣接チャンネル間の入力電圧差が最大時に発生するクロストーク分を加算した値です。（クロストーク：前5頁の仕様一覧参照）

最終調整レンジ＝Aモード、±10V範囲以外で使用するときは＜基本正確度＞が＜0.02%FS＞低下します。



外付マルチプレクサ：裸ボード  
ADS-0128aK (BRD)



外付マルチプレクサ：箱入り  
ADS-0128aK (BOX)

### アナログ入力端：外付マルチプレクサ（MUX-128a）部

ADボード側からチャンネル選択信号を受け、選択されたアナログ入力ADボードに入力されます。ADボード側は**8ブロック・チャンネル**入力で、各ブロックは外付マルチプレクサ1枚分＝128チャンネルからの被選択信号を受けます。

外付マルチプレクサ・ボード上には接続する入力ブロックを選択するジャンプスイッチがあり、合計8枚（128ch×8＝1024チャンネル）を接続・入力することができます。

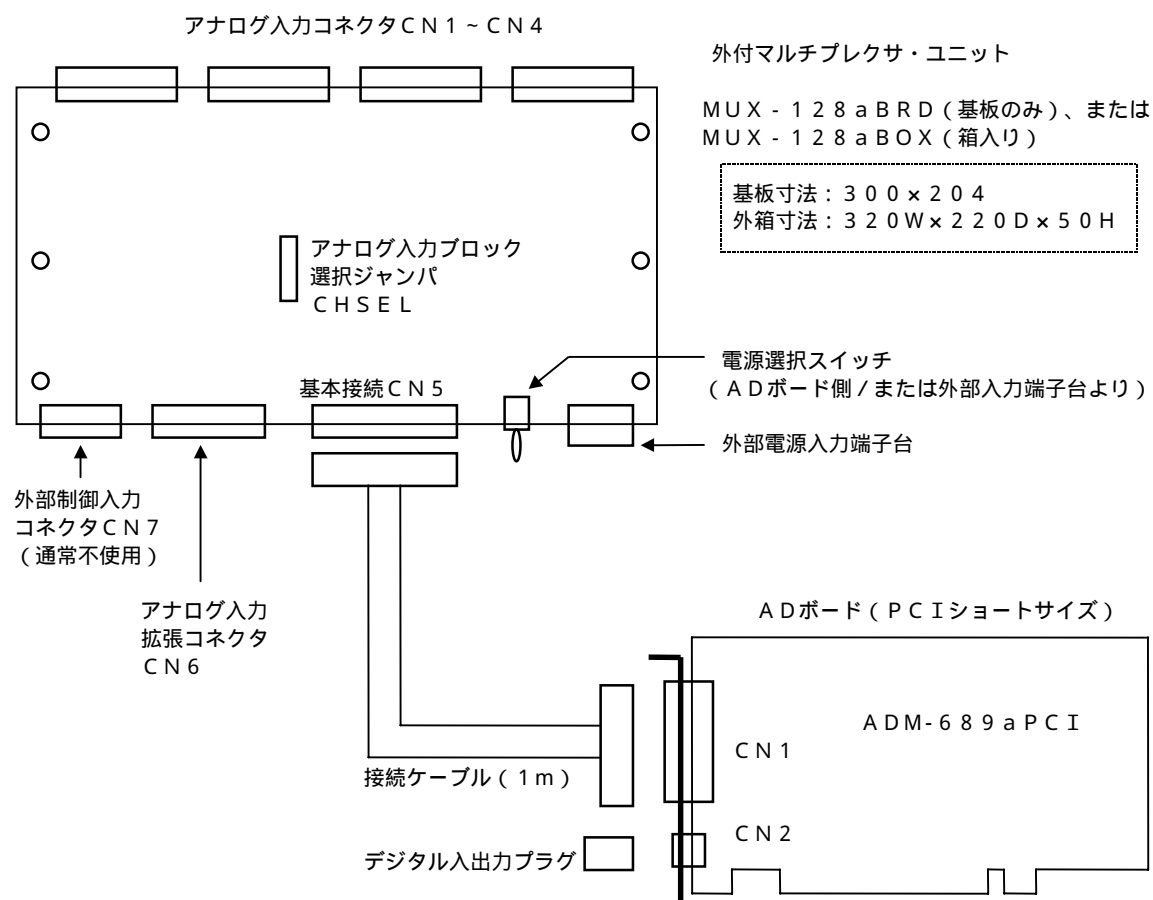
具体的には2枚目以降の外付マルチプレクサMUX-128aを専用の拡張コネクタで並列接続し、任意の入力ブロックにジャンプ設定だけです。

設定された入力ブロックとADボード側からみたアナログ入力チャンネル番号の関係は、

表1-1. アナログ入力チャンネル設定

ジャンプCHSELの設定	入力ブロック番号	アナログ入力チャンネル番号
最初の1枚：0（出荷時）	0	0～127
以下：1	1	128～255
"：2	2	256～383
"：3	3	384～511
"：4	4	512～639
"：5	5	640～767
"：6	6	768～895
"：7	7	896～1023

図1-1A. ADS-0128aKシステム構成 = + + + +





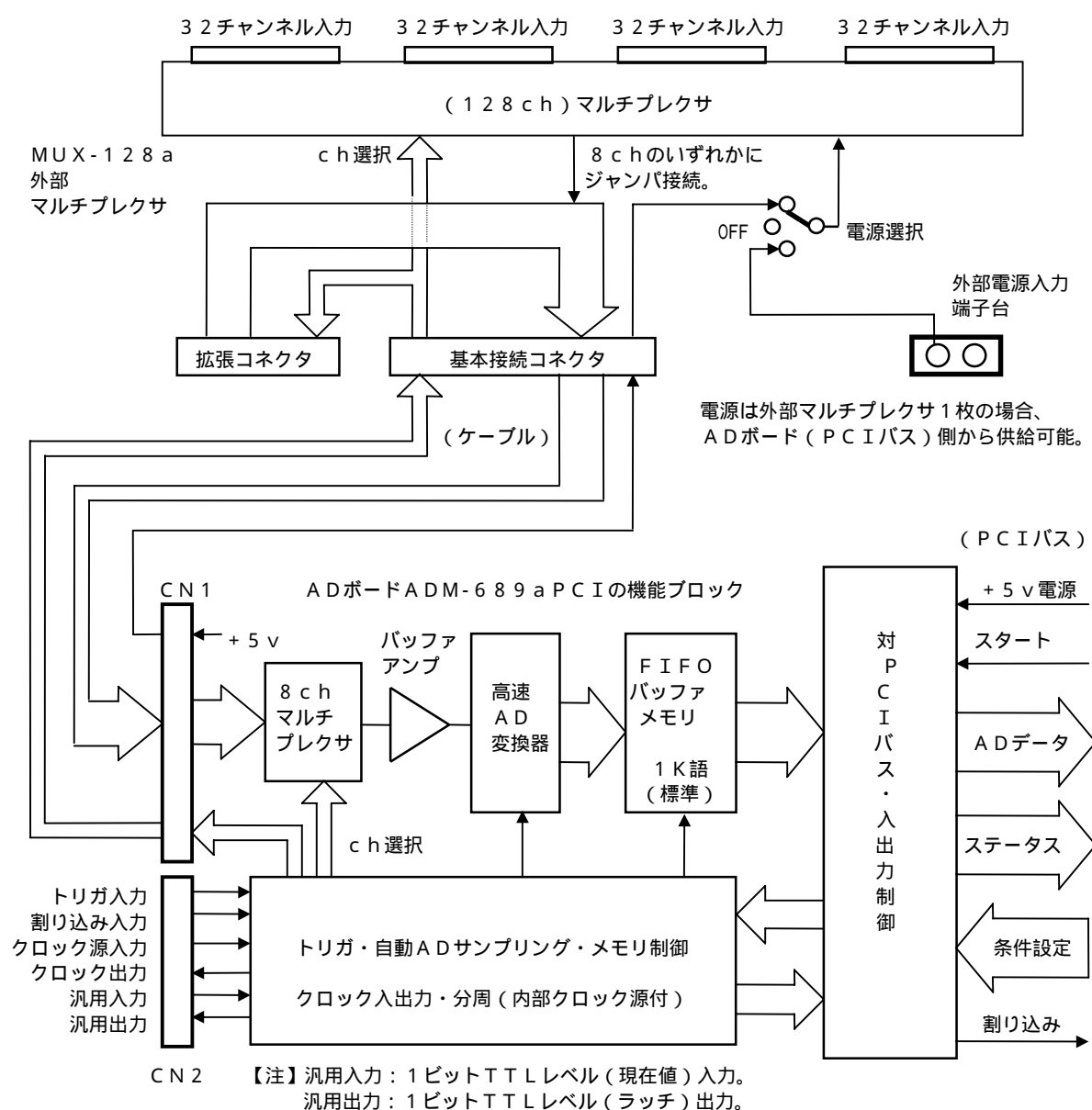
## ADボード (ADM-689aPCI) 部

本ボードは効率のよい高速ブロックI/O転送命令も利用できるFIFOメモリを搭載しており、指定された条件（トリガ・トリガ・チャンネル数）に従ってボード上で自動サンプリングを行う構造となっています。ソフト上では 条件設定 スタート（トリガ待ち） ステータス取得・評価 データ読み込みだけで、動作タイミング等の制御を必要としません。このような制御構造はリアルタイム/マルチタスクのFALシステムやWINDOWS環境に最適です。

アナログ入力チャンネル0を先頭に、ソフト上で指定するチャンネルまでを連続的にスキャンします。（3-1項参照）指定クロックによる連続・自動サンプリング動作を開始するトリガとして内部（アナログ）トリガを指定した場合はチャンネル0入力信号がトリガ条件と比較されます。

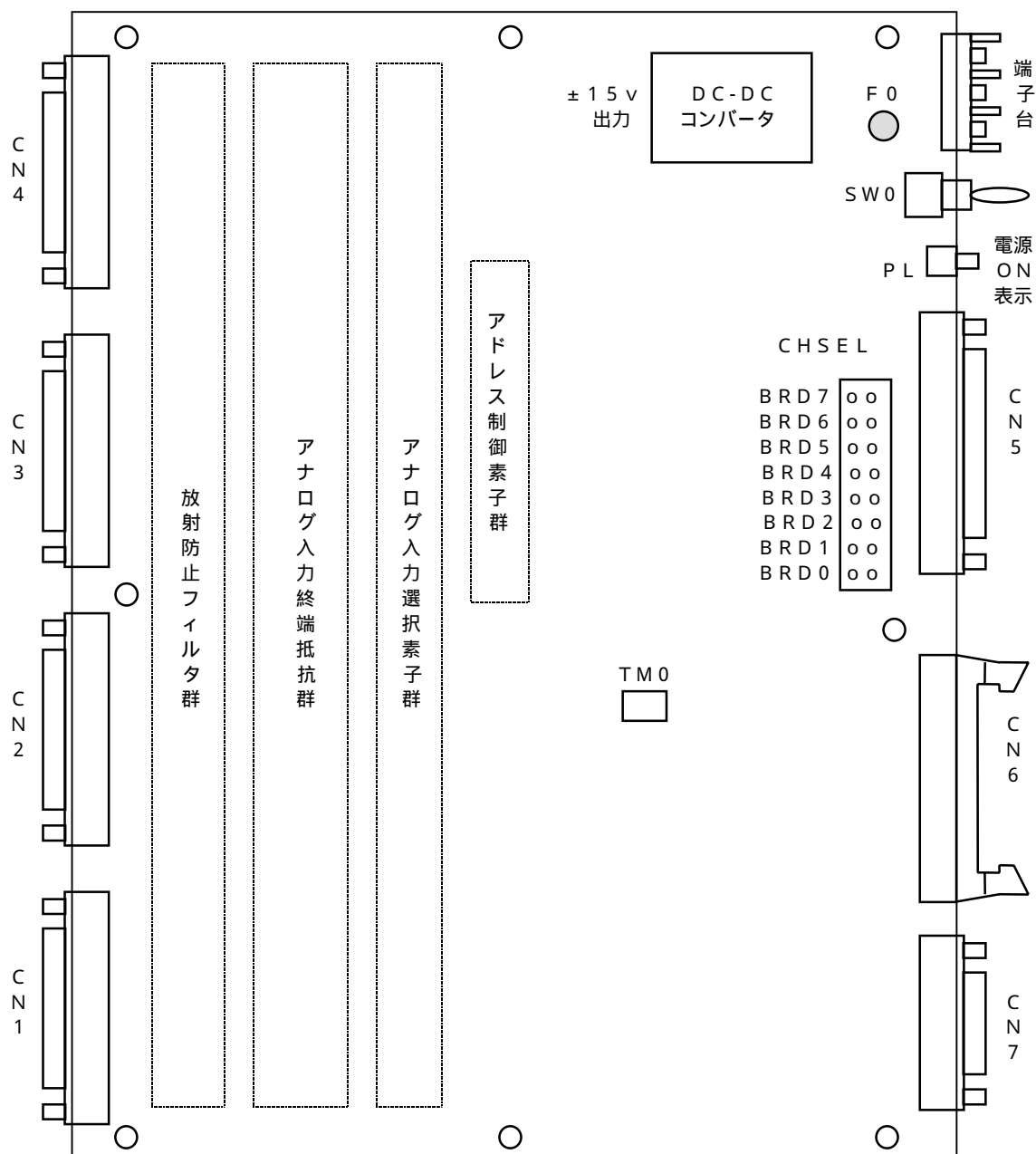
サンプリングされたADデータはFIFOバッファメモリ（標準1024語）に自動転送され、サンプリング中でも（何時でも）古い順に読み出すことができます。FIFO型メモリは通過型ですからデータ点数を制限しませんし、通常は標準でも本機の最高速度を実現できますが、ソフト側の都合で読み出しが遅れるような場合はオプションでメモリ増設も可能です。（3-2項参照）

図1-1B. ADS-0128aKシステム機能ブロック図



## 1-2. ボード上の設定

図1-2A. アナログ入力選択MUX - 128aボード上の部品配置



CN1～CN4 : アナログ入力コネクタ (各68ピン・ハーフピッチ) / 1 - 3項。

R000～127 : アナログ入力終端抵抗【出荷時：各10M】/ 2 - 1項。

CHSEL : アナログ入力ブロック設定ジャンパ【出荷時：**BRD0**】

CN5 : 基本接続コネクタ (対ADボード ADM-689aPCI 接続) / 添付のケーブルで接続。

CN6 : アナログ入力拡張コネクタ (2枚目以降のMUX - 128aと並列接続) / 7 - 5項

CN7 : 外部制御入力コネクタ (通常不使用) / 7 - 5項。

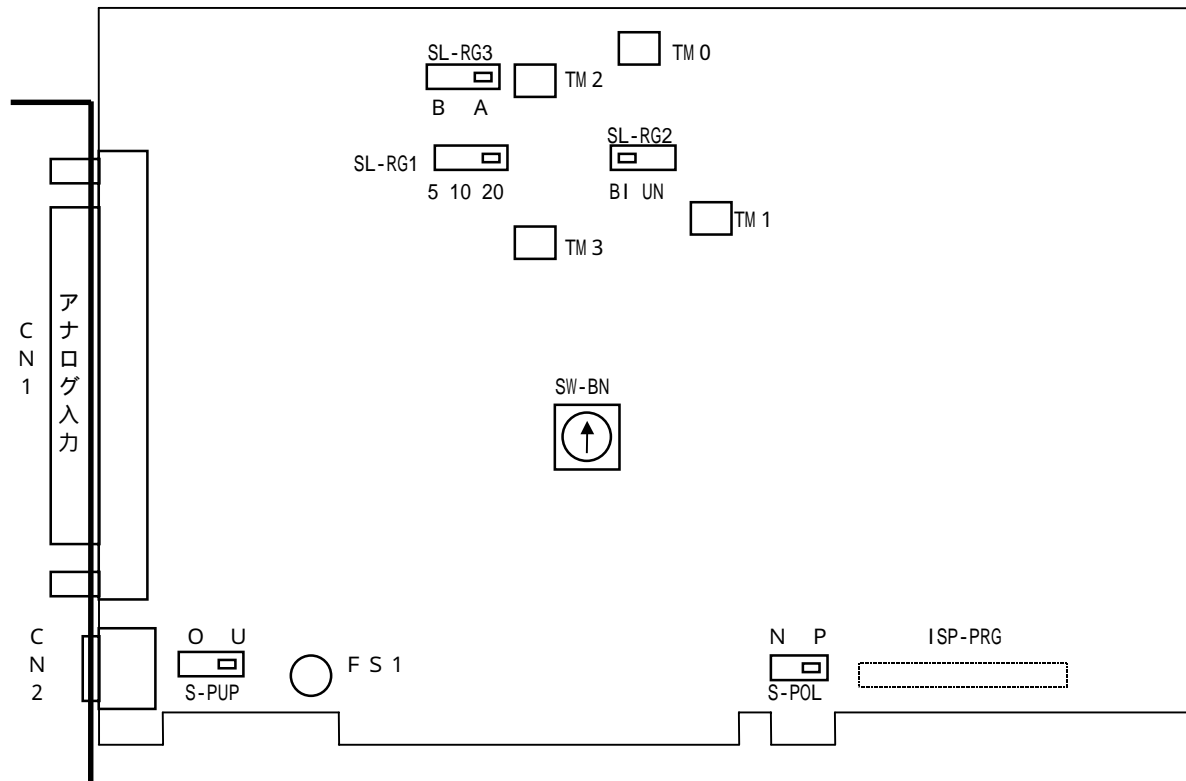
SW0 : 電源選択スイッチ【出荷時：**CN5側**】

F0 : ヒューズ (0.5A)

EXTPOWER : 外部電源入力端子台。

TM0 : オフセット調整トリマ。

図1-2B. ADM-689aPCIボード上の部品配置



SL-RG1 : アナログ入力 (公称) スパン選択【出荷時 : 20】 / 2 - 2 項。

SL-RG2 : アナログ入力範囲極性選択【出荷時 : BI】 / 2 - 2 項。

SL-RG3 : アナログ入カスパン・モード選択【出荷時 : Aモード】 / 2 - 2 項。

TM0 : (バイポーラ) オフセット調整トリマ。  
 TM1 : (ユニポーラ) オフセット調整トリマ。  
 TM2 : ゲイン調整トリマ。  
 TM3 : (バッファアンプ) オフセット調整トリマ。 } 再調整用 / 7 - 3 項。

S-POL : 汎用デジタル出力の極性選択【出荷時 : P (正論理)】 / 2 - 4 項。

S-PUP : 汎用デジタル出力のプルアップ【出荷時 : U (プルアップ接続)】 / 2 - 4 項。

CN1 : 基本接続コネクタ (対マルチプレクサボード MUX-128a 接続) / 添付のケーブルで接続

CN2 : デジタル入出力コネクタ / 1 - 3 項、2 - 4 項。

SW-BN : ボード番号設定スイッチ【出荷時 : 0】 (本ボードを複数使用時の認識用)

FS1 : +5V 電源出力保護ヒューズ (FRPU-2A : 浜井電球製) / 回路図

ISP-PRG : 保守用 (出荷時 : 未実装)

## 1-3. 入出力コネクタ・ピン接続

本項では基本システム構成(128ch)で信号を入出力するコネクタについて説明します。

## アナログ入力コネクタ

(外付マルチプレクサボードMUX-128a入力)

適合プラグ: DX40-68P-(03)

シェル: DX-68-CV1

ボード側コネクタ: DX10A-68S

図1-3A. MUX-128aアナログ入力コネクタ(CN1~CN4)のピン接続

アナログ入力チャンネル番号					ピン番号	ピン番号	各コネクタ共通
コネクタ名	CN1	CN2	CN3	CN4			(CN1~CN4)
アナログ入力	CH00	CH32	CH64	CH 96	1	35	AG アナロググランド
" "	CH01	CH33	CH65	CH 97	2	36	AG " "
" "	CH02	CH34	CH66	CH 98	3	37	AG " "
" "	CH03	CH35	CH67	CH 99	4	38	AG " "
" "	CH04	CH36	CH68	CH100	5	39	AG " "
" "	CH05	CH37	CH69	CH101	6	40	AG " "
" "	CH06	CH38	CH70	CH102	7	41	AG " "
" "	CH07	CH39	CH71	CH103	8	42	AG " "
" "	CH08	CH40	CH72	CH104	9	43	AG " "
" "	CH09	CH41	CH73	CH105	10	44	AG " "
" "	CH10	CH42	CH74	CH106	11	45	AG " "
" "	CH11	CH43	CH75	CH107	12	46	AG " "
" "	CH12	CH44	CH76	CH108	13	47	AG " "
" "	CH13	CH45	CH77	CH109	14	48	AG " "
" "	CH14	CH46	CH78	CH110	15	49	AG " "
" "	CH15	CH47	CH79	CH111	16	50	AG " "
" "	CH16	CH48	CH80	CH112	17	51	AG " "
" "	CH17	CH49	CH81	CH113	18	52	AG " "
" "	CH18	CH50	CH82	CH114	19	53	AG " "
" "	CH19	CH51	CH83	CH115	20	54	AG " "
" "	CH20	CH52	CH84	CH116	21	55	AG " "
" "	CH21	CH53	CH85	CH117	22	56	AG " "
" "	CH22	CH54	CH86	CH118	23	57	AG " "
" "	CH23	CH55	CH87	CH119	24	58	AG " "
" "	CH24	CH56	CH88	CH120	25	59	AG " "
" "	CH25	CH57	CH89	CH121	26	60	AG " "
" "	CH26	CH58	CH90	CH122	27	61	AG " "
" "	CH27	CH59	CH91	CH123	28	62	AG " "
" "	CH28	CH60	CH92	CH124	29	63	AG " "
" "	CH29	CH61	CH93	CH125	30	64	AG " "
" "	CH30	CH62	CH94	CH126	31	65	AG " "
" "	CH31	CH63	CH95	CH127	32	66	AG " "
空ピン					33	67	DG デジタルグランド
空ピン					34	68	空ピン

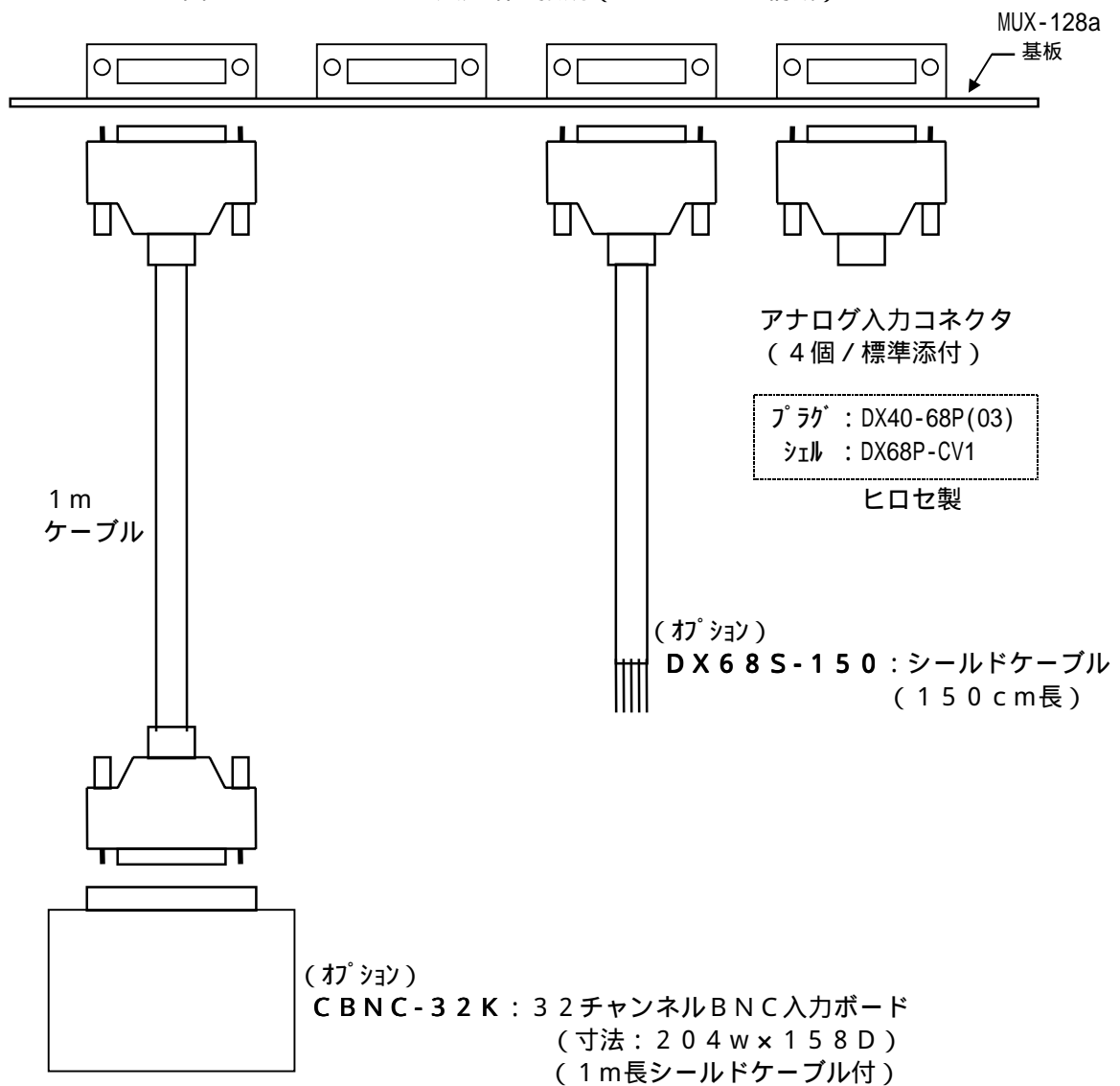
【注1】 アナログ入力チャンネル番号は本マルチプレクサボード(MUX-128a)のアナログ入力ブロック選択ジャンパCHSELを【0】に設定した場合です。/出荷時設定/  
マルチプレクサボードを並列接続してチャンネル数を拡張する場合、このジャンパ設定位置を重複しないように順次【1】【2】【3】……【7】とします。このようにして拡張された各ボードの入力チャンネル番号は表1-1のとおりです。(順次+128した番号になる。)

【注2】 アナロググランドAGとデジタルグランドDGはボード内部で接続されています。

アナログ入力コネクタには(32ch単位で)68ピン/ハーフピッチコネクタ4個が使用されており、ハンダ付け用の適合プラグ(4個)が添付されています。

またオプションで150cm長シールドケーブル(片方:バラ)や、32チャンネルBNC接続ボード(接続用1mケーブル付)も用意されています。

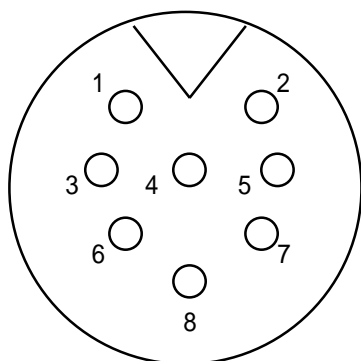
図1-3B. アナログ入力端の接続(32ch×4構成)



**デジタル入出力コネクタ** : ADボード (ADM-689aPCI) のリアパネル面

8ピン丸型コネクタが使用されており、適合プラグ1個が添付されています。

図1-3C. デジタル入出力コネクタ (CN2) ピン接続



(添付プラグのハンダ付け側)

ピン1: 割り込み入力	INT - IN
ピン2: トリガ入力	TRG - IN
ピン3: クロック源入力	CLK - IN
ピン4: クロック出力	CLK - OUT
ピン5: 汎用デジタル入力	I/O
ピン6: 汎用デジタル出力	Q/O
ピン7: PCIバス+5V出力	+5V
ピン8: デジタルグランド	DG

(DGとAGはボード内で接続されている。)

プラグ: HR212-10P-8P-MS / ヒロセ製  
基板側: HR212-10RA-8SDL (03) / ヒロセ製

(オプション)  
図1-3D. デジタル信号BNC接続ボックス

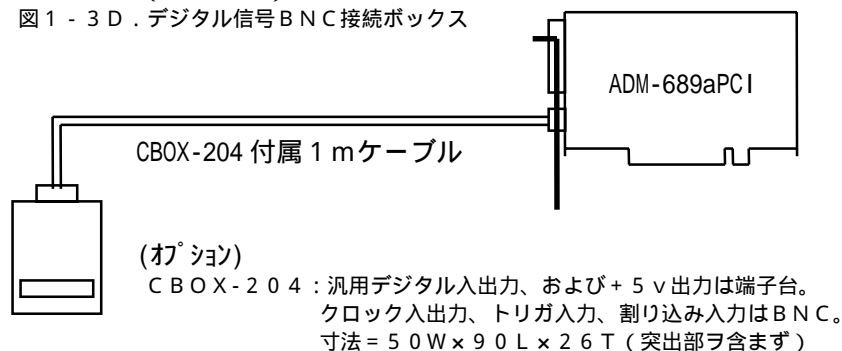
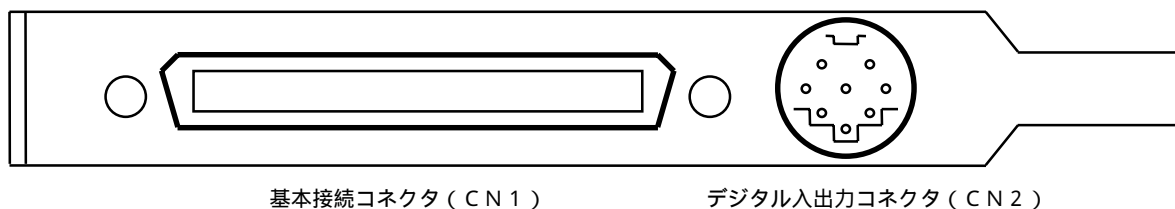


図1-3E. ADボード (ADM-689aPCI) リアパネル面の外観



基本接続コネクタ (CN1)

デジタル入出力コネクタ (CN2)

**ボード間の接続** : 外付マルチプレクサMUX-128aのコネクタCN5とADボードADM-689aPCIのコネクタCN1とは添付の1m長シールドケーブルで接続します。

ピン接続: 7-5項参照。

## 1-4. ボードのインストール

本製品のADボード部はプラグアンドプレイに対応したPCIボードです。

御使用に先立ち、組み込むパソコンシステムにインストール（認識・リソース割り当て）される必要があります。この作業はシステムを上げたとき（電源投入直後）に自動実行されます。

### 準備

本ボードADM-689a PCI上の諸設定は出荷時の状態（1-2項）とします。

パソコン本体または拡張I/Oボックスの電源を切った状態でカバーを外し、任意の拡張（PCIバス）I/Oスロットに本ボードを無理なく押し入れ装着します。

インストール実行時は外付マルチプレクサボードMUX-128aを接続する必要はありません。注意することは、

パソコン本体または拡張I/Oボックスの電源を必ず切っておく。電源を入れたままで本ボードを抜き差しすることは双方の故障原因となります。

本ボードのカードエッジ（金メッキ端子）に手を触れないこと。手を触れると、（油脂成分の付着等により）接触不良の原因となることがあります。もし、触れてしまった場合はアルコール等で拭き清めてください。

### 本ボード上ROM内のコンフィギュレーション情報

Vendor ID : 13FDH（インタフェース素子の製造者ID）【注1】  
 Device ID : 010CH（ADM-689a PCIボード自体のID）【注1】  
 Subsystem Vendor ID : 13FDH（ボード製造者＝マイクロサイエンス社のID）  
 Subsystem ID : 010CH（ADM-689a PCIボード自体のID）  
 Class Code : 110000H（本ボードの適合する分類コード）  
 リソース要求：I/Oアドレス：連続した複数アドレス。  
                   割り込み          ：デフォルトでは不要求。【注2】  
                   バスマスタ      ：機能なし（不要求）。

【注1】 Vendor ID / Device IDは本来、インタフェース素子メーカー／素子自体を特定するIDですが、本ボードで使用している素子は汎用品として多数の他社製品にも使用されており、（98/04/01）現在パソコンのプラグアンドプレイではVendor IDとDevice IDだけでボードを認識する機種があるので（混乱を避けるために）当社IDを記してあります。

【注2】 **割り込みを使用する場合**：本ボード上のROMに書き込まれているデフォルト（初期）のコンフィギュレーション情報では割り込みリソースを要求しません。もし要求したときに空きが無く拒否されるとI/Oアドレスの割り当ても受けられず、認識不能状態になる恐れがあるからです。割り込みを利用したいときは以下の手順を踏んでください。

本ボードを最初はデフォルト（初期）設定のままインストールし、システムから認識できる状態にしてください。

現在のシステムが使用しているリソース情報を調査してください。割り込みに空がある場合は（当社提供のユーティリティ：cf9050で）本ボード上のコンフィギュレーション情報（ROM）を割り込みリソースを要求するように修正して、一旦終了・電源を切ります。（パソコン電源部保護のため1分以上の後）、再度電源投入するとプラグアンドプレイで割り込みリソースが割り当てられます。

割り込みリソースに空きが無い場合は最後の手段として、既に他デバイスに割り当てられている割り込みリソースを共有する方法も考えられますが、他デバイスの動作にも影響する恐れがあるため、現時点では当社のサポート対象外としています。

**インストール(1) : WINDOWS 95の場合。(WINDOWS 98/MEも同様)**

#### 《ボードのインストール》

パソコンシステムの電源を投入するとWINDOWS 9xが立ち上がり、このとき新ハードウェア(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

オリジナルのWINDOWS 95では、

[新しいハードウェアが検出されました/必要なソフトウェアをインストールしています]に続くダイアログボックスのデフォルトは[ハードウェアの製造元が提供するドライバ]となっていますから、添付の[ボードインストール・ディスク]を挿入、ウィザードに従って(ディスクがFDの場合は[a:¥win9x]フォルダから)読み込ませてください。

(CDROMの場合は適切なドライブのフォルダ[ :¥win9x]から)

ファイルのコピーで“ms\_pci.vxd”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

WINDOWS 95/OSR2バージョンでは、

デバイスドライバ・ウィザードが立ち上がり、

[新しいハードウェアが検出されました。/必要なソフトウェアを探しています]に続いてドライバの検出過程ダイアログが現れますから、添付の[ボードインストール・ディスク]を挿入、ウィザードに従って(ディスクがFDの場合は[a:¥win9x]フォルダから)読み込ませてください。(CDROMの場合は適切なドライブのフォルダ[ :¥win9x]から)

ファイルのコピーで“ms\_pci.vxd”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

これで本ボードの情報がWINDOWS 9xのレジストリに登録されました。

#### 《割り当てリソースの調査》

WINDOWS 9xの【スタート】メニューから 【設定】 【コントロールパネル】  
【システム】 【デバイスマネージャ】 【MSCIENCE】 【ADM-689PCI】  
【プロパティ】 【リソース】で調べます。

《本ボード専用ドライバ/DLLのインストール》: 通常はこれを御利用ください。

本ボードの基本機能を関数化したものです。インストール方法は第6章(6-3項)参照。

《汎用ドライバ/DLLのインストール》: 前記の専用ドライバ/DLLユーザには不要です。

ボードに依存しない単純I/O実行用です。自作ドライバの素材に利用できます。

WINDOWS 9xではI/Oポートの読み書きをデバイスドライバを使用せず、DLLで直接実行できますから(その方が普通です)、割り込みを使用する場合に限って当社の用意する“割り込み用の汎用デバイスドライバ”を利用してください。

インストーラはありません。必要なファイルを手作業で適切なフォルダにコピーします。

汎用ドライバ類の所在は、ドライバ本体: Win9x¥vxd¥pta95\_0.vxd

汎用のDLL: Win9x¥DLL¥accs\_95.dll

ドライバ説明: Win9x¥DOC¥readme.txt

(CDROMの場合)¥INSTALL¥Driver¥Win9xです。

コピー先は: DLLはWINDOWS 9xのフォルダに、VXDはWINDOWS 9xのシステムフォルダです。



**インストール(2)** : **WINDOWS-NT (4.0)** の場合。

各作業は必要により **Administrator レベル**で行ってください。

#### 《ボードのインストール》

パソコンシステムの電源を投入するとプラグアンドプレイが自動実行されます。

ソフト的には新ボードの装着されたスロットとボード情報が認識され、リソースの割り当てが自動実行されます。この過程は電源投入(ハードウェア・リセット)の毎に実行されますから、ハードウェアの構成が変化すると割り当てられるリソースが変化することもあります。

~~【ここまではWINDOWS 9.5と同様です。】~~

この後、ドライバ類の組み込みが実行され、最後にWINDOWS - NTが立ち上がりますが、NTのレジストリはプラグアンドプレイ情報に対応していないため、これで終わりです。

《本ボード専用ドライバ/DLLのインストール》: 通常はこれを御利用ください。

本ボードの基本機能を関数化したものです。インストール方法は第6章(6-3項)参照。

《汎用ドライバ&ユーティリティのインストール》: 専用ドライバ/DLLユーザには不要です。

ボードに依存しない単純I/O実行用です。自作ドライバの素材に利用できます。

WINDOWS - NTではI/Oポートの読み書きも割り込み処理にもデバイスドライバが必要です。本ドライバは最大16枚のボード(各複数I/Oアドレスおよび専用割込1本)を制御することのできる**汎用デバイスドライバ**です。

インストールは添付のインストーラで行いますが、このとき同時にドライバの設定ユーティリティ、(プラグアンドプレイで自動設定された)リソースの調査ユーティリティ、さらにサンプルプログラムもインストールされます。

汎用ドライバ類の所在は、インストーラ: WinNT¥Setup.exe  
 ドライバ本体: WinNT¥Sys¥NtPta\_\_?.sys  
 汎用のDLL: WinNT¥DLL¥Port\_\_nt.dll  
 ドライバ設定ユーティリティ: WinNT¥Doc¥Rs\_\_reg.exe  
 リソース調査ユーティリティ: WinNT¥Doc¥PCIadr.exe  
 説明ファイル: WinNT¥Doc¥Readme.txt

(CDROMの場合) ¥INSTALL¥Driver¥WinNTです。

【注1】? = 0 ~ 15

【注2】ドライバとDLLは無指定でNT所定のフォルダにインストールされますが、ユーティリティとサンプルプログラムは前もってインストール先のフォルダを用意しておき、インストール実行時に指定します。

#### リソースの調査/汎用デバイスドライバの設定

当社製PCIボードのリソース(アドレス/割り込み)割り当て・占有状態を調査するユーティリティPCIadrを使用して、本ボードの(プラグアンドプレイで設定された)I/Oアドレス・割り込みレベル情報を取得できます。この情報にもとづいてデバイスドライバの設定ユーティリティ(Rs\_\_reg)でデバイスドライバを設定します。

使用方法是同一フォルダ内の説明テキストファイルを御覧ください。

**インストール(3) : WINDOWS 2000の場合。**

WINDOWS 2000はNT4.0の上位バージョンですが、プラグアンドプレイ機能を持つため、本ボード装着直後のインストール作業にWINDOWS 2000対応のインストールディスク(当社製:FDなら/vr2.00以降、CDROMなら2000-08版以降)が必要です。

当社ホームページ[www.microscience.co.jp](http://www.microscience.co.jp)の<ダウンロード>アイコン以下で入手できるビジュアルな操作手順書も併せて参照し、注意深く行ってください。

各作業は必要により **Administrator レベル**で行ってください。

#### 《ボードのインストール》

パソコンシステムの電源を投入するとWINDOWS 2000が立ち上がり、このとき新ハードウェア(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

新しいハードウェアの検出ウィザードが立ち上がり、  
[新しいハードウェアが検出されました。/必要なソフトウェアを探しています]に続いてドライバの検出過程ダイアログが現れますから、添付の[ボードインストール・ディスク]を挿入し、ウィザードに従って(ディスクがFDの場合は[a:\win2K]フォルダから)読み込ませてください。

(CDROM<2000-08版以降>の場合は適切なドライブのフォルダ[ :win2K]から)

ファイルのコピーで“dms\_pci.sys”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

これで本ボードの情報がWINDOWS 2000のレジストリに登録されました。

- (1) インストールされたドライバ“**DMS\_PCI.SYS**”は、  
当社製各PCIボード(複数可能)に共通使用できるWINDOWS 2000/XP用のWDMドライバです。

インストール元: ボードインストールディスク。

インストール先: ¥WINDOWS¥SYSTEM32¥DRIVERS

- (2) 御利用に先立ち、4-1項に従い各種ソフトウェアのインストール作業を行ってください。  
(専用インストーラによる解凍・展開)

インストール元: 添付のCDROM。

インストール先: ¥MSCIENCE 以下。

- (3) その後、利用する関数DLLを手作業で所定のフォルダにコピーする必要があります。  
本ボード専用のハンドラ関数DLL(推奨)から使用する場合は6-3項を、また当社製全PCIボード(複数可)共通に利用できる汎用単純入出力関数DLLから利用する場合は4-2項を御覧ください。

コピー元: ¥MSCIENCE 以下。

コピー先: ¥WINDOWS¥SYSTEM32

以後、アプリケーションからの利用が可能になります。

#### 《割り当てリソースの調査》

WINDOWS 2000の【スタート】メニューから 【設定】 【コントロールパネル】  
【システム】 【ハードウェア】 【デバイスマネージャ】 【MSCIENCE】  
【ボード名】 【プロパティ】 【リソース】で調べます。

**インストール(4) (WINDOWS-X Pの場合)**

ボード装着直後の作業にはWINDOWS 2000用のインストールディスクが必要です。  
基本的な手順は前ページに記したWINDOWS 2000の場合と同様ですが、  
**WINDOWS-X P**のウィザードは間違い易い表現が多いので作業には**注意が必要です**。  
添付のCDROM、または当社ホームページ[www.microscience.co.jp](http://www.microscience.co.jp)の<ダウンロード>  
アイコン以下で入手できるビジュアルな手順書も併せて参照し、注意深く行ってください。

《手順》----- オリジナルXPの場合。SP2の場合はビジュアルな手順書参照。

パソコンシステムの電源を投入するとWINDOWSが立上り、このとき新ハードウェア  
(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

- (1) 新しいハードウェアの検出ウィザードの開始。 / ダイアログ /  
<ハードウェアに付属のインストールCD、ディスクがある場合は挿入してください>  
と表示されますが、ここでは添付のCDROMを**未だ挿入しないで**ください。  
下段に表示されている<インストール方法>選択肢ラジオボタン をデフォルトから  
<一覧または特定の場所からインストールする>に変更して【次へ】をクリックします。

- (2) 検索とインストールのオプションを選んでください。 / ダイアログ /  
デフォルトの< 次の場所で最適のドライバを検索する>チェックボックスを外し、  
< 次の場所を含める>のみをチェック、ここで添付のCDROMを挿入すると、

- (3) 自動再生 / ダイアログ / が登場してサーチを始めますが、  
これは即、【キャンセル】クリックしてください。

さらに、

- (4) この種類のファイルのディスクを挿入したり、デバイスに接続したりするたびに  
WINDOWSが自動的に実行する動作を選択できます。 / ダイアログ / が登場したら  
これも【キャンセル】クリックします。

これで(2)の / ダイアログ / に戻りますから、

- (5) < 次の場所を含める>を指定するためのテキストボックスを正しく埋めるために  
【参照】ボタンをクリックします。

- (6) フォルダの参照<ハードウェアのドライバを含むフォルダを選んでください>  
/ ダイアログ / が開きますから、  
<CDROMアイコン> <0\_\_ボードインストール> <WIN2K>と指定して  
【OK】をクリックするとインストールが実行されます。

これで本ボードの情報がWINDOWSのレジストリに登録されました。

以下は前ページに記したWINDOWS 2000と同様です。

御利用に先立ち、4-1項に従い各種ソフトウェアのインストール作業を行って下さい。

【注】操作ミス等でボードインストールが正しく実行されなかった場合は、  
Windows XPはボードインストール作業直前の状態を記憶しているので、  
一旦終了・電源を落としてボードを外し、再立ち上げの後、  
WINDOWSの【スタート】から【ヘルプとサポート】を選択し、  
<ヘルプとサポートセンター>ダイアログ中の  
<コンピュータへの変更をシステムの復元で元に戻す>機能で  
ボードインストールをやり直すことのできる元の状態に戻すことができます。

## 1-5 . 運転準備、動作確認

以下の手順で試運転してください。動作に不具合があるときは1-2項に記されたボード上の設定を確認してください。それでも不明なときは本書巻末に添付の【Q & A フォーム】にシステム情報を御記入のうえ当社技術部までFAXしてください。迅速に応答します。

なお、TELいただく場合も客観情報の整理・評価は問題解決のスピードアップにつながりますから事前にFAXしてください。

== 準備 ==

本ボード上の諸設定は出荷時の状態（1-2項）とします。

1-4項に従いADボードADM-689aPCIをインストールし、ユーティリティ等で割り当てられたリソース（I/Oアドレス）を調べておきます。

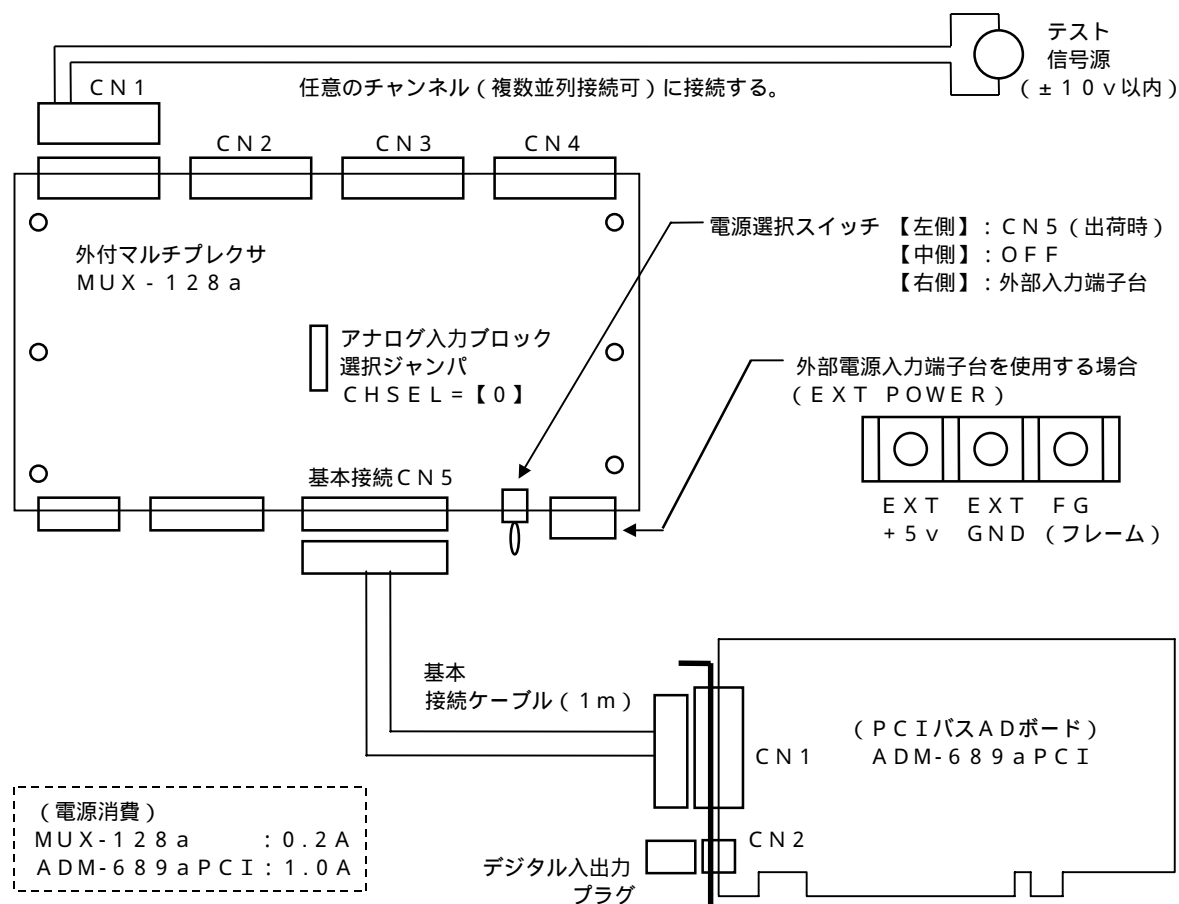
電源をOFFとし、  
外付マルチプレクサMUX-128aとADボードADM-689aPCIを添付のケーブルで接続します。

本ボードのアナログ入力にはテスト用の信号源（ $\pm 10\text{V}$ 以内）に接続します。/ 図1-5

外付マルチプレクサMUX-128aの電源は通常、CN5・ケーブル（パソコン）側から供給します。パソコン側に余裕がないときは外部電源入力端子台から供給します。/ 図1-6

以上で準備完了です。電源投入順序は全機器同時、または外部機器を先にパソコン本体を最後に行います。電源切断は逆順序です。

図1-5 . 動作確認用の接続例



== 運 転 ==

試運転・動作確認用プログラム“689QB2”を使用します。

本プログラムはMS-DOS版です。御使用に先立ち、添付のソフトウェアをインストール(4-1項)しておく必要があります。また、当プログラムのソース(Quick-Basic)も同名(拡張子:BAS)で添付されています。

なお“689QB2.EXE”は日本語モードでは正常な表示ができないので、事前に英語モードに切り替えてから“689QB2.EXE”を呼び出す“689QB2.COM”を使用してください。

電源を投入し、OSを立ち上げます。

(WINDOWS 9xのDOS窓でも動作可能、NT・2000・XPのDOS窓は不可)

試運転・動作確認用プログラム“689QB2”を読み込み、実行します。

最初にI/Oベースアドレスの入力を要求されますから1-4項で調査した4桁のHex値を入力します。次にアナログ入力ブロック番号(MUX-128aのCHSEL設定値)を要求されるので番号(0~128chなら0)で指定します。以後の操作は、

操作 【SPACE】キー：中断/再開  
【ESC】キー：終了

本プログラムで128ch分のADデータを16進数(Hex)で表示します。  
標準出荷時のアナログ入力範囲設定は±10Vです。

【注】 1回のサンプリング動作はアナログ入力チャンネル0を先頭に指定チャンネルまで順次・連続的に行われます。順番を変更したり、途中を飛ばすことはできません。  
外付マルチプレクサを増設した拡張システムの場合、本プログラムでは1画面中で128チャンネルしか表示できません。表示する入力チャンネル群を指定するのがアナログ入力ブロック番号(MUX-128aのジャンパCHSEL設定値)です。

#### WINDOWS NT/2000/XPでの動作確認

本項で使用するプログラムはWINDOWS 9x/ME、およびMS-DOSの環境でのみ動作します。WINDOWS 2000/NT/XPの場合は第6章で説明されている専用の関数ライブラリを使用した各言語(VB, C++, C, Delphi, C++ビルダ)用のサンプルプログラムを御利用ください。

また無償配布のデータ収集アプリケーションLABDAQ-AQも利用できます。  
(当社ホームページ<[www.microscience.co.jp](http://www.microscience.co.jp)>からダウンロード)

## 1-6．電源供給、およびアナログ入力拡張について

別売の外付マルチプレクサMUX-128aを追加接続することにより128チャンネル単位で最大1024チャンネルまで拡張することができます。

接続はMUX-128aのアナログ入力拡張コネクタCN6同志を並列に接続するだけです。コネクタ接続情報は7-5項に記されています。

電源に御注意ください。

MUX-128aの電源消費は0.2A

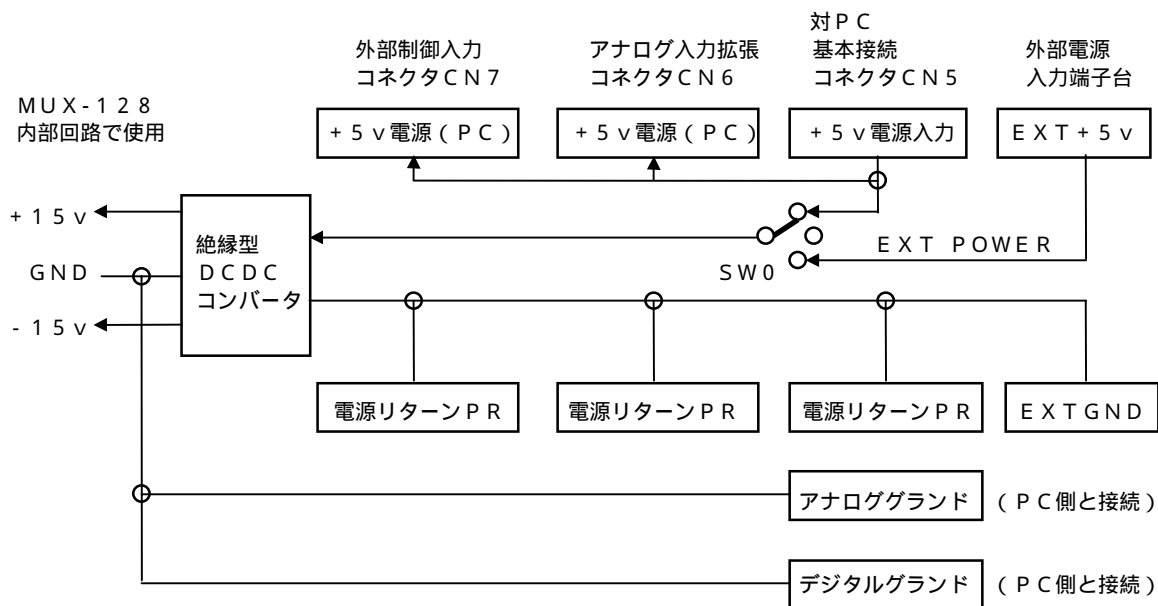
ADM-689aPCIの電源消費は1.0A です。

パソコン側に供給余力があるときはMUX-128aボード上のスイッチSW0をCN5側に設定します。このときは基本接続ケーブルを通してADM-689aPCI側（パソコン側）から5V電源が供給されます。

またスイッチSW0をEXT POWER側に設定すると、MUX-128a用の5V電源は外部電源入力端子台から供給する接続になります。（図1-6参照）

なお拡張追加の各MUX-128a用電源は個々に（SW0を）選択・接続してください。

図1-6．MUX-128aボード内電源系統図



コネクタCN5, CN6, CN7のPR（電源リターン）は同ボード内で接続されています。

コネクタCN5のアナロググランドAG、デジタルグランドDG、および電源リターンPRは添付の基本接続ケーブルによる接続先ADM-689aPCIボード内で（PC側に）接続されています。

すなわち、MUX-128a内で使用されているDCDCコンバータは絶縁型ですが、1次・2次・各側のグランドは本システム内で接続されるため絶縁機能はありません。

MUX-128aで使用されるDCDCコンバータ用の+5V電源入力と同ボード上の電源入力選択スイッチSW0で選択されます。またMUX-128aで使用されるロジック用電源はDCDCコンバータの+15V出力からステップダウン・レギュレータで+5Vを発生させています。

コネクタCN6, CN7に接続されている+5VはPC（パソコン）側からのもので、MUX-128a内では使用されていません。

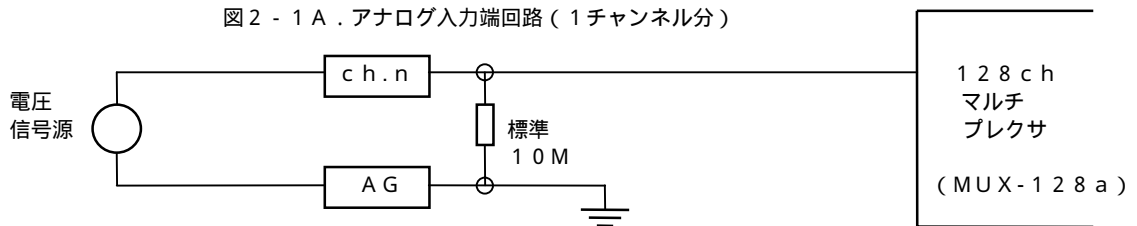
## 第2章. 信号入出力

### 2-1. アナログ入力回路

本システムの（外付マルチプレクサ MUX-128a の）入力形式は普通の2線式（シングルエンド）、なお絶対最大定格は $\pm 35\text{V}$ です。これ以上の電圧が印加される恐れがある場合は保護対策が必要です。（2-3項）

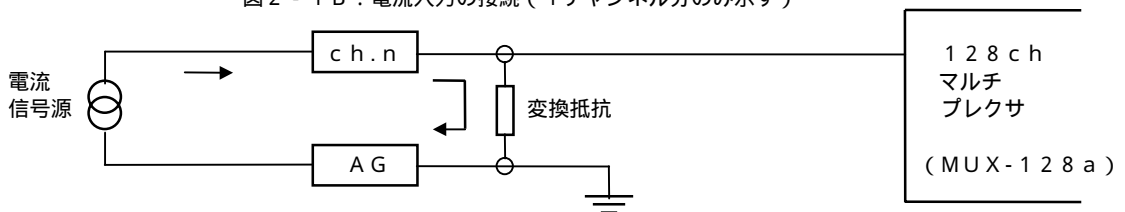
なお各チャンネル入力端には入力インピーダンスを下げるために $10\text{M}$ の終端抵抗が実装されています。（外すと $100\text{M}$ 以上となる）

図2-1A. アナログ入力端回路（1チャンネル分）



電流入力： 信号源が $4 \sim 20\text{mA}$ 等の電流出力の場合は標準実装されている $10\text{M}$ の終端抵抗を適当な値の電流・電圧変換用抵抗に交換して使用できます。（例： $250$ なら $1 \sim 5\text{V}$ に変換）

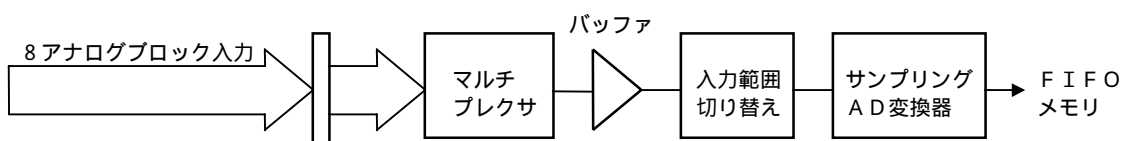
図2-1B. 電流入力の接続（1チャンネル分のみ示す）



外付マルチプレクサ（MUX-128a）はADボード（ADM-689aPCI）側からのチャンネル選択信号により制御され、被選択チャンネル信号を1対1（GAIN=1）で出力します。これらはADボード側から供給される $5\text{V}$ 電源と合わせて添付の基本接続ケーブルで接続されます。/ 1-1項。

ADボード（ADM-689aPCI）は普通の2線式（シングルエンド）、8入力ブロック構成です。1ブロックが外付マルチプレクサ1枚分（ $128\text{ch}$ ）の被選択出力を受ける形になっており、どのブロックに割り当てるかは外付マルチプレクサ MUX-128a ボード上のジャンパC H S E Lで選択しますが、本システムのアナログ入力スキャン順は先頭 = チャンネル0 固定ですから、最初の1枚は必ずC H S E L = 【0：出荷時】としなければなりません。/ 1-1項・表1-1。  
アナログ入力範囲はボード上のスイッチ選択（SL-RG1・SL-RG2・SL-RG3）です。/ 次2-2項

図2-1C. ADM-689aPCIの構造



## 2-2. アナログ入力範囲

アナログ入力範囲はスイッチ設定により下表の5レンジから選択します。16BIT分解能は[1/65536]ですから、公称入力範囲で正直に調整するとAD変換値1単位(digit)当りの電圧値が割り切れない値となります。当社では範囲を少し広げて切りの良い値となる(モードA)もサポートしています。その値は公称入力範囲の[1/50000]です。

表2-2A. 本システムの入力範囲・分解能・正確度【注1, 2, 3】

公称 入力範囲	範囲 モード	実際の入力範囲 ( $\pm 10\text{V}$ 超過は無効)	分解能 mv/digit	正確度 %FS
$\pm 10\text{V}$	A	- 13.1072 ~ + 13.1068 V	0.4	下表2-2B参照
	B	- 10.0000 ~ + 9.99969 V	0.305....	下表2-2B参照
$\pm 5\text{V}$	A	- 6.5536 ~ + 6.5534 V	0.2	
	B	- 5.0000 ~ + 4.99985 V	0.153....	
$\pm 2.5\text{V}$	A	- 3.2768 ~ + 3.2767 V	0.1	
	B	- 2.5000 ~ + 2.49992 V	0.076....	
$0 \sim + 10\text{V}$	A	0 ~ + 13.107 V	0.2	
	B	0 ~ + 9.99985 V	0.153....	
$0 \sim + 5\text{V}$	A	0 ~ + 6.5535 V	0.1	
	B	0 ~ + 4.99992 V	0.076....	

【注1】 本機のAD入力は【 $\pm 10\text{V}$ 範囲/Aモード】で最終調整されていますが、高精度部品の使用により入力範囲を切り替えても多くの用途では再調整の必要がありません。

これ以外に入力範囲で最も正確度を良くしたいときは再調整(7-3項)が必要です。  
御希望により当社でも(有償で)行います。

【注2】《高速》か《高精度》か：ソフト指定によりスキャン速度を切り替えることができます。

電源ON直後は高速スキャンモード状態です。(3-5項)

スキャン速度により(複数チャンネル使用時の)得られるADデータの正確度が変わります。表2-2Bは信号源インピーダンスが数以下(例：オペアンプ出力)のときの正確度を示しています。ポテンショメータのような比較的高いインピーダンスを持つ信号源の場合、隣接(スキャン順が先の)チャンネルの影響を受けます。仕様外ですが、さらに低速の予備モードも用意してあります。/ 3-5項、7-6項参照 /

表2-2B.

スキャン動作モード	単chサンプル	複数chサンプル	【注3】基本正確度(クロストーク含む最悪正確度)
高速スキャンモード	200KHz	(5xch) $\mu\text{s}$	$\pm 0.023\% \text{FS}$ ( $\pm 0.096\% \text{FS}$ )
中速スキャンモード	200KHz	(10xch) $\mu\text{s}$	$\pm 0.023\% \text{FS}$ ( $\pm 0.060\% \text{FS}$ )
低速スキャンモード	200KHz	(20xch) $\mu\text{s}$	$\pm 0.023\% \text{FS}$ ( $\pm 0.033\% \text{FS}$ )

【注3】 基本正確度は出荷時の最終調整レンジAモード、 $\pm 10\text{V}$ 範囲で較正測定器誤差を含み、システム内部雑音および入力チャンネル間クロストーク誤差を含みません。最悪正確度は<基本正確度>に隣接チャンネル間入力電圧差が最大時に発生するクロストーク分を加算した値です。(クロストーク：前5頁の仕様一覧参照)

最終調整レンジAモード、 $\pm 10\text{V}$ 範囲以外で使用するときは<基本正確度>が<0.02%FS>悪化します。



入力範囲（レンジ）の選択： ボード上の下記スイッチで設定します。 / 1-2項参照。

SL-RG1： 入力スパン選択（標準出荷時 = 20） / 入力範囲の絶対電圧幅  
 SL-RG2： レンジの極性選択（標準出荷時 = BI） / BI：バイポーラ、UN：ユニポーラ  
 SL-RG3： レンジモード選択（標準出荷時 = A） / A：モードA、B：モードB

表 2 - 2 C . 入力範囲選択（ADM - 689aPCIボード上の各スイッチ）

公称 アナログ入力範囲	SL - RG 3 (モード選択)	SL - RG 2 (レンジ極性)	SL - RG 1 (スパン選択)
± 10 v	A	BI	20
《該当なし》	A	UN	20
± 5 v	A	BI	10
0 ~ + 10 v	A	UN	10
± 2.5 v	A	BI	5
0 ~ + 5 v	A	UN	5
± 10 v	B	BI	20
《該当なし》	B	UN	20
± 5 v	B	BI	10
0 ~ + 10 v	B	UN	10
± 2.5 v	B	BI	5
0 ~ + 5 v	B	UN	5

ADデータコード： ソフト指定（3-6項）でバイナリ、または2の補数を選択できます。

## 伝達関数

16ビットの分解能は“2の16乗分の1”ですから、AD変換データとアナログ入力電圧の関係は以下のようになります。

$$\text{分解能} \quad R_{\text{es}} = V_{\text{span}} \div 65536 \quad [\text{v} / \text{digit}]$$

$$\begin{aligned} \text{変換データ} \quad D_{\text{ad}} &= V_{\text{io}} \div R_{\text{es}} && [\text{digit}] / \text{ユニポーラ} \text{のとき} \\ D_{\text{ad}} &= (V_{\text{io}} \div R_{\text{es}}) + 32768 && [\text{digit}] / \text{バイポーラ} \text{のとき} \end{aligned}$$

$$\begin{aligned} \text{入出力電圧} \quad V_{\text{io}} &= D_{\text{ad}} \times R_{\text{es}} && [\text{v}] / \text{ユニポーラ} \text{のとき} \\ V_{\text{io}} &= (D_{\text{ad}} - 32768) \times R_{\text{es}} && [\text{v}] / \text{バイポーラ} \text{のとき} \end{aligned}$$

【注 12】  $V_{\text{span}}$  は入力範囲の絶対幅です。具体的には表 2 - 2 A の範囲に 1 digit 分の電圧値を加算した値です。例えば A モードの公称  $\pm 10 \text{ v}$  範囲なら  $V_{\text{span}} = 26.2144 \text{ v}$  ( $0.4[\text{mv}] \times 65536$ )、また B モードなら  $20 \text{ v}$  です。

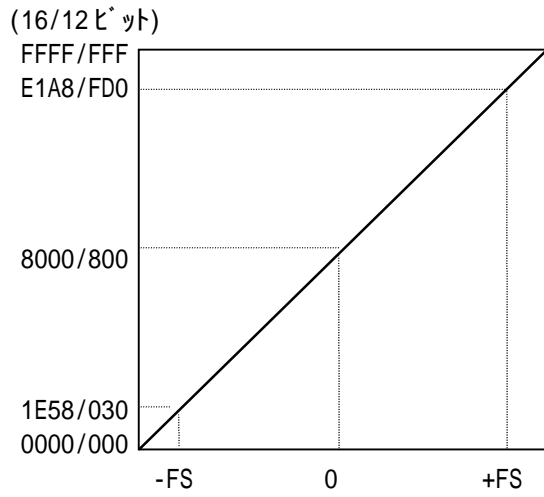
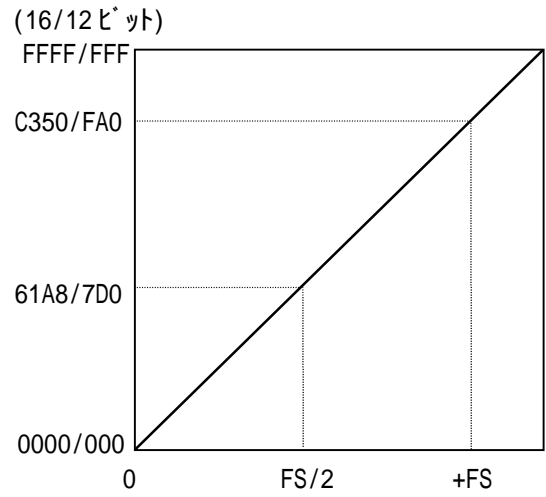
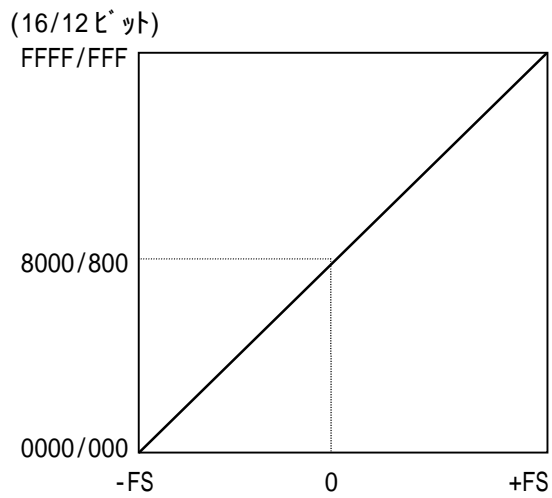
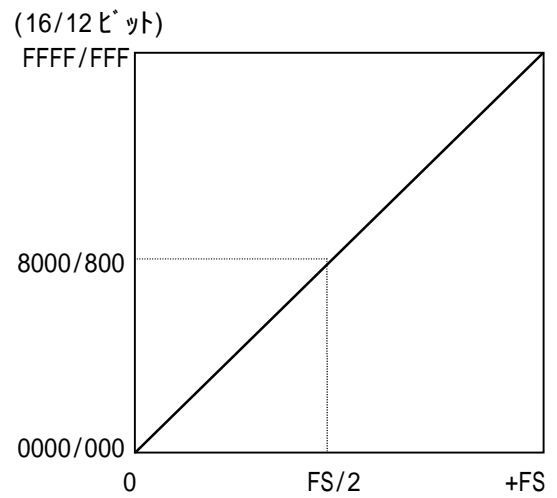
図2-2A. バイポーラ入力  
【Aモード】図2-2B. ユニポーラ入力  
【Aモード】図2-2C. バイポーラ入力  
【Bモード】図2-2D. ユニポーラ入力  
【Bモード】

表2-2D. 16ビットADデータ vs アナログ入力 【Aモード】

A Dデータ hex / 10進	アナログ入力範囲 (表2-2A参照)					
	±10v	±5v	±2.5v	0~+10v	0~+5v	
FFFF / 65535	+13.1068	+ 6.5534	+ 3.2767	+13.1070	+ 6.5535	
E1A8 / 57768	+10.0000	+ 5.0000	+ 2.5000			
C350 / 50000				+10.0000	+ 5.0000	
8001 / 32769	+ 0.0004	+ 0.0002	+ 0.0001			
8000 / 32768	0.0000	0.0000	0.0000			
7FFF / 32767	- 0.0004	- 0.0002	- 0.0001			
61A8 / 25000				+ 5.0000	+ 2.5000	
1E58 / 7768	- 10.0000	- 5.0000	- 2.5000			
0001 / 1	- 13.1068	- 6.5534	- 3.2767	+ 0.0002	+ 0.0001	
0000 / 0	- 13.1072	- 6.5536	- 3.2768	0.0000	0.0000	

《注》当表中の±10vを超える値は理論値。

アナログ回路に使用されている素子の仕様から±10vを超える値の正確度は保証されない。

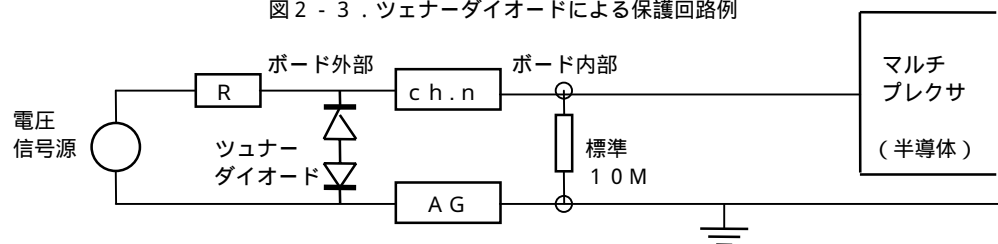
表2-2E. 16ビットADデータ vs アナログ入力 【Bモード】

A Dデータ hex / 10進	アナログ入力範囲 (表2-2A参照)					
	±10v	±5v	±2.5v	0~+10v	0~+5v	
FFFF / 65535	+ 9.99969	+ 4.99985	+ 2.49992	+ 9.99985	+ 4.99992	
E1A8 / 57768	+ 7.62939	+ 3.81470	+ 1.90735			
C350 / 50000				+ 7.62939	+ 3.81470	
8001 / 32769	+ 0.00031	+ 0.00015	+ 0.00008			
8000 / 32768	0.00000	0.00000	0.00000	+ 5.00000	+ 2.50000	
7FFF / 32767	- 0.00031	- 0.00015	- 0.00008			
61A8 / 25000				+ 3.81470	+ 1.90735	
1E58 / 7768	- 7.62939	- 3.81470	- 1.90735			
0001 / 1	- 9.99969	- 4.99985	- 2.49992	+ 0.00015	+ 0.00008	
0000 / 0	- 10.00000	- 5.00000	- 2.50000	0.00000	0.00000	

## 2-3. アナログ入力特性 (5ページ記載の仕様一覧を併せて参照)

- AD変換誤差：** 本機のAD入力は【Aモード/±10V範囲】で最終調整されていますが高精度部品の使用により入出力範囲を切り替えても多くの用途では再調整の必要がありません。(2-2項参照) 特定の入力範囲で最も正確度を良くしたいときは再調整(7-3項)を行ってください。  
御希望により当社でも(有償で)行います。
- 温度ドリフト：** ADボードの周囲温度が変化したとき、同一のアナログ入力に対するAD変換データが変化する度合いを(対フルスケール比で)示します。  
本システムでは【typ. 10ppm/°C】です。
- 経年変化：** 経年変化のデータはありません。 十分な精度の維持が必要な用途では、年に1～2回(夏・冬)標準電圧源などで校正し、必要な場合には再調整を行うとよいでしょう。 御希望により当社でも(有償で)行います。
- 内部雑音：** 本ボード内部の雑音は各チャンネルの入力端をアナログ・グランドAGに短絡してみれば見当がつきます。 <実際の組み込みシステムに依存>  
本システムでは【typ. ±4LSB】です。
- 入力耐圧：** 本ボードのアナログ入力回路は±35Vまでの過電圧に対して保護されていますが、これを超える入力電圧が印加されると構成素子故障の原因となります。  
入力電圧が(過渡的でも)±35Vを超える恐れがある場合は入力保護の対策が必要です。 ただし、マルチプレクサ内の直列抵抗を含む保護回路は入力の浮遊容量と併せてローパスフィルタを構成するだけでなく漏れ電流による誤差の原因となりますから必要最小限とするべきでしょう。

図2-3. ツェナーダイオードによる保護回路例



計算例： 15Vツェナーダイオード(500mw定格)2本と直列抵抗Rを上図のように接続して、過電圧100V保護動作時のダイオード消費電力を150mw(15V×5mA)とすると、

$$\begin{aligned} \text{直列抵抗 } R &= (100 - 15) \div 5 \text{ mA} = 17 \text{ K} \\ \text{保護動作時の消費電力 } P &= (100 - 15) \times 5 \text{ mA} = 425 \text{ mw} \end{aligned}$$

【注1】直列抵抗Rには余裕をみて1W型を使用する。

【注2】ツェナーダイオードの漏れ電流(凡例=100nA)と直列抵抗Rによる電圧降下が正常動作時の誤差となる事に御注意ください。

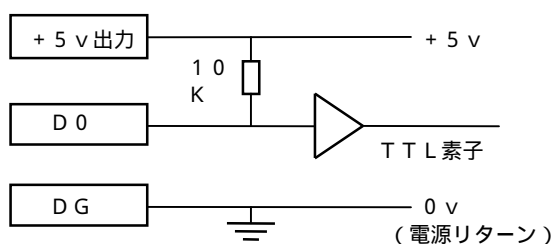
## 2-4. デジタル入出力回路

外部クロック源入力、外部トリガ入力、外部割り込み入力、汎用1BITデジタル入力は全てTTLレベルであり10KΩでプルアップされています。クロック出力はTTLレベルです。

汎用1BITデジタル出力はオープンコレクタですが、接続先がTTLレベル入力有的时候にはボード上のスイッチS-PUP設定により1KΩのプルアップ抵抗を接続（出荷時の状態）して対応することができます。

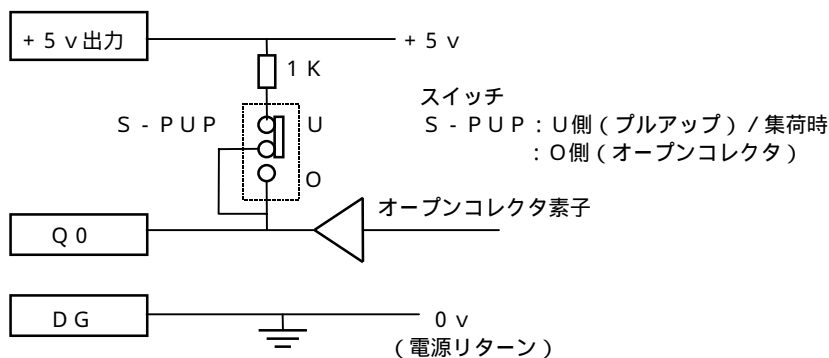
なお電源投入直後の汎用デジタル出力は“0”となりますが、リセット操作（3-4項）では変化しません。

図2-4A. 全てのデジタル入力



【注意】 TTL入力の絶対最大定格は負側：-0.6V、正側：+7Vです。この値を一瞬でも超えると入力端素子破壊の原因になります。（7-2項に注意点や対策を記します。）

図2-4B. 汎用デジタル出力



デジタル出力論理はボード上のスイッチS-POLで設定します。  
【出荷時：P（正論理）】、または【N（負論理）】

出力素子：75452BN（TI社製ほか）

最大シンク電流 = 100mA

最大CE間電圧 = 30V

CE間飽和電圧 = 0.8V

### 第3章．制御・操作

#### 基本操作

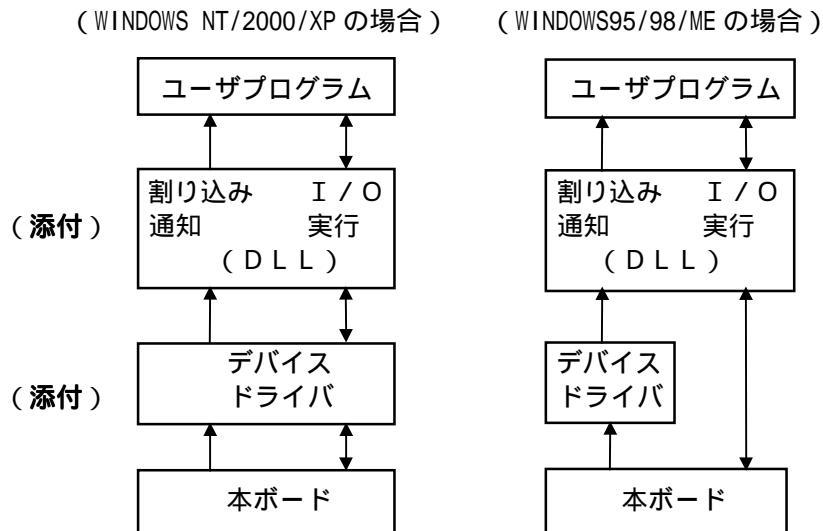
本機の運転・操作は各機能が割付け設定された制御レジスタ（I/O、またはメモリ）に対する入出力命令により行います。

#### 実用プログラムの作成

3-1項～3-3項で制御構造・手順を、また3-4項以下で各制御要素（レジスタ）の定義を学習してから、第4章で示すサンプルプログラムソース（C、およびBASIC）を見てください。

WINDOWS 95 / 98 / ME / NT / 2000 / XPの場合は汎用のI/O読み書きDLL & デバイス・ドライバが添付されています。基本的には当DLLを使用してボード上の各レジスタを読み書きすることでプログラミング可能です。

また、WINDOWS 95 / 98 / ME / NT / 2000 / XP用の本ボードに特化したハンドラ（基本機能関数DLL & デバイスドライバ）と使用例も用意されています。／第6章／



### 3-1. ADサンプリング動作・トリガ動作の様子

本機には2種類のサンプリング・モードがあります。

いずれの場合もサンプリングされた結果のADデータ（2バイト構成）は順番にFIFOバッファメモリに書き込まれて行きます。パソコン側からはFIFOメモリの充満状態を示すフラグを参照しながらADデータを古い順に読み込みます。【3-2項参照】

FIFOメモリの充満状態を示すフラグは、割り込み要求発生に使用することもできます。

FIFOメモリ容量は標準1024語（32M語まで増設可能）ですから、パソコン側の読み込み速度がサンプリング速度に追いつかずオーバーフローを起こしたような場合でも、その時点でFIFOメモリ容量だけの有効データを確保することができます。

本ボードからの実用的なADデータ転送速度は（専念したとして）500K語/sec程度はありますから、通常は本機の最高速度を実現することが充分可能です。

但し表示や他の制御等を含む応用では時分割のマルチタスクとなり、（それらの）処理時間次第で実現可能な最高速度が決まります。

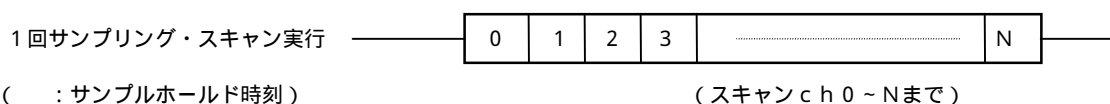
**マニュアルサンプリング** : 指定したアナログ入力チャンネル群に対して1回だけADサンプリング (& FIFOメモリに転送) を実行するものです。  
 (1回サンプリングスキャン) チャンネル0を先頭に指定最終チャンネルまで自動実行します。  
 アナログ入力端は順次・切り替えてAD変換するため各チャンネルの実行時刻に(一定の)差が生じます。その値は、

高速スキャンモード:  $5\mu s$

中速スキャンモード:  $10\mu s$

低速スキャンモード:  $20\mu s$

図3-1A. 1回ADサンプリング・スキャン

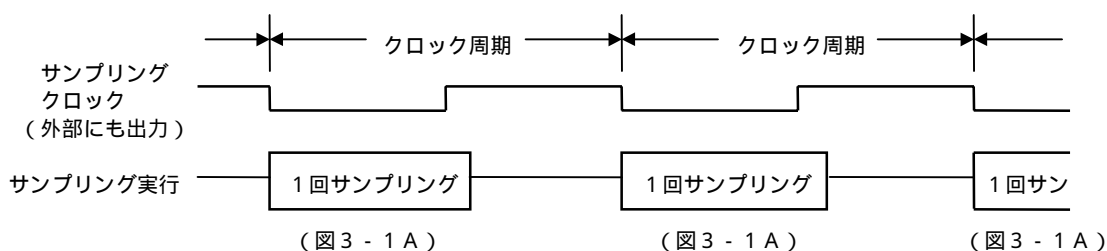


**操作手順**

- (1) 制御部リセット【3-4項】: 制御部リセット
- (2) 動作条件設定【3-5項】: スキャン速度設定  
 【3-6項】: ADデータコード設定  
 【3-7項】: 使用チャンネル数指定  
 【3-11項】: トリガモード設定(マニュアルに指定)
- (3) 動作開始【3-12項】: マニュアル(1回)サンプリングスタート
- (4) ステータス検査【3-13項】: ステータスの読み込み/評価
- (5) ADデータ取得【3-14項】: ADデータを(FIFOから)読み出す

**連続(自動)サンプリング**: 指定したアナログ入力チャンネル群に対して指定したトリガ、クロックでADサンプリング (& FIFOメモリに転送) を連続自動的に実行するものです。

図3-1B. 連続サンプリング



**操作手順**

- (1) 制御部リセット【3-4項】: 制御部リセット
- (2) 動作条件設定【3-5項】: スキャン速度設定  
 【3-6項】: ADデータコード設定  
 【3-7項】: 使用チャンネル数指定  
 【3-8項】: クロック源指定(内部/外部)  
 【3-9項】: クロック源分周比(クロック値)の設定  
 【3-10項】: 内部(アナログ)トリガレベルの設定<任意>  
 【3-11項】: サンプリングモードの設定  
 【3-15項】: 割り込み要求発生要因の設定<注><任意>
- (3) 動作開始【3-11項】: トリガモード設定<任意>
- (4) ステータス検査【3-13項】: ステータスの読み込み/評価
- (5) ADデータ取得【3-14項】: ADデータを(FIFOから)読み出す

<注> 割り込みを使用時はデバイスドライバ中でクリア操作【3-16項】を行う必要があります。



最高サンプリング速度： 1回サンプリング・スキャン実行時間の逆数が本ボード自体の最高サンプリング周波数（可能なサンプリングクロック）となります。 1回サンプリング・スキャン実行時間は、

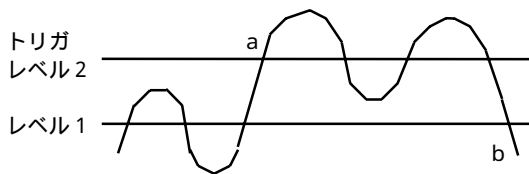
高速スキャンモード：（使用チャンネル数）× 5 μs

中速スキャンモード：（使用チャンネル数）× 10 μs

低速スキャンモード：（使用チャンネル数）× 20 μs です。

トリガ機能： 本機のトリガは連続サンプリングを開始させるものです。【3-11項参照】ソフトトリガはプログラム上・任意のプロセスで実行できる即トリガ（即スタート）機能。外部トリガは外部TTL入力信号の指定エッジ、または指定アクティブ期間で機能します。内部（アナログ）トリガは指定条件とチャンネル0入力をボード上で比較して機能します。

図3-1C. アナログ・エッジトリガ

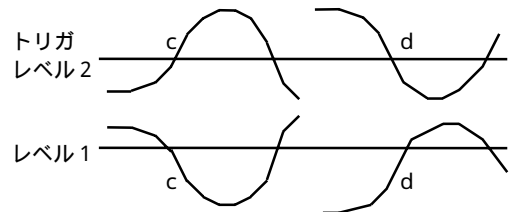


a：正（+）エッジトリガ点  
b：負（-）エッジトリガ点

エッジトリガの場合はノイズ等による逆極性誤動作が起らないようにヒステリシスを設定します。すなわち、ソフト上で指定したトリガレベル1, 2を連続して交差した点でトリガ発生となります。

レベルトリガの場合はレベル1と比較極性のみ設定、信号と大小だけを比較します。トリガ待ち開始 = 即トリガ発生もあり得ます。

図3-1D. アナログ・レンジトリガ



c：アウトレンジ・トリガ点  
d：インレンジ・トリガ点

レンジトリガの場合は指定したトリガレベル1, 2の帯域から正負いずれかの方向に外れたC点でアウトレンジ・トリガ、逆に正負いずれかの方向から帯域内に入るD点でインレンジ・トリガ発生となります。

（別称：ウインドウレンジ・トリガ）

トリガレベル1, 2いずれかを指定極性で交差したときに発生するレンジ・エッジトリガもあります。

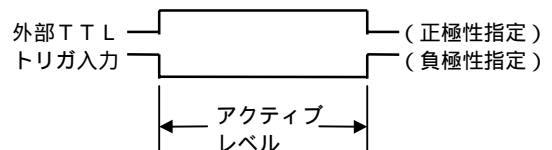
（別称：デュアルスロープ・トリガ）

図3-1E. デジタル・エッジトリガ



e：負（-）エッジトリガ点  
f：正（+）エッジトリガ点

図3-1F. デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

トリガ動作遅れ： 本ボード上で自動的に行われるトリガ検出から連続サンプリング開始までの遅れ時間はトリガの種類によって少しだけ異なります。

内部（アナログ）トリガ： 約 5 μs

内部ソフトトリガ： 250 ns

外部デジタル入力トリガ： 250 ns

## 3-2. F I F Oバッファメモリの構造・動作

### A Dデータ転送 ( F I F O パソコン )

A D変換 ( サンプリグ ) されたデータは F I F Oメモリ内にあり、パソコン側からの読み出しを待っています。 ソフト上では F I F Oメモリの充満状態を示すフラグを監視、または割り込み等を設定してアプリケーションに適した転送方法を探ります。 いずれの場合も F I F Oバッファメモリがサンプリグ実行とデータ転送のタイミング違いを吸収するのでマルチタスクシステムを容易に実現することができます。

ポーリング： 【Not-Empty】フラグを監視してA DデータをI N命令で1語ずつ読み込む方法、【Not Half-Full】フラグを監視してA DデータをI N S B命令でF I F Oメモリ容量の半分単位で読み込むブロックI / O転送がある。

割り込み： 【Not-Empty】【Not Half-Full】【1回サンプリグ・スキャン終了】【トリガ発生】【外部割り込み】等から選択した要因による割り込みでポーリングと同様のデータ転送を実行する。

### F I F Oメモリの動作

F I F O ( first in first out ) メモリは図3-2に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっている。

読み書きは非同期で同時も可能。 すなわちデータの書き込み ( 入口 ) と読み出し ( 出口 ) は互いに相手側のタイミングに配慮する必要がない。

F I F Oメモリ内部は出口から読み出された分だけ入口側に空領域が増えるので満杯となる前にデータを読み出す動作であればサンプリグ点数を制限しない。 なお満杯時に追加書き込みされようとしたデータは消失し【E R R : エラー】フラグがセット ( = 1 ) されるが、この後も F I F Oメモリ内のデータは有効に読み出すことができる。

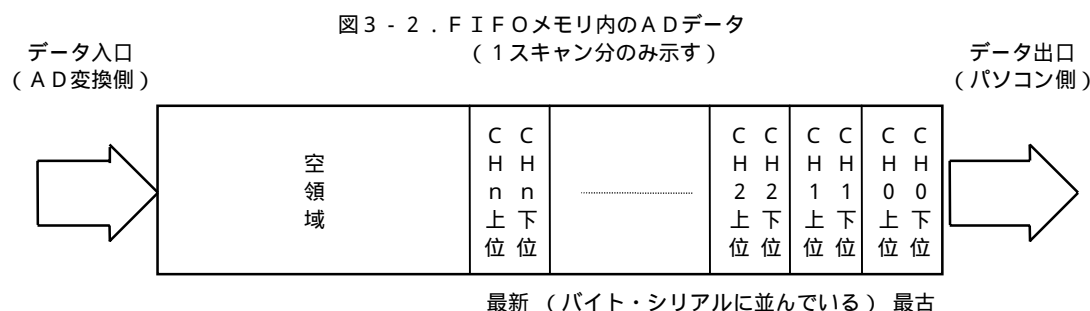


表3-2. F I F Oメモリ関連のステータス・フラグ

フラグ名	フラグの意味 (標準1024語のとき)
N o t - E M P T Y	1語以上。 (格納データ数 1)
N o t - H A L F - F U L L	[容量の半分]以下。 (格納データ数 512) 【注】
E R R	サンプリグ・エラー発生。 データ読み出しが遅いためメモリが溢れた、または実力以上の速度で書き込みした。

【注】 オプションの16MB (= 8M語)、または64MB (= 32M語) F I F Oモジュールを使用するときは <容量の半分> 以下ではなく、同モジュール上のD I Pスイッチで指定したバイト数 (= 語数の2倍の値)。  
選択肢: 512B / 1KB / 2KB / 4KB / 8KB / 16KB / 32KB / 64KB

### 3-3. 制御レジスタI/Oアドレス・マップ

表3-3に本ボード上の各制御レジスタI/Oアドレスを記します。  
表中の【BASE】はプラグアンドプレイで設定されるI/Oベースアドレス値です。

表3-3. 制御レジスタI/Oアドレス

I/Oアドレス	IN/OUT	ポート/レジスタ名・機能	記載項
【BASE】+D	IN		
	OUT	アナログ入力チャンネル・スキャン速度指定	【3-5】
【BASE】+C	IN		
	OUT		
【BASE】+B	IN	ボード番号（スイッチSW-BNの設定値）	【3-4】
	OUT		
【BASE】+A	IN	汎用デジタル入力/現在値	【3-18】
	OUT	汎用デジタル出力/ラッチ	
【BASE】+9	IN		
	OUT	（クロック源）分周比設定	【3-9】
【BASE】+8	IN		
	OUT	クロック源選択	【3-8】
【BASE】+7	IN	ボード制御部リセット	【3-4】
	OUT	アナログ・トリガレベル（2）設定	【3-10】
【BASE】+6	IN	マニュアル（1回）サンプリングスキャン	【3-12】
	OUT	アナログ・トリガレベル（1）設定	【3-10】
【BASE】+5	IN	ステータス取得	【3-13】
	OUT	ステータス（ビット指定）クリア	
【BASE】+4	IN		
	OUT	割り込み制御（要因設定）	【3-15】
【BASE】+3	IN		
	OUT	トリガモード設定（含ソフトトリガ実行）	【3-11】
【BASE】+2	IN		
	OUT	データコード指定	【3-6】
【BASE】+1	IN		
	OUT	割り込み要求クリア	【3-16】
【BASE】+0	IN	ADデータ読み出し	【3-14】
	OUT	スキャン最終チャンネル番号指定	【3-7】

【読み（IN）/書き（OUT）】はパソコン側から見た方向。

全てのポートは1バイト。

#### 制御操作の詳細

以下【3-4項】～【3-18項】に各制御レジスタの詳細を記します。  
各ポートアドレス値は表3-3を御参照ください。

### 3-4 . ボード・リセット、認識

```
r s t = i n p ( B A S E + 7 ) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ ( r s t ) は本ボードの I D です。 当操作は電源 O N、またはパソコン本体のハードウェアリセットと同等の機能ですが汎用デジタル ( ラッチ ) 出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

サンプリング中であれば、これを中止する。

F I F O メモリをクリアする。(格納されていた読み出し待ち A D データは失われる)

なお、 クロック源 / 分周は無効となる。(要再設定)

汎用デジタル ( ラッチ ) 出力は変化せずに保持される。

表 3 - 4 A . 【BASE + 7】入力ポートの構成

ビット	各ビットの機能・意味
B 7	ADM - 6 8 9 a P C I のボード I D = 1 9 ( 1 3 H ) (旧機 ADM - 6 8 9 P C I と同一値)
B 6	
B 5	
B 4	
B 3	
B 2	
B 1	
B 0	

【注】ここで読み込まれるボード I D は P C I バス上の DEVICE I D とは無関係です。  
( 1 - 4 項 . 参照 )

#### < 本ボードを複数使用する場合 >

本ボードの I / O アドレスはプラグアンドプレイにより ( その都度 ) ダイナミックに割り当てられます。 複数の本ボードを同一システムにインストールして使用する場合、ハードウェアの構成・状態が変わらなければ前回立上げ時と同一アドレスが割り当てられますが、増設・交換等の変化があった後は前回立上げ時と異なるアドレスを割り当てられることがあります。

そのようなときに複数の本ボードを区別・特定する手段としてボード番号設定スイッチがあります。(本ボードを 1 枚のみ使用する場合は無用です。)

```
B N = i n p ( B A S E + B ) ; /* ボード番号設定スイッチ S W - B N 読み込み */
```

表 3 - 4 B . 【BASE + B】入力ポートの構成

ビット	各ビットの機能・意味
B 7	未使用
B 6	
B 5	
B 4	
B 3	ボード番号設定スイッチ S W - B N の値 ( 0 ~ F H )
B 2	
B 1	
B 0	

## 3-5. アナログ入力チャンネル・スキャン速度指定

o u t p ( B A S E + D , s c n ) ; / \* s c n = スキャン速度指定データ \*/

アナログ入力チャンネル・スキャン速度指定データ s c n を書き込みます。

表 3 - 5 A . 【BASE + D】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用（無効）			0
B 6	未使用（無効）			0
B 5	未使用（無効）			0
B 4	未使用（無効）			0
B 3	未使用（無効）			0
B 2	未使用（無効）			0
B 1	スキャン速度指定データ：S 1	表 3 - 5 B 参照		0
B 0	スキャン速度指定データ：S 0			0

表 3 - 5 B

スキャン速度モード	S 1	S 0	スキャン速度
高速スキャンモード ( 3 )	1	1	5 $\mu$ s / c h
確定仕様外・予備モード ( 2 )	1	0	50 $\mu$ s / c h
低速スキャンモード ( 1 )	0	1	20 $\mu$ s / c h
中速スキャンモード ( 0 )	0	0	10 $\mu$ s / c h

スキャン速度により（複数チャンネル使用時の）得られる A D データの正確度が変わります。

表 2 - 2 B は各信号源インピーダンスが 50 （例：オペアンプ出力）のときの正確度を示しています。ポテンショメータのような比較的高いインピーダンスを持つ信号源の場合、隣接（スキャン順が先の）チャンネルの影響を受けます。/ 7 - 6 項参照 /

仕様外ですがモード ( 2 ) の利用も可能です。/ 2 - 2 項参照 /

表 2 - 2 B . スキャン速度と正確度

スキャン動作モード	単 c h サンプル	複数 c h サンプル	【注】基本正確度（クロストーク含む最悪正確度）
高速スキャンモード	200 KHz	( 5 x c h ) $\mu$ s	$\pm 0.023\%$ FS ( $\pm 0.096\%$ FS )
中速スキャンモード	200 KHz	( 10 x c h ) $\mu$ s	$\pm 0.023\%$ FS ( $\pm 0.060\%$ FS )
低速スキャンモード	200 KHz	( 20 x c h ) $\mu$ s	$\pm 0.023\%$ FS ( $\pm 0.033\%$ FS )

【注】 基本正確度は出荷時の最終調整レンジ A モード、 $\pm 10$  v 範囲で較正測定器誤差を含み、システム内部雑音および入力チャンネル間クロストーク誤差を含みません。最悪正確度は＜基本正確度＞に隣接チャンネル間入力電圧差が最大時に発生するクロストーク分を加算した値です。（クロストーク&内部雑音：前 5 頁の仕様一覧参照）  
最終調整レンジ A モード、 $\pm 10$  v 範囲以外で使用するときは＜基本正確度＞が＜0.02% FS＞悪化します。

本機：ADS - 0128aK は旧機 ADS - 0128K に対して上位互換です。

変更点は旧機 ADS - 0128K のスキャン速度：予備モード ( 3 ) = 100  $\mu$  s / c h が

本機：ADS - 0128aK では高速モード ( 3 ) = 5  $\mu$  s / c h となったことだけです。

### 3-6 . A Dデータコード指定

o u t p ( B A S E + 2 , d c d ) ; /\* d c d = データコード指定データ \*/

A Dデータコード（バイナリ、または2の補数）の設定データd c dを書き込みます。

表 3 - 6 . 【B A S E + 2】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	未使用（無効）			0
B 6	未使用（無効）			0
B 5	未使用（無効）			0
B 4	A Dデータコード	2 の補数	バイナリ	0
B 3	未使用（無効）			0
B 2	未使用（無効）			0
B 1	未使用（無効）			0
B 0	未使用（無効）			0

## 3-7. サンプリング・チャンネル数の設定

```

o u t p ( BASE + 0 , echl ) ; /* echl : スキャン最終チャンネル番号 ( 下位バイト ) */
o u t p ( BASE + 0 , echh ) ; /* echh : スキャン最終チャンネル番号 ( 上位バイト ) */

```

各回サンプリング・スキャンはチャンネル番号の若い順（先頭＝チャンネル0）に固定されており、当ポートで最終チャンネル番号 *ech* を指定します。本システムは最大1024チャンネルまで拡張可能な構成になっているため、スキャン最終チャンネル番号は10ビットで指定します。必ず下位バイト、上位バイトの順に続けて書き込みます。

最終チャンネル番号 *ech* = { (*echh*) × 256 } + (*echl*)

【例】 最終チャンネル番号 *ech* = 127 なら： *echl* = 127 ( 3 F H )、*echh* = 0 ( 0 H )  
 最終チャンネル番号 *ech* = 1023 なら： *echl* = 255 ( F F H )、*echh* = 3 ( 3 H )

表3-7A. 【BASE+0】出力ポートの構成 / 下位バイト

ビット	各ビットの機能・意味	指定方法・範囲	リセット時
B7	スキャン最終チャンネル番号 / 下位バイト	0 H ~ F F H	0
B6			0
B5			0
B4			0
B3			0
B2			0
B1			0
B0			0

表3-7B. 【BASE+0】出力ポートの構成 / 上位バイト

ビット	各ビットの機能・意味	指定方法・範囲	リセット時
B7	未使用		0
B6			0
B5			0
B4			0
B3			0
B2			0
B1	スキャン最終チャンネル番号 / 上位バイト	0 H ~ 3 H	0
B0			0

### 3-8 . クロック源の選択

```
outp (BASE + 8 , cks) ; /* cks : クロック源選択 */
```

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的の連続サンプリング・クロックとなります。例えば外部クロック源 (CLK-IN) 入力を選択し、分周比を 1 / 1 に設定すれば、外部イベントに同期したサンプリングとなります。

表 3 - 8 A . 【BASE + 8】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	外部クロック源 (使用時) の有効極性指定	( + )	( - )	0
B 6 B 5	内部クロック源 (使用時) の選択データ	【表 3 - 8 B】参照。		0 0
B 4	クロック源選択 (外部 / 内部)	外部	内部	0
B 3 B 2 B 1 B 0	未使用			

表 3 - 8 B . 選択される内部クロック源

ビット		選択される内部クロック源	
B 6	B 5	クロック源周波数	主な用途
1	1	無効	
1	0	オプション	任意
0	1	8.192 MHz	周波数解析
0	0	10.000 MHz	汎用計測

オプションのクロック源素子 (10 MHz 以下) は本ボード上のソケットに装着することにより使用可能となります。

素子名	JXO-5S-     MHz (金石)、または DOC-49S1-     MHz (大真空)、または SG-8002DC-     M-PTBS (EPSON)
-----	--



### 3-9. (クロック源)分周比の設定 ..... 連続サンプリングクロック値の設定。

```

o u t p ( B A S E + 9 , d i v 1 ) ; /* d i v 1 = 分周比 A の下位バイト */
o u t p ( B A S E + 9 , d i v 2 ) ; /* d i v 2 = 分周比 A の上位バイト */
o u t p ( B A S E + 9 , d i v 3 ) ; /* d i v 3 = 分周比 B の下位バイト */
o u t p ( B A S E + 9 , d i v 4 ) ; /* d i v 4 = 分周比 B の上位バイト */

```

クロック源の分周比データを (BASE + 9 ポートに) 書き込みます。

必ず4バイト続けて書き込んで下さい。

分周は16BIT構成のカウンタA, Bを直列接続した32BITで行われます。

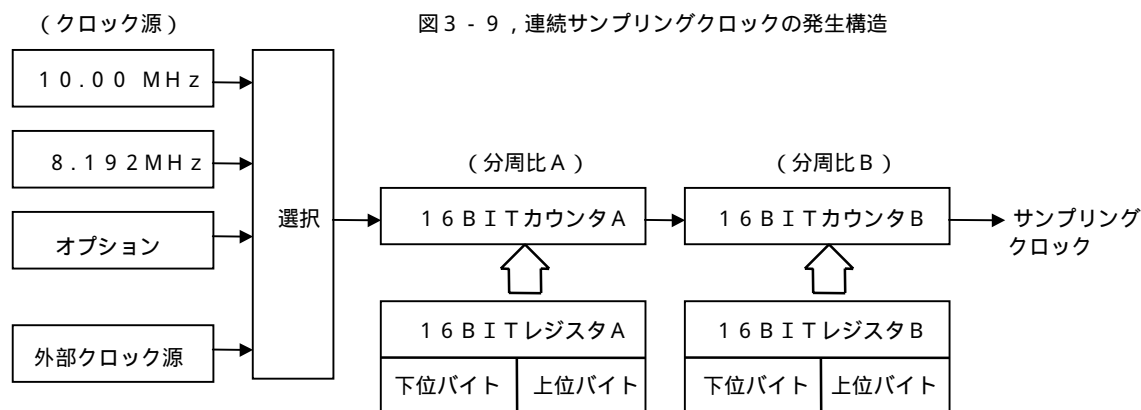
分周データA, Bの範囲は各1~65535で、各専用レジスタに書き込まれます。

内部クロック源10MHz (周期100ns) を選択したときの最長クロック周期は、

$$(100\text{ns}) \times 65535 \times 65535 = 429.4836225\text{秒}$$

表3-9. 【BASE + 9】出力ポートの構成

ビット	分周比A下位	分周比A上位	分周比B下位	分周比B上位	リセット時
B7	(div1) a7	(div2) a15	(div3) b7	(div4) b15	変化しない
B6	( " ) a6	( " ) a14	( " ) b6	( " ) b14	
B5	( " ) a5	( " ) a13	( " ) b5	( " ) b13	
B4	( " ) a4	( " ) a12	( " ) b4	( " ) b12	
B3	( " ) a3	( " ) a11	( " ) b3	( " ) b11	
B2	( " ) a2	( " ) a10	( " ) b2	( " ) b10	
B1	( " ) a1	( " ) a9	( " ) b1	( " ) b9	
B0	( " ) a0	( " ) a8	( " ) b0	( " ) b8	



内部クロック源10.00MHz および 8.192MHz は本ボード標準装備。

《分周動作》 連続サンプリング開始のトリガを認識すると分周動作が開始されます。  
 レジスタからカウンタにロードされた分周比データはクロック源周期ごとに  
 ダウンカウントされて行き、0に達するとタイミング信号を発生させると同時  
 に再びレジスタからカウンタにロードされる繰り返しとなります。  
 このタイミング信号が各回サンプリング・スキャンの実行開始タイミングと  
 なります。

## 3-10．内部（アナログ）トリガレベルの設定

o u t p ( B A S E + 6 , T G L 1 ) ; /\* T G L 1 = トリガレベル・データ 1 \*/  
o u t p ( B A S E + 7 , T G L 2 ) ; /\* T G L 2 = トリガレベル・データ 2 \*/

アナログ・トリガレベル指定データを（BASE + 6、BASE + 7 ポートに）書き込みます。

必ず2データ続けて書き込んで下さい。

レベルトリガ・モードのときは（表3-10Aのように）T G L 2は無効ですが、必ず形式的なダミーデータを書き込んでください。

本機が（内部＝アナログ）トリガ待ち状態の時はチャンネル0入力が一定周期【注】で連続的に監視サンプリングされ、AD変換値の上位8BITが当トリガレベル・データと比較されています。トリガが認識されると（3-9項で説明した）分周動作が開始されます。すなわち、連続サンプリングのスタートです。【注】一定周期：約5 μs。

ここで指定するトリガレベル・データT G L 1、およびT G L 2は（次3-11項で設定される）トリガモードにより表3-10Aの意味を持ちます。

表3-10A．トリガモード v s トリガレベル・データ

トリガレベル・データ	エッジトリガの場合	レベルトリガの場合	レンジトリガの場合
T G L 1	トリガ基準レベル	トリガ基準レベル	トリガレベル下限値
T G L 2	ヒステリシス・レベル	ダミーデータ	トリガレベル上限値

## トリガレベル・データ T G L の算出

ユニポーラ入力範囲のとき：  $T G L = V_{tg} \div (V_{span} \div 256)$  digit

バイポーラ入力範囲のとき：  $T G L = V_{tg} \div (V_{span} \div 256) + 128$  digit

なお、 $V_{tg}$ ：トリガレベル電圧

$V_{span}$ ：スパン（入力範囲の絶対幅 / 表3-10B参照）

表3-10B．各アナログ入力範囲に対するスパン、およびトリガレベル分解能

アナログ入力範囲	A レンジの場合		B レンジの場合	
	V span	分解能 (Vspan/256)	V span	分解能 (Vspan/256)
±10v	26.2114 v	102.4 m v	20 v	78.125 m v
±5v、0～10v	13.1072 v	51.2 m v	10 v	39.0625 m v
±2.5v、0～5v	6.5536 v	25.6 m v	5 v	19.5313 m v

### 内部（アナログ）トリガの各種形態

**エッジトリガ：**（トリガチャンネル＝スキャン先頭チャンネル）アナログ入力信号が指定トリガレベルを指定方向（極性）で交差したときに発生します。但し、本ボードでは信号に重畳した雑音による誤トリガを防ぐためにヒステリシスレベルを設定し、トリガ基準レベル（TGL1）とヒステリシス・レベル（TGL2）を連続して交差した時点でトリガを発生させます。

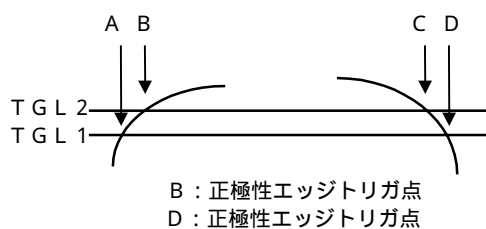
《補足》

トリガチャンネル入力信号に雑音が乗っており、エッジトリガ・モードでヒステリシスが無いときはトリガ基準レベル（TGL1）付近で誤トリガ発生が考えられます。

すなわち、正極性のエッジトリガを指定しているときはD点付近、また負極性のエッジトリガを指定しているときはA点付近で雑音による誤トリガ発生の可能性があります。

ヒステリシス・レベル（TGL2）の設定により正しいトリガ点でのみ動作します。

図3-10A. ヒステリシスによる正しいトリガ認識



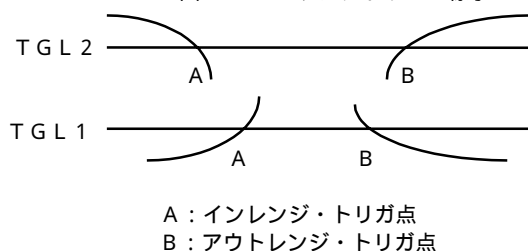
**レベルトリガ：**トリガチャンネル入力信号がトリガ基準レベル（TGL1）の大きさを単純に比較します。正極性を指定した場合はアナログ入力信号がトリガ基準レベルより大きい時、負極性を指定した場合はアナログ入力信号がトリガ基準レベルより小さい時にトリガ発生となります。したがって、トリガ待ちになった瞬間にトリガ発生となる場合もあります。

**レンジトリガ：**トリガチャンネル入力信号がトリガレベル上限値（TGL2）と同下限値（TGL1）で指定する帯域から上下いずれかの方向に外れた時がアウトレンジ・トリガ、逆に上下いずれかの方向から指定領域に入った時がインレンジ・トリガ（負極性のレンジトリガ）です。

《補足》

レンジトリガはレベル動作が一般的ですが、別名 デュアルスロープ・トリガ と称するエッジトリガも可能です。その場合のヒステリシスはトリガレベル上下限値の外側、トリガレベル分解能1単位（表3-10B）に固定されています。

図3-10B. レンジトリガの様子

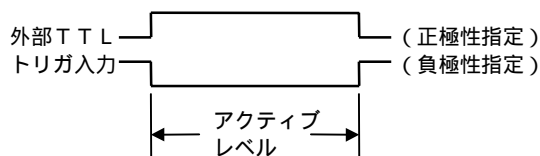


### 外部（デジタル）トリガの各種形態

図3-10C. デジタル・エッジトリガ



図3-10D. デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

## 3-11. トリガモード設定（含ソフトトリガ実行）

o u t p (BASE + 3 , t g m) ; /\* t g m = トリガモード設定データ \*/

トリガモード、およびサンプリングモード設定データを書き込みます。

表 3-11A . 【BASE + 3】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	ソフトトリガ制御	発生	禁止（強制停止）	0
B 6	外部トリガ入力信号制御	許可	禁止（強制停止）	0
B 5	内部（アナログ）トリガ制御	許可	禁止（強制停止）	0
B 4	トリガ極性選択	+ ( )	- ( )	0
B 3	トリガ認識モード選択 2	エッジ	レベル	0
B 2	トリガ認識モード選択 1	レンジ	レンジ以外	0
B 1	未使用			0
B 0	サンプリング・モード選択	連続サンプリング	マニュアル・サンプリング	0

マニュアル・サンプリング動作（B 0 = 0 のとき）：次 3-12 項参照。

連続サンプリング動作（B 0 = 1 のとき）

**連続サンプリング**はトリガの発生によりスタートし、スタートの原因となったトリガ制御ビットのリセット（0）により停止します。複数のトリガを許可しておくで最初に発生したトリガで連続サンプリングがスタートしますが、その原因となったトリガ制御ビットをリセットしても他の許可されたトリガが発生すると再びスタートするので注意が必要です。

プログラム上任意のプロセスから連続サンプリングをスタートさせるには、**ソフトトリガ**制御ビット B 7 をセット（0 1）します。停止させるにはリセット（1 0）です。

なお、サンプリング・モードが**マニュアル・サンプリング（B 0 = 0）**のときに、ソフトトリガまたは許可されていたトリガが発生しても連続サンプリングは行われませんが、サンプリング・クロックは起動されます。したがってステータスデータ【3-13 項】には反映されますし、また同クロックによる割り込みが許可【3-15 項】されているときは割り込み要求信号が発信されます。

特殊なトリガ形態として**帯域サンプリング**（デジタル・レベルトリガ）動作があります。これは外部トリガ入力信号の指定レベル（極性）期間だけ連続サンプリングを行います。

/ 図 3-10D 参照 /

表 3-11B. トリガモード設定ビットの組み合わせ

選択されるトリガ名		B7	B6	B5	B4	B3	B2	備考／一般的な別呼称
	ソフトトリガ	1	x	x	x	x	x	即トリガ（即スタート）
デジタル	エッジ・トリガ（＋）	0	1		1	1	0	
	エッジ・トリガ（－）	0	1		0	1	0	
	レベル・トリガ（＋）	0	1		1	0	0	帯域サンプリング（＋）
	レベル・トリガ（－）	0	1		0	0	0	帯域サンプリング（－）
アナログ	エッジ・トリガ（＋）	0		1	1	1	0	
	エッジ・トリガ（－）	0		1	0	1	0	
	レベル・トリガ（＋）	0		1	1	0	0	
	レベル・トリガ（－）	0		1	0	0	0	
	レベル・レンジトリガ（＋）	0		1	1	0	1	アウトレンジ・トリガ
	レベル・レンジトリガ（－）	0		1	0	0	1	インレンジ・トリガ
	エッジ・レンジトリガ（＋）	0		1	1	1	1	デュアルスロープ・トリガ（＋）
	エッジ・レンジトリガ（－）	0		1	0	1	1	デュアルスロープ・トリガ（－）

: 当ビットをセット (= 1) するとデジタルトリガとのOR動作となる。

×：無視

具体的な操作 (事前の条件設定等は別途必要)

```

マニュアル ( 1 回 ) サンプルング :  outp ( BASE + 3 , 0x0 )  : /* マニュアルサンプリングに設定 */
                                     mstr = inp ( BASE + 6 )  : /* 次 3 - 1 2 項参照 */

```

[illegible][illegible]

トリガ遅れ

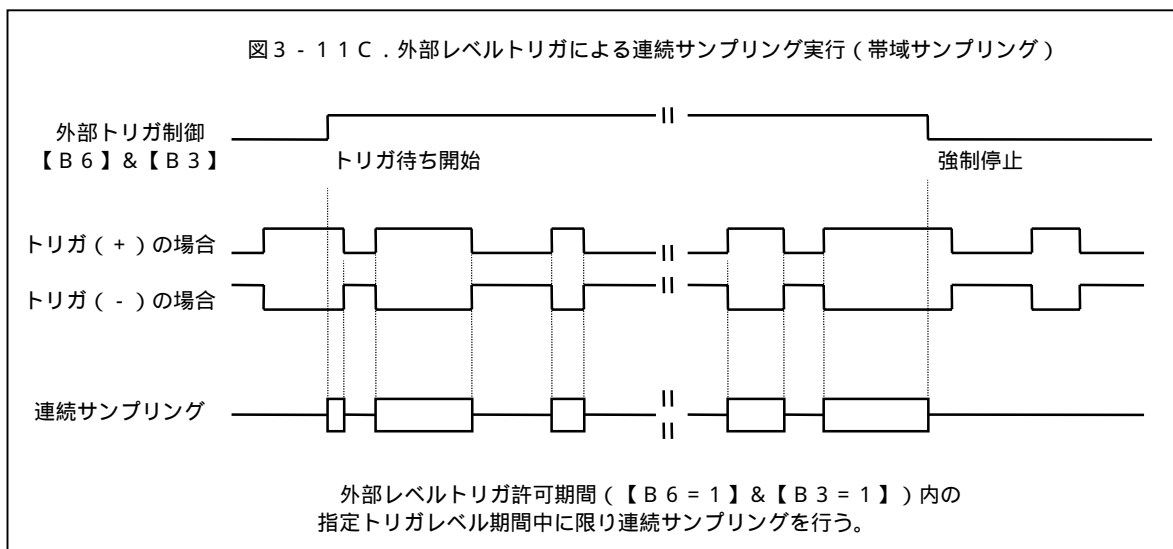
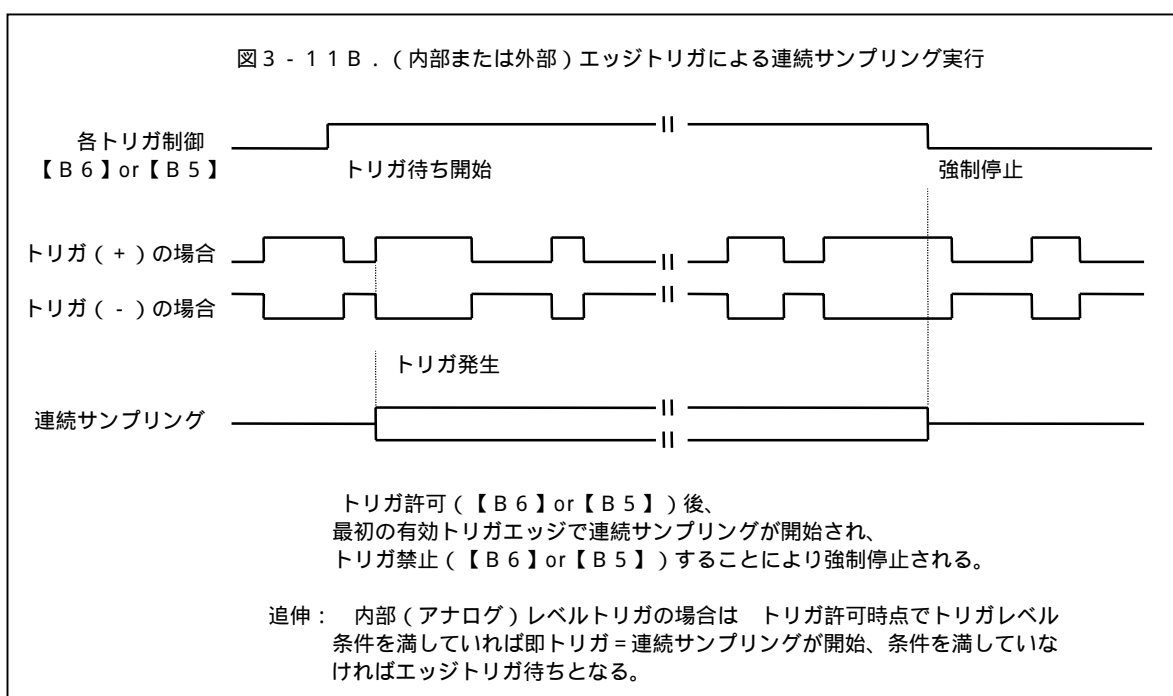
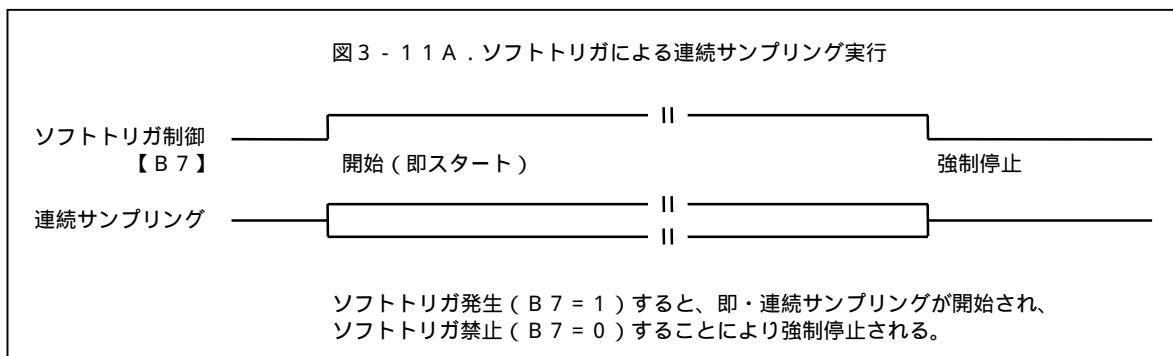
トリガ条件が成立したとき、本ボードがこれを検出して実際に連続サンプリングを開始するまでの遅れ時間はトリガの種類によって少しだけ異なります。  
その遅れ時間は、

ソフトトリガ： 250 ns、

内部（アナログ）トリガ： 約  $5 \mu s$ 、

外部（デジタル）トリガ： 250 ns です。

図3 - 11 A , B , C に一般的な連続サンプリング動作の様子を示します。



### 3-12. マニュアル（1回）サンプリング開始

```
str = inp(BASE + 6); /* str = ダミー（無効）データ */
```

当操作により指定チャンネル群に対するマニュアル（1回）サンプリングが開始されます。  
変数 `str` には意味が無く、当操作の実行時に発生する I/O 制御信号で動作します。

プログラム上任意のプロセスで指定チャンネル群に対する各 1 回サンプリングを実行したいときに利用します。

サンプリングされた AD データは（連続サンプリングと同様に）FIFO バッファメモリに自動転送されます。当操作の後は、FIFO メモリの Not-Empty フラグ（次 3 - 13 項）を検出するループを経て AD データ読み込み（3 - 14 項）を実行します。

#### マニュアル（1回）サンプリング操作の全手順

```
rst = inp(BASE + 7); /* 制御部リセット【3 - 4 項】：制御部リセット */
outp(BASE + D, scn); /* 条件設定【3 - 5 項】：入力スキャン速度指定 */
outp(BASE + 2, dcd); /* 条件設定【3 - 6 項】：AD データコード設定 */
outp(BASE + 0, ech); /* 条件設定【3 - 7 項】：使用チャンネル数設定 */

outp(BASE + 3, 0x0); /* 【3 - 11 項】：トリガモード設定（マニュアルに指定） */

str = inp(BASE + 6); /* 動作開始【3 - 12 項】：マニュアル（1回）サンプリング開始 */

while((inp(BASE + 5) & 0x80) != 0x80)
    ; /* ステータス検査【3 - 13 項】；ステータスの読み込み / 評価 */

outp(BASE + 5, 0x80); /* ステータス（EOS フラグ）クリア */

for(ch = 0; ch <= ech; ch++); /* チャンネル 0 ~ ech まで */
{
    ADL(ch) = inp(BASE + 0); /* AD データ下位バイト取得【3 - 14 項】：FIFO から読む */
    ADH(ch) = inp(BASE + 0); /* AD データ上位バイト取得【3 - 14 項】：FIFO から読む */
}
```

## 3-13. ステータスデータの取得、クリア

```
s t s = i n p ( B A S E + 5 ) ; /* s t s = ステータスデータ */
```

本ボードのステータスデータを読み込みます。

表 3-13A. 【BASE+5】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	EOS: 各回サンプリング・スキャン終了【注1】	終了済み	実行中、その他	0
B 6	INT: 割り込み要求発生【注1】	発生済み	未発生、その他	0
B 5	TIM: 各回サンプリング・スキャン開始【注1】	開始済み	未開始、その他	0
B 4	TGD: トリガ発生認識【注2】	発生済み	未発生	0
B 3	未使用			0
B 2	ERR: エラーフラグ【注1】	発生	未発生	0
B 1	HLF: Not Half-full (3-2項参照)【注2】	1 / 2 未満	1 / 2 以上	1
B 0	EMP: Not Empty (3-2項参照)【注2】	データ有	データ無	0

【注1】 一旦セットされるとクリア操作まで保持するラッチフラグ。

【注2】 現在状態を刻々反映する状態フラグ。

## 《補足説明》

**EOS:** 各回のサンプリング・スキャンが終了するたびにセット (= 1) される。すなわち、後述のTIMからサンプリング・スキャン実行時間だけ遅れてセットされる。

**INT:** 割り込み要求が発生 (3-15項) するとセット (= 1) される。

**TIM:** 各回のサンプリング・スキャンが開始されるたびに (連続サンプリングクロックの前縁で) セット (= 1) される。

**TGD:** 許可されたトリガ (内部 / 外部 / ソフト) が発生するとセット (= 1) される。トリガ禁止操作 (3-10項) でクリアされる。  
外部デジタル入力によるレベルトリガ (帯域サンプリング) 動作のときは同有効レベル期間中だけセット (= 1) される。



**ERR:** サンプリング動作エラー（以下 ケースのいずれか）発生時にセット（= 1）  
（B2） され、制御部リセット操作（3 - 4項）まで保持される。

FIFOバッファメモリが満杯になった状態で、次のデータは書き込みが  
成らず消失された。《データロスト・エラー》

本機の（実力）最高サンプリング速度以上のクロック値を指定して連続サ  
ンプリングを実行した。《オーバーラン・エラー》

**HLF:** FIFOバッファメモリ内がサンプリングされたデータで《半分 + 1》以上に  
（B1） なった時にセット（= 0）され、読み出しの実行で《半分 + 1》未満になるとリ  
セット（= 1）される。/Not Half-full/

本機のFIFOメモリ容量は標準1024語、《半分 + 1》= 513語。

**EMP:** FIFOバッファメモリにサンプリングされたデータが1個でも書き込まれる  
（B0） とセット（= 1）され、空になるとクリア（= 0）される。/Not Empty/

#### ステータス・クリア操作

```
outp (BASE + 5, stc); /* stc = ステータス (の指定ビット) クリア */
```

ステータスデータ（の指定ビット）、またはFIFOメモリ素子をクリアします。  
この動作は当出力命令実行の瞬間に行われ、当出力データは保持されません。

表3-13B. 【BASE + 5】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	EOS【注1】ビットのクリア制御	クリアする	クリアしない	0
B 6	INT【注1】ビットのクリア制御	クリアする	クリアしない	0
B 5	TIM【注1】ビットのクリア制御	クリアする	クリアしない	0
B 4	未使用			
B 3	未使用			
B 2	ERR【注1】ビットのクリア制御	クリアする	クリアしない	0
B 1	未使用			
B 0	FIFOメモリ素子だけのクリア【注3】	クリアする	クリアしない	0

【注3】 FIFOメモリ内の残りデータを破棄し、EMP, HLFフラグをリセットする。

### 3-14．ADデータの読み出し

FIFOバッファメモリ内のADデータは図3-14に示す配置となっています。これらを逐次読み出し、パソコン側のメモリに転送する方法は通常の入力命令のほかにブロック入力命令もあります。

通常の入力命令の場合はバイト単位で（連続して）読み出します。

ソフト上ではサンプリングされたADデータがFIFOメモリ内に1個以上有るか／空かを示すステータスフラグEMP（前3-13項）をポーリングするか、または同ステータスによる割り込みを使用します。

#### 《読み込み操作例》

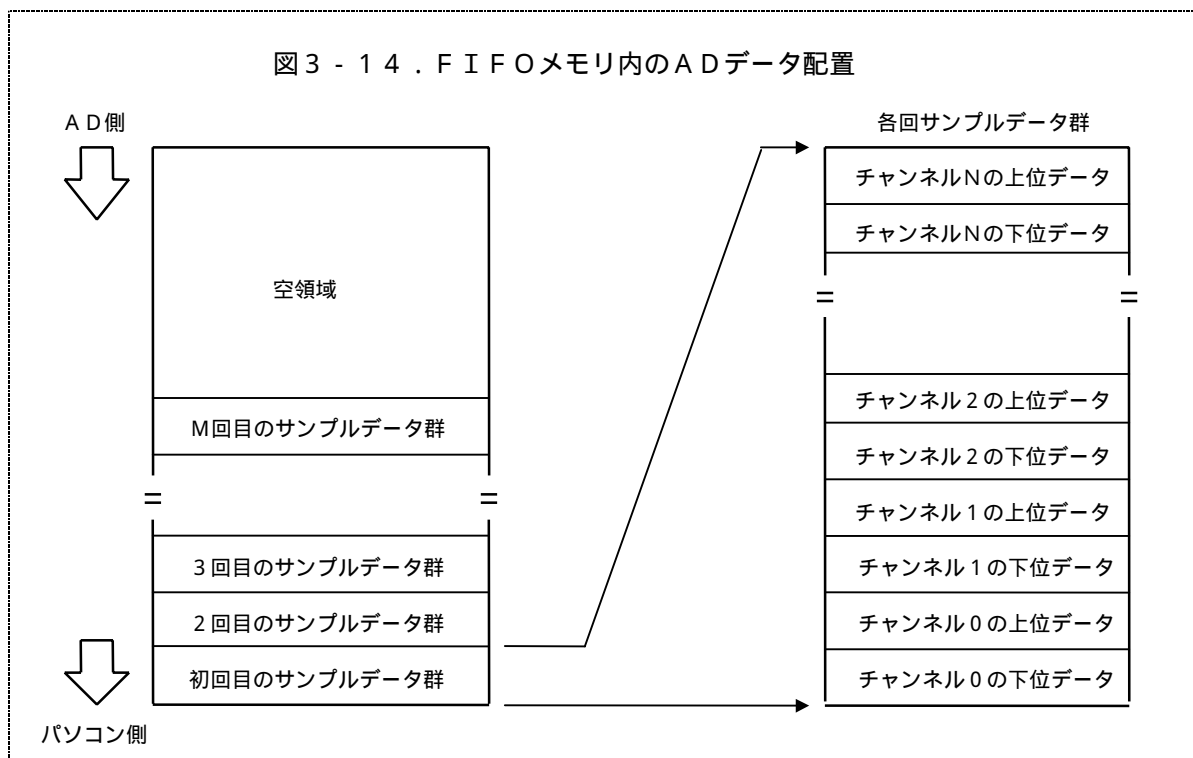
```
ADL = inp (BASE + 0) ; /* ADL = 下位バイト・データ (D7~D0) */  
ADH = inp (BASE + 0) ; /* ADH = 上位バイト・データ (D15~D8) */
```

80286以上のCPU搭載パソコンでは複数のデータを連続して読み出し、パソコン側のメモリに転送するブロック入力転送命令（INSB命令）を使用することができます。

この場合はFIFOメモリ内に蓄積されたADデータがFIFOメモリ容量の 半分 + 1 以上か／未満かを示すステータスフラグHLF（前3-13項）をポーリングするか、または同ステータス変化による割り込みを使用します。

本ボード搭載のFIFOメモリ入力速度（使用チャンネル数 × サンプリング周波数）が出力側の読み出し速度（パソコン側へのデータ転送速度）より速いときは、同メモリの充満量が次第に増えてゆき、ついにはオーバーフローを起こしてエラー（ERR）フラグが立ちます。

当時点以降にサンプリングされた新データは全て消失されますが【ここでトリガ禁止操作によりサンプリング動作を止めれば】FIFOメモリ内の残りデータは全て有効に読み出すことができます。【注】オーバーフロー発生がブロック転送実行タイミングと重なった場合は、FIFOメモリ末尾側に最大1ブロック転送分の空領域を残すような形となります。



### 3-15. 割り込み制御

```
outp (BASE + 4, irm); /* inm: 割り込み要求の発生要因制御 */
```

本ボードからパソコン本体内部割り込みコントローラに発信する割り込み要求の発生要因を制御します。複数の要因を許可するとOR動作となります。なお本ボードで割り込みを使用するにはインストール時にリソースを取得しておく必要があります。(1-4項/インストール/参照)

【割り込みを使用しない場合は操作不要です。/読み飛ばしてください。】

表3-15. 【BASE + 4】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	外部割り込み信号 (INT-IN) の有効極性指定	( + )	( - )	0
B 6	(FIFO) HALF-FULL 状態に変化 による割り込み	許可	禁止	0
B 5	(FIFO) Not-EMPTY 状態に変化 による割り込み	許可	禁止	0
B 4	未使用			0
B 3	1回サンプリング・スキャン終了 による割り込み	許可	禁止	0
B 2	トリガ発生 による割り込み	許可	禁止	0
B 1	外部割り込み信号 (INT-IN) による割り込み	許可	禁止	0
B 0	連続サンプリング・クロック による割り込み	許可	禁止	0

#### 《 補助説明 》

- B 7 : 外部割り込み信号 (INT-IN) が許可された場合の信号エッジ極性 ( ) 指定。
- B 6 : FIFOメモリ内の待機データが半分 (標準 1K 語のとき 512) を超えた状態が発生したタイミングによる割り込み制御。
- B 5 : FIFOメモリ内が空から 1 データ入ったタイミングによる割り込み制御。
- B 3 : 各回サンプリング・スキャン終了タイミングによる割り込み制御。
- B 0 : 指定クロックの有効エッジによる割り込み制御。  
(各回サンプリング・スキャン開始タイミングによる割り込み制御。)

実際に割り込みを使用するには、割り込みリソースを取得する。(1-4項)  
割り込み処理サブルーチンを用意する。  
ドライバで割り込みを使用するように設定する。

このあと、当割り込み制御ポートに書き込みを行います。WINDOVS 9x / NT では割り込みコントローラ素子 (パソコン本体内部) をアプリケーションで直接操作することはせず、デバイスドライバが事前・事後の処理と応答操作を行い、アプリケーションには通知と戻りのメッセージ交換で対処します。具体的には本ボード付属の C サンプルの該当部分を参照してください。《添付のデバイスドライバを使用した例》

### 3-16. 割り込み要求クリア

```
outp(BASE+1, 0x0); /* 割り込み要求信号クリア（出力禁止） */
outp(BASE+1, 0x1); /* 割り込み要求信号出力許可 */
```

本ボードからパソコン本体内部割り込みコントローラに発信する割り込み要求信号出力はソフト（ボードのドライバ）上でクリア操作する必要があります。すなわち、PCIバスの割り込み信号はクリア操作まで割り込み要求状態を保持する“レベル動作”です。

また当ポートはラッチポートですからビットB0で出力禁止（クリア）操作を行うと当状態は保持され、次の割り込み信号が出力できない状態です。これを解消するには再度ビットB0をセット（=1）する操作が必要です。

《WINDOWS 9x / NTでは通常、この操作はデバイスドライバ内で行います。》

表3-16. 【BASE+1】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B7	未使用			0
B6				0
B5				0
B4				0
B3				0
B2				0
B1				0
B0	PCIバス上への割り込み信号出力制御	出力許可	出力禁止（クリア）	0

### 3-17. マスタスレーブ動作（複数システムの同期・並行動作）

複数の本ADボード/システム（最大7システム）を同一クロックで同期運転することもできます。この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。

スレーブはマスタからのクロックを受けて同期をとりますが、サンプリングタイミングに最大125nsの遅れが生じます。接続・操作は以下のとおり。

#### ボード上の設定

特になし。

各ボードを1枚ずつインストールし、直後に割り当てられたリソース（I/Oアドレス）とPCIバス番号・デバイス番号を確認・記録する。/各ボードに認識ラベルを付すとよい。

#### ボード間の接続等

マスタ機のクロック出力《CLK-OUT》をスレーブ各機のクロック入力《CLK-IN》に接続するだけである。（図3-17参照）

マスタ機は外部クロック源、外部（デジタル）トリガを使用することもできる。

#### ソフトウェア

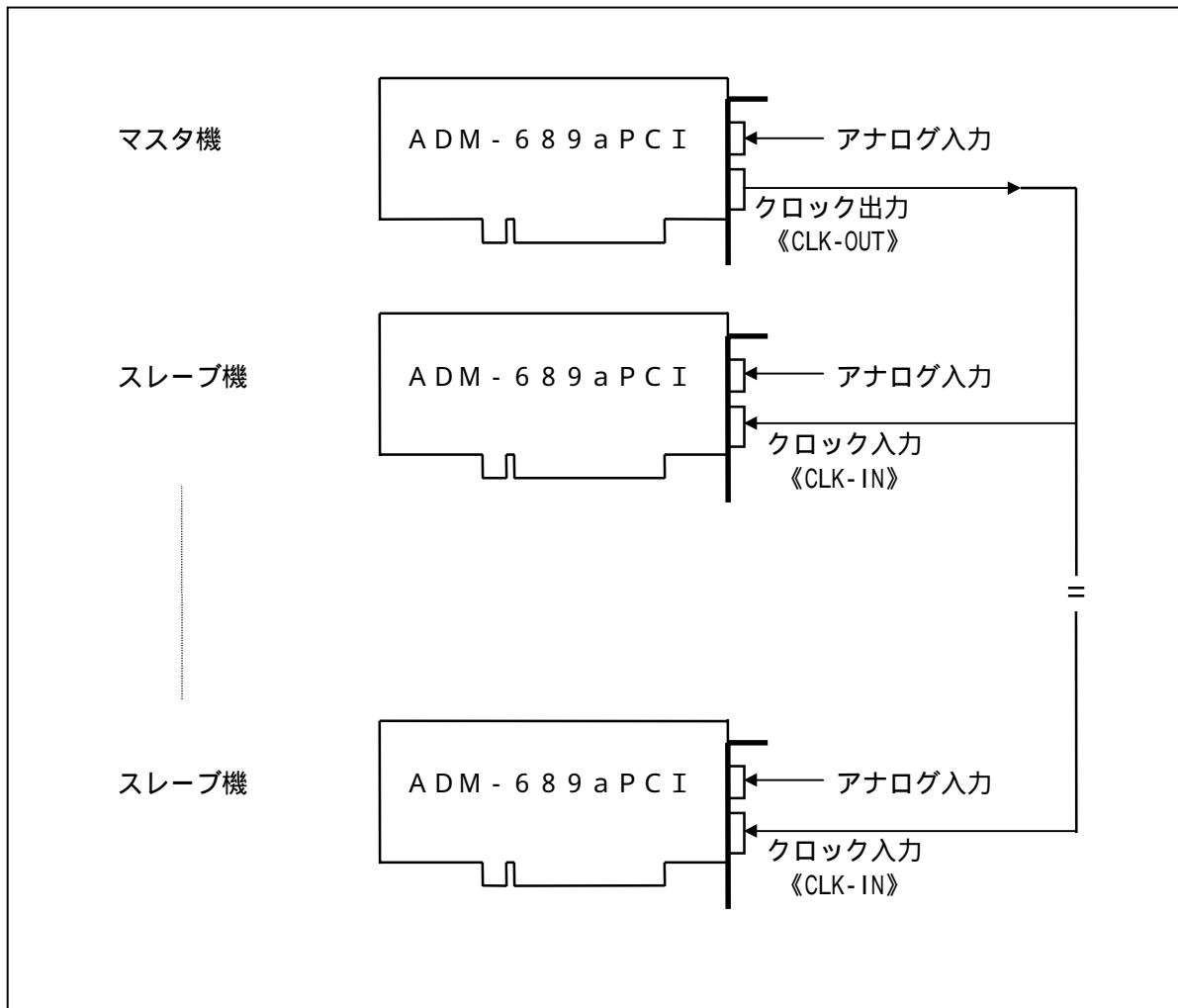
スレーブ各機のクロック源は外部に設定（3-8項）、またクロック源の分周比は1/1に設定（3-9項）しておく。

スレーブ各機の内部（アナログ）トリガ、および外部トリガは禁止としておく。

マスタ機は単独動作時と同様に（何の制限もなく）条件設定できる。

連続サンプリング動作のスタート操作はスレーブ各機を（ソフトトリガで）先に、最後にマスタ機を（任意のトリガ条件で）行う。連続サンプリング開始後はマスタ機のスレーブステータスを監視しながら適時、各機からのADデータを読み出す。

図3-17. マスタスレーブ接続による複数ボードの並列・同期運転



### マスタスレーブ動作の概要

- (1) スレーブ各機をソフトトリガで即スタートさせると外部クロック入力による連続サンプリング動作となるが、この時点ではマスタ機からのクロック入力待ち状態である。
- (2) マスタ機が（設定した）トリガにより連続サンプリングが開始されるとマスタ機から有効なクロック信号が出力され、これがスレーブ各機（最大7枚）に入力されて同期サンプリングが実行される。／この間の遅れ時間は最大125nsである。／
- (3) 以後はマスタ機のステータスを監視しながら適時、各機のFIFOバッファメモリからADデータを読み出す。マスタを含めて各機は自身の最高速度で連続サンプリングできるが、バスの現実的な転送速度による制限と各機の搭載メモリ容量（標準＝1K語）で実際に可能な最高サンプリング速度が決まる。  
／搭載メモリ容量までは無条件にボード自体の最高速度で動作可能。／

## 3-18. 汎用デジタル入出力

```
d i n = i n p ( B A S E + 10 ) ; /* 汎用 1 ビット T T L ( 現在値 ) 入力 */
```

表 3 - 1 8 A . 【 B A S E + 10 】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用		
B 0	I 0 : 汎用デジタル入力ビット 0	H i g h ( 開放 )	L O W ( 0 v レベル )

```
o u t p ( B A S E + 10 , d o u t ) ; /* 汎用 1 ビット ( ラッチ ) 出力 */
```

表 3 - 1 8 B . 【 B A S E + 10 】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用			
B 0	Q 0 : 汎用デジタル出力ビット 0	H i g h	L o w	0

【注 1】 電源投入、またはハードウェアリセット直後の汎用デジタル出力は “ 0 ” ですが、ソフト的な制御部リセット操作 ( 3 - 4 項 ) ではクリアされません。

【注 2】 汎用デジタル出力の論理はボード上のスイッチ **S - P O L** により任意に設定することができます。また、出力レベルはボード上のスイッチ **S - P U P** で 1 K のプルアップ ( U 側 : 標準 )、またはオープンコレクタ ( O 側 ) を選択できます。  
( 1 - 2 項、 2 - 4 項参照 )

出力素子 : 7 5 4 5 2 B N ( T I 社製ほか )

最大シンク電流 = 1 0 0 m A

最大 C E 間電圧 = 3 0 v

C E 間飽和電圧 = 0 . 8 v