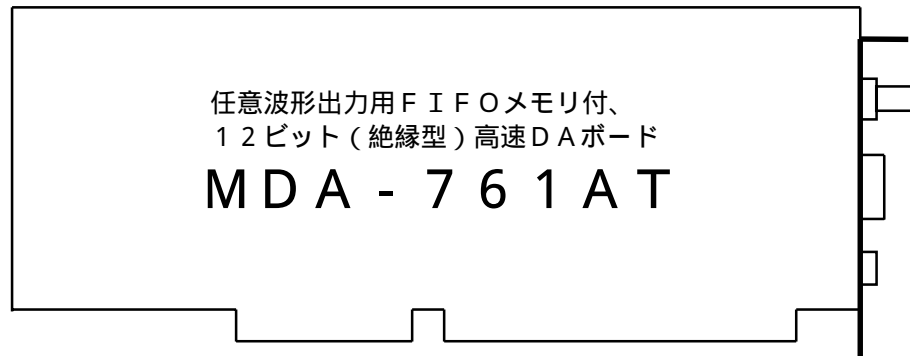


Real Solution for FA/LA



取扱い説明書

— 応パソコン —

IBM PC / AT 互換機
(ISA - bus)

マイクロサイエンス (株)

〒167-0042 東京都杉並区西荻北 2 丁目 3 7 番 1 2 号

TEL 03 (3396) 8362 代表

FAX 03 (3301) 5593

Email: welcome@microscience.co.jp

Jan 01, 2003

目 次

使用・適用上の注意	4
本製品の構成・価格表	5

第 1 章．導入・試運転

1-1. 本製品の仕様・概要	7
1-2. ボード上の設定	12
1-3. I / O ベースアドレスの設定	13
1-4. 入出力コネクタ・ピン接続	14
1-5. 入出力接続オプション	15
1-6. 論より R U N (試運転・動作確認)	17

第 2 章．アナログ入出力

2-1. アナログ入出力端	19
2-2. アナログ出力範囲・レンジ設定	22
2-3. アナログ出力モード (乗算・減算 / 加算)	25

第 3 章．制御・操作

3- 1. アナログ出力の様子	29
3- 2. F I F O メモリの動作	32
3- 3. 制御・操作の手順	33
3- 4. 制御レジスタ I / O アドレス・マップ	39
3- 5. ボード制御部リセット (初期化)	40
3- 6. レジスタ所属ページの指定・確認	41
3- 7. D A データコード指定	42
3- 8. D A データ転送方法指定	43
3- 9. 割り込みレベル & D M A チャンネル指定	44
3-10. 割り込み要求の発生要因制御	46
3-11. クロック源選択	47
3-12. 読み書き対象カウンタの選択	48
3-13. クロック値 (クロック源分周比) の設定	50
3-14. D A 出力データ点数の設定・認識	52
3-15. S Y N C / クロック出力切り替え	55
3-16. D A データの書き込み	56
3-17. トリガ & 出力更新モード指定	58

3-18 . ボード・ステータスの読み込み、クリア	60
3-19 . F I F Oメモリ・フラグの読み込み	62
3-20 . 複数ボードの同期運転（マスタスレーブ動作）	63
3-21 . 外部機器（A Dボード等）との連携動作	64

第 4 章 . ソフトウェア

4-1 . インストール	65
4-2 . Q u i c k - B a s i c サンプル	67
4-3 . C のサンプル	68

第 5 章 . 波形出力用 C ハンドラ

5-1 . 適用システム	71
5-2 . 使用方法	72
5-3 . 関数セット	74

第 6 章 . 保守・その他

6-1 . 故障・トラブル等の原因と対処	85
6-2 . 再調整	87
6-3 . 修理のときは	90
Q & A フォーム	91

本製品の使用・適用についての注意

- 【１】 本製品はIBMPC/AT互換機のISAバス拡張I/Oスロット、またはISAバス拡張I/Oボックスに装着して使用するものです。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システム的设计・制作に別途付加・反映させてください。 本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。 これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。 御利用の場合は同システム的设计・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第三者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。 但し、当社製ソフトウェアのソースコードを含むソフトウェアを第三者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

故障・修理・サポート方法について

- 【１】 納入後１年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品に対して無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【２】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰する故障品に対しては実費にて修理をお請けします。
- 【３】 修理は宅配便によるセンドバックで行います。 なお、運賃は互いに発送する側が負担するものとします。（無償修理の場合も含む／着払い不可。）
- 【４】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社宛に直接御相談・御用命ください。 その際は、客観情報の整理・評価を行うために必ずFAX等でレポートを御送付ください。（解決速度が格段に上ります。）
本書末尾の《Q & A フォーム》が便利です。

本製品の構成

本製品は MDA - 761ATボード、
入出力プラグ（アナログ、デジタル、各1個）
ソフトウェア格納ディスク、 以上、各1式から成ります。

ソフトウェア格納ディスクは標準 3.5 インチ (1.44 MB) または CD で、動作確認用のプログラム、学習用のサンプルプログラム・ソース (C , および Quick - Basic)、および WINDOWS (9 x ・ ME ・ NT 、 2000 、 XP 、 および 3.1 用) の単機能 I / O 読み書き DLL 、 および取扱説明書 PDF ファイルが格納されています。

(オプション) 印刷された取扱説明書、回路図。

價格表

(2003年1月)

製品名	価 格	製品の概要
MDA - 7 6 1 A T	¥ 1 1 2, 0 0 0	F I F Oメモリ付 1 2 ビット高速 (絶縁型) D Aボード
(以下はオプション)		
取説セット	2, 0 0 0	印刷された取扱説明書 + 回路図 + C D R O M (ソフト、取説ファイル入)
D S 0 9 S 1 5 0	5, 0 0 0	アナログ入出力用 1. 5 m ケーブル (片方: プラグ / 他方: バラ)
C B O X - 1 0 4	1 4, 0 0 0	クロック・トリガ用 B N C 接続ボックス (対ボード間 1 m ケーブル付)
C B O X - 1 0 7	1 3, 0 0 0	クロック分配ボックス (最大 7 スレーブ接続可能 / 要ケーブル)
C C 0 8 D - 1 0 0	3, 0 0 0	クロック分配接続用 1 m ケーブル (スレーブ数だけ必要)

《 取説セット 》 印刷された取扱説明書＋回路図＋添付ソフト格納ディスクの3点セットは有償です。（ ￥ 2 0 0 0 ）
が、同一内容の取説PDFファイルと添付ソフトを格納したCDROMは無償配布しており、また
取説PDFファイルは当社ホームページから無償ダウンロードすることができます。
< www.microscience.co.jp >

【F I F Oメモリ増設オプション】 該当容量素子に交換して出荷します。

型式指定： ボード本体型式名の末尾にF I F Oメモリ容量を示す枝番を付してください。

選択枝番： - 8 K W (8 K データ分 / ￥ 1 0 , 0 0 0 追加)
 - 1 6 K W (1 6 K データ分 / ￥ 1 6 , 0 0 0 追加)
 - 3 2 K W (3 2 K データ分 / ￥ 3 4 , 0 0 0 追加)

第1章 導入・試運転

1-1. 本製品の仕様・概要

任意波形出力や自動ループ制御に適したバッファメモリ付の（絶縁型）12ビット高速DAボードです。クロック同期出力・サイクルモードでは、あらかじめ書き込んでおいたFIFOメモリ内のDAデータ群を（最高8.192MHzの速度で）循環出力させることができます。出力波形1サイクルのデータ点数がFIFOメモリ容量を超えるか無制限長の場合は、FIFOメモリの充満状態によりDMA、ブロックI/O転送等を利用して逐次データを補充する非サイクルモードもあります。

なお、出力波形振幅は別に用意されている汎用DA出力でソフト的に、または外部アナログ入力でハード的に制御することができます。またクロック源の入出力機能により、ADボード等と組み合わせたアクティブな計測・制御システムが可能です。

波形DA出力部

- 波形DA出力 : 12ビット / 1チャンネル（マスタスレーブ動作可能）。
 バッファメモリ : FIFO型・標準4K語（オプションで8K / 16K / 32K語可能）。
 通常出力レンジ : $\pm 10\text{V} / \pm 5\text{V} / 0 \sim +10\text{V} / 0 \sim +5\text{V}$ （ジャンパ選択）、
 出力モード ———— 通常モード（通常出力レンジ）
 — 汎用DA出力（外部アナログ入力）との乗算モード、
 — 汎用DA出力（外部アナログ入力）との減算（または加算）モード、
 — 前2モード組み合わせの乗算・減算モード。
 更新モード ———— クロック同期（サイクル / 非サイクル）更新、または即時更新。

汎用DA出力部 // 波形DA出力の振幅制御に使用可能。//

- 波形DA出力 : 12ビット / 1チャンネル（独立制御）。
 出力レンジ : $\pm 10\text{V} / \pm 5\text{V} / 0 \sim +10\text{V} / 0 \sim +5\text{V}$ （ジャンパ選択）。

外部アナログ入力 // 波形DA出力の振幅制御に使用可能。（ $\pm 10\text{V}$ 以内・差動）//

制御機能

- データ転送 : DMA, ブロックI/O, 通常（Single）I/O。
 クロック源 : 内部8MHz、8.192MHz、または外部TTL入力。
 クロック値 : クロック源を32ビット（16BIT×2）バイナリ・カウンタで分周。
 トリガ機能 : ソフト（即スタート）、外部TTL入力エッジ・またはレベル（帯域）。

- 割込要求要因 : クロック（波形DA出力更新タイミング）、トリガ発生、
 （ソフト選択）サイクルモードの指定回数出力終了、汎用外部割り込みTTL入力、
 FIFOメモリのNOT - FULL、NOT - HALF - FULL。

DMA起動要因 : FIFOメモリのNOT - FULL（ソフト許可）

- 外部制御出力 : クロック（波形DA出力更新タイミング）、または
 SYNC（サイクルモードでの先頭データ位置）出力。

図 1 - 1 A . MDA - 7 6 1 A T 機能ブロック

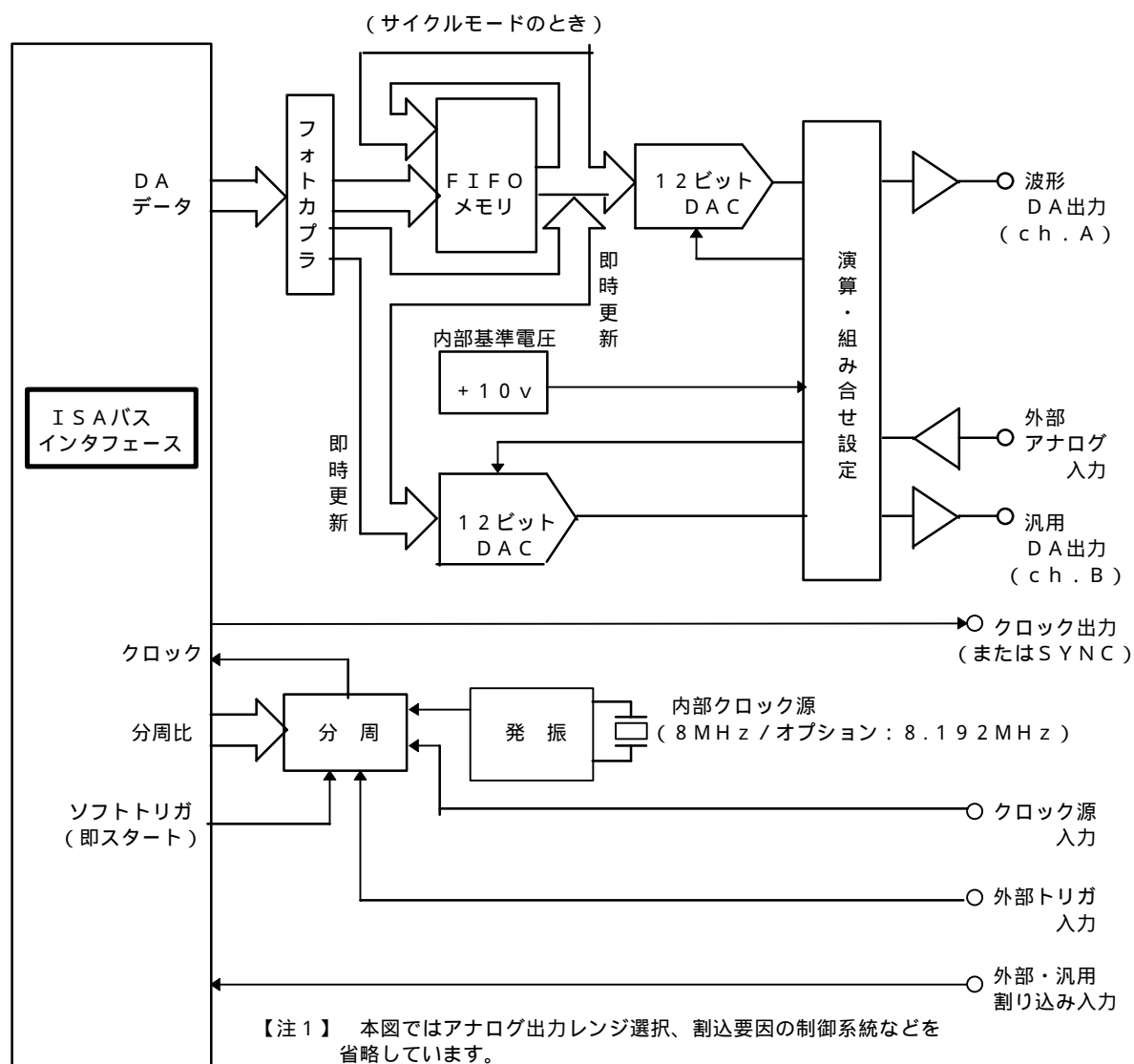


表 1 - 1 A . 波形 (チャンネルA) 出力モードの選択肢

波形 (チャンネルA) 出力電圧	《 詳細説明 》	基準電圧、または乗算対象選択 (スイッチRESL)	オフセット選択 (スイッチOFSL)
(Va)	単独動作: 《 2 - 2 項 》	内部基準電圧	0V
(Va) - (Vb)	減算動作: 《 2 - 3 項 》	内部基準電圧	チャンネルB出力
(Va) - (Vin)	減算動作: 《 2 - 3 項 》	内部基準電圧	外部アナログ入力
(チャンネルBとの乗算)	《 2 - 3 項 》	チャンネルB出力	0V
(チャンネルBとの乗算) - (Vin)	《 2 - 3 項 》	チャンネルB出力	外部アナログ入力
(外部入力電圧との乗算)	《 2 - 3 項 》	外部アナログ入力	0V
(外部入力電圧との乗算) - (Vb)	《 2 - 3 項 》	外部アナログ入力	チャンネルB出力

(Va) : チャンネルA単独動作時の出力電圧

(Vb) : チャンネルB単独動作時の出力電圧

(Vin) : 外部アナログ入力電圧

【注2】 チャンネルAの乗算対象またはオフセット入力に、チャンネルBまたは外部アナログ入力を使用する場合、演算結果が $\pm 10V$ を超えるとときの出力は保証されない。(出力素子が飽和するため)

【注3】 外部アナログ入力範囲は最大 $\pm 10V$ 。(絶対最大定格 $= \pm 15V$)

波形 D A 出力 : 波形出力用のチャンネル A は内部基準電圧、D A チャンネル B 出力、外部アナログ入力を組み合わせた任意の出力モードを使用できます。 / 表 1 - 1

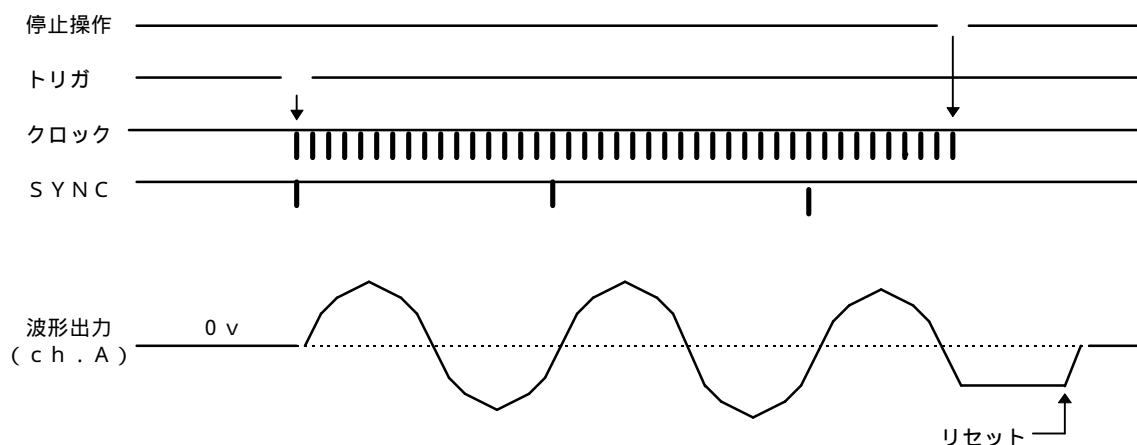
例えば任意波形を（クロック同期更新モードで）出力しながらプログラム上でリアルタイムにゲインを変える、すなわち振幅制御が可能です。

同様に外部からのアナログ入力と乗算（変調）させたり、オフセット印加（減算、または加算）も可能です。

汎用 D A 出力 : 汎用のチャンネル B はチャンネル A の出力制御に使用できるほか、独立した D A 出力として使用することもできます。 但しチャンネル A の乗算対象に設定した場合に限り、汎用出力としての使用ができません。（2 - 3 項）

クロック同期出力モード : ソフト（即スタート）、または外部 T T L エッジトリガによりクロックがスタート、これに同期して F I F O バッファメモリ内のデータが順番に D A 変換（更新）出力されます。 【サイクルモード】の場合、バッファメモリ内のデータ群を 1 サイクル分として指定回数だけ（または停止まで無限に）循環出力します。 出力しようとする波形 1 サイクル分のデータ点数が搭載メモリ容量を超えるか無制限長の場合は、F I F O メモリの充満状態により D M A , ブロック I / O 転送等を利用して逐次データを補充する非サイクルモードもあります。

図 1 - 1 B . クロック同期出力・サイクルモードの動作



【注 4】 S Y N C : クロック同期出力モードのとき、波形出力 D A データ群の先頭位置（1 クロック幅）を示す。サイクルモード時は繰り返し出力されるが、非サイクルモードのときは先頭 = 最初のデータ出力時のみである。なお当信号（T T L）出力はソフト上の選択で“クロック出力”とトグルになっている。

波形出力 : D A 出力は（c h . A / c h . B 共に）電源 O N、パソコンリセット操作、または本ボードのソフトのリセット操作により初期値 = 0 v となる。 以後は D A 出力操作（またはクロック）により更新された出力値が次の更新まで保持（ラッチ）される。

出力速度 : クロック同期サイクルモードのときは全て本ボードの自動運転ですから、パソコン側の速度に関係なく常に最高速度（8.192MHz）が可能です。非サイクルモードのときはパソコン側からボード上のメモリに逐次データを補給する必要から、データ転送速度・FIFOメモリ容量・総データ点数で可能な最高速度が決まります。

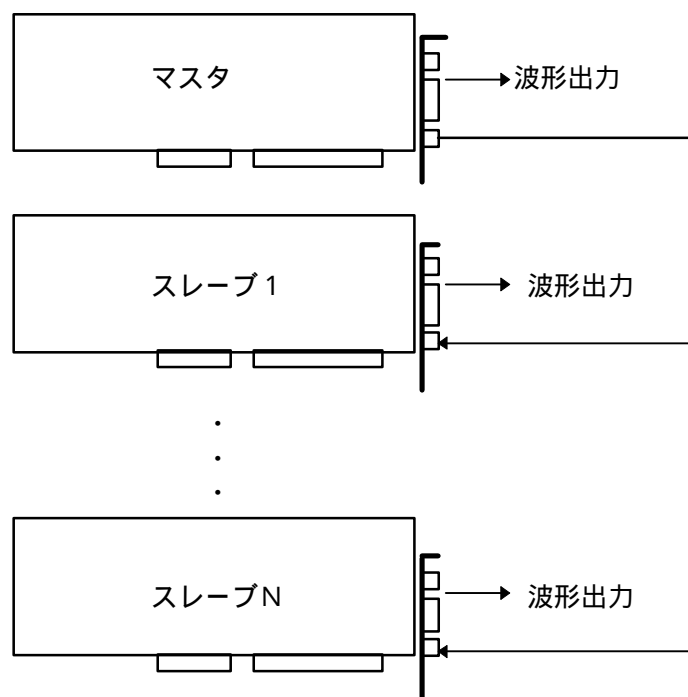
表 1 - 1 B . クロック同期・非サイクルモード時の最高速度例

パソコンCPU	486 / 66MHz				Pentium / 100MHz			
データ数	8K語	16K語	24K語	32K語	8K語	16K語	24K語	32K語
ポーリング	370K	290K	280K	260K	880K	660K	610K	同左
割り込み	240K	同左	同左	同左	560K	同左	同左	同左
DMA	250K	120K	100K	同左	290K	190K	160K	同左

【単位：sps】 = samples / sec

同期運転 : マスタ機のクロック出力をスレーブ各機のクロック源入力に接続します。マスタ機に対するソフト（即スタート）トリガ、または外部トリガ入力によりクロックがスタート、全スレーブ機がこれに同期して各自のFIFOメモリ内DAデータを更新出力する動作となります。（3 - 20項、参照）

図 1 - 1 C . マスタスレーブ接続（最大7スレーブ）



【注】 マスタ機のクロック出力を直接入力できるスレーブ数は使用する最高クロック値の制限を受ける。
 この数は 8MHz のとき 3 枚、 4MHz のとき 5 枚、 1MHz のとき 7 枚。（波形が鈍るため。）
 なお、マスタ機からクロックを供給されたスレーブのクロック出力を他のスレーブに供給可能。
 （但し、通過遅れ = 約 250ns）

アナログ仕様 (: D A 出力チャンネル A , B 共通) 【 m a x : 最悪値、他は代表値】

セトリング : 1 μ s (0.1 % FS 到達、負荷容量 = 100 pF のとき)
 非直線性 : 0.05 % FS (± 2 LSB) max
 温度ドリフト : 20 ppm /
 グリッチ : 30 nV s
 最大駆動負荷 : 容量 1000 pF 以下、抵抗 5 K Ω 以上 (電流 2 mA 以下)

アナログ入力： 最大 $\pm 10\text{ V}$ （絶対最大定格 $\pm 15\text{ V}$ ）

その他

D Aデータコード : オフセットバイナリ、または2の補数(ソフト指定)
 I / Oアドレス : 上位12ビットをディップスイッチ設定(16ポート占有)
 動作温度範囲 : 0 ~ + 4 5 (結露しないこと)
 保存温度範囲 : - 1 0 ~ + 8 0 (" " ")
 基板寸法 : 2 6 8 . 6 L x 1 1 4 . 3 H (突出部、カードエッジを含まず)
 電源・消費電流 : + 5 v / 1 . 3 A (m a x : 1 . 5 A)

入出力コネクタ

- DA 出力：9 ピン D - SUB 型（ハンダ付用プラグ添付）
波形（ch. A）出力は BNC 端子にも接続可能。
- 制御信号：8 ピン MINI - DIN 型（1 m 長ケーブル添付）

オプション : 制御信号（クロック入力、トリガ入力、汎用割込入力）用のBNC
接続ボックス、クロック分配用接続ボックス、ケーブル等。
(1 - 5 項 , 参照)

添付ソフトウェア

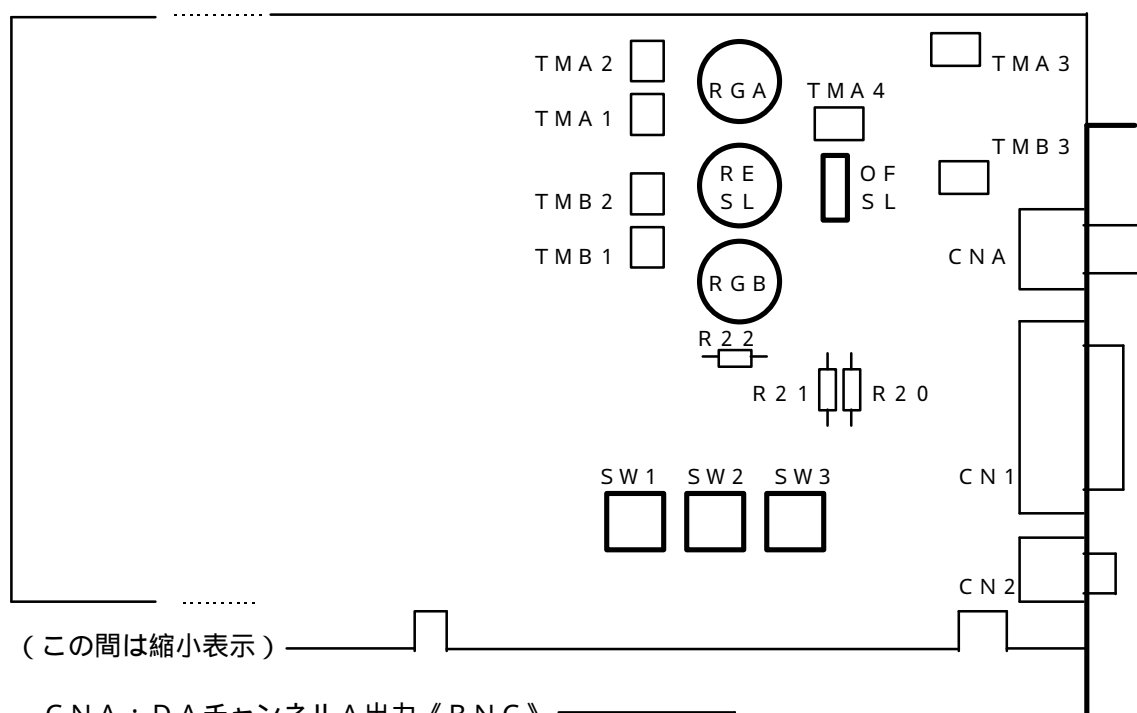
MS - DOS : 波形出力用Cハンドラ (L I B)、
CおよびQuick - Basicでの学習用サンプルソース。

WINDOWS : WINDOWS - 95、NT、およびWINDOWS (3.1) 用の
単純 I/O 命令実行 DLL。

1-2. ボード上の設定

本ボード上の設定はアナログ（DA）出力範囲、乗算・減算組み合わせ、およびI/Oベースアドレス値だけです。割り込みやDMAの設定（使用は任意）はソフトウェア上で行います。

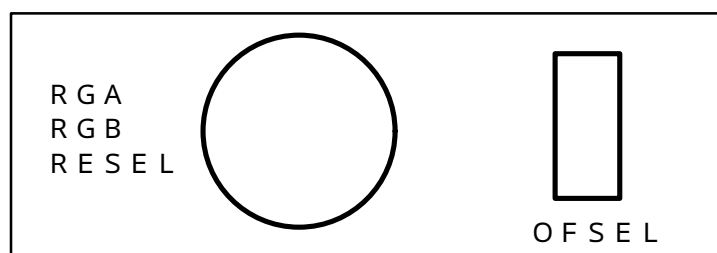
図1 - 2 A . ボード上の設定対象位置



CNA : DAチャンネルA出力《BNC》
 CN1 : アナログ入出力《9ピンD - SUB》 1 - 4項
 CN2 : 制御信号入出力《8ピンMINI - DIN》
 TMA 1 ~ 4 : DAチャンネルA用調整トリマ（再調整：6 - 2項）
 TMB 1 ~ 3 : DAチャンネルB用調整トリマ（再調整：6 - 2項）
 R 2 0 , R 2 1 : アナログ入力終端抵抗（出荷時：10M）
 R 2 2 : アナログ入力ゲイン設定抵抗（出荷時：未実装 = ゲイン 1）

SW 1 , 2 , 3 : I/Oベースアドレス設定【出荷時：0 , 1 , E】 / 1 - 3項

RGA : DAチャンネルAの出力範囲設定【出荷時：3】（±10V） / 2 - 2項
 RGB : DAチャンネルBの出力範囲設定【出荷時：1】（0 ~ +10V） / 2 - 2項
 RESL : DAチャンネルAの乗算対象設定【出荷時：1】（固定基準） / 2 - 3項
 OFSL : DAチャンネルAの減算対象設定【出荷時：1】（0V） / 2 - 3項

図1 - 2 B . 乗算・減算設定
（拡大図）

1-3. I/Oベースアドレスの設定

本機の制御・操作は全て（I S Aバス上の）ハードウェアI/O空間に割り付けられます。

I B M P C / A T 互換機ではパソコン本体内部デバイスおよび重要な周辺機器・拡張ボードの使用
するI/Oアドレスが000h～3FFhにマッピングされています。このI/Oアドレス線は
16ビット（AB15～AB0）ですが、全んどのI B M P C / A T 互換機ではAB9～AB0のみを
デコード（AB15～AB10を無視）しているため上位のアドレス空間（1KBごとに）イメージ
が生じることに御留意ください。本機の出荷時設定は01E、したがって01E0～01EFの
アドレスを占有します。他のボードや周辺機器と重複しない値を御使用ください。

図1-3. I/Oベースアドレスの設定




アドレス線	AB15 ~ AB12	AB11 ~ AB8	AB7 ~ AB4	AB3 ~ AB0
ディップ スイッチ	SW1 	SW2 	SW3 	ボード内で 複数のアドレスを使用 (3 - 4項、参照)
出荷時設定	0	1	E	固定デコード

表1-3. I B M P C / A T 互換機システムの（代表的な）I/Oアドレスマップ

I/Oアドレス(hex)	本体内部デバイス、主要周辺機器	本機で運用の可否	他社の使用例、等
000～01F	DMAコントローラ1	x 不可	
020～03F	割り込みコントローラ1	x 不可	
040～05F	タイマ	x 不可	
060～06F	キーボード・コントローラ	x 不可	
070～07F	リアルタイム・クロック、NMI	x 不可	某社の本体システムで使用
080～09F	DMAページレジスタ	x 不可	
0A0～0BF	NMIマスキングレジスタ	x 不可	
0C0～0DF		x 不可	DMAコントローラ2
0E0～0FF		x 不可	N D P
100～16F		【推奨】	HDDコントローラ
170～17F	I D Eコントローラ2	x 不可	
180～1EF		【推奨】	
1F0～1F7	I D Eコントローラ1	x 不可	
200～20F	ゲームI/O	x 不可	
210～21F	拡張ユニット	x 不可	
220～26F		【可能】	
278～27F	プリンタ2	x 不可	
280～2AF		【可能】	
2B0～2DF	E G A	x 不可	
2E1	G P I B	x 不可	
2E2～2E3	データアキュイジション	x 不可	
2F8～2FF	シリアルポート2	x 不可	
300～31F	プロトタイプ・ボード	【可能】	他社の標準設定と競合し易い
320～32F	HDDコントローラ	x 不可	
360～36F	P Cネットワーク	x 不可	
378～37F	プリンタ1	x 不可	
380～38F	S D L C , バイシンク2	x 不可	
390～393	クラスタ	x 不可	
3A0～3AF	バイシンク1	x 不可	
3B0～3BF	モノクロディスプレイ、プリンタ	x 不可	
3C0～3CF	E G Aディスプレイ・コントローラ	x 不可	
3D0～3DF	C G Aディスプレイ・コントローラ	x 不可	
3F0～3F7	F D Dコントローラ	x 不可	
3F8～3FF	シリアルポート1	x 不可	

1-4. 入出力コネクタ・ピン接続

本機のアナログ入出力には9ピンのD - S U Bコネクタ、また制御信号入出力には8ピンのミニD I Nコネクタが使用されています。 D A出力チャンネルA（波形出力用）は特にB N Cコネクタ（C N A）にも接続されており、都合の良い側を使用できます。

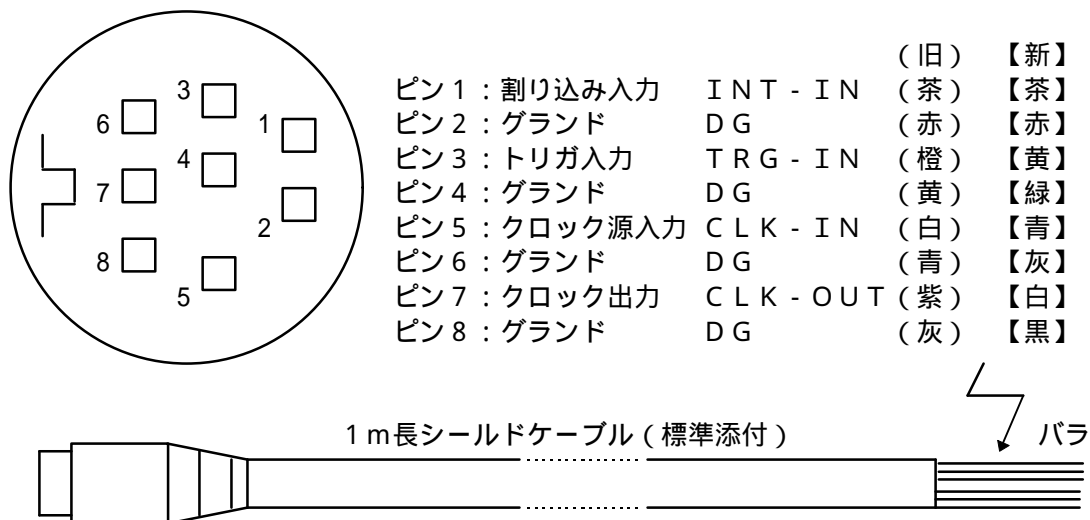
表 1 - 4 . 入出力コネクタ

適 用	本ボード上のコネクタ	【製造社名】	対外部接続プラグ	【添付の有無】
D AチャンネルA専用	標準BNC		標準BNC	【添付されません】
全アナログ入出力	17LE-13090-27(D4AB)	【DDK】	17JE-23090-02(D8A)	【添付】
制御信号入出力	TCS7930-18-401	【ホシデン】	1mシールド線付専用プラグ	【添付】

図 1 - 3 A . アナログ入出力コネクタ（C N 1）ピン接続

信号名	ピン番号	ピン番号	信号名
D AチャンネルA出力 V A	1	6	A - C O M（アナログ・グランド）
D AチャンネルB出力 V B	2	7	A - C O M（ " " ）
差動アナログ入力 V I N H	3	8	A - C O M（ " " ）
差動アナログ入力 V I N L	4	9	A - C O M（ " " ）
	5		

【注】アナログ入出力回路はフォトカプラによりI S Aバス側と絶縁されています。
（A - C O M ~ D G間は絶縁されている。）

図 1 - 3 B . 制御信号入出力コネクタC N 2 ピン接続&リード線色
（2000/04/24以降集荷分から【新】リード線色に変更）

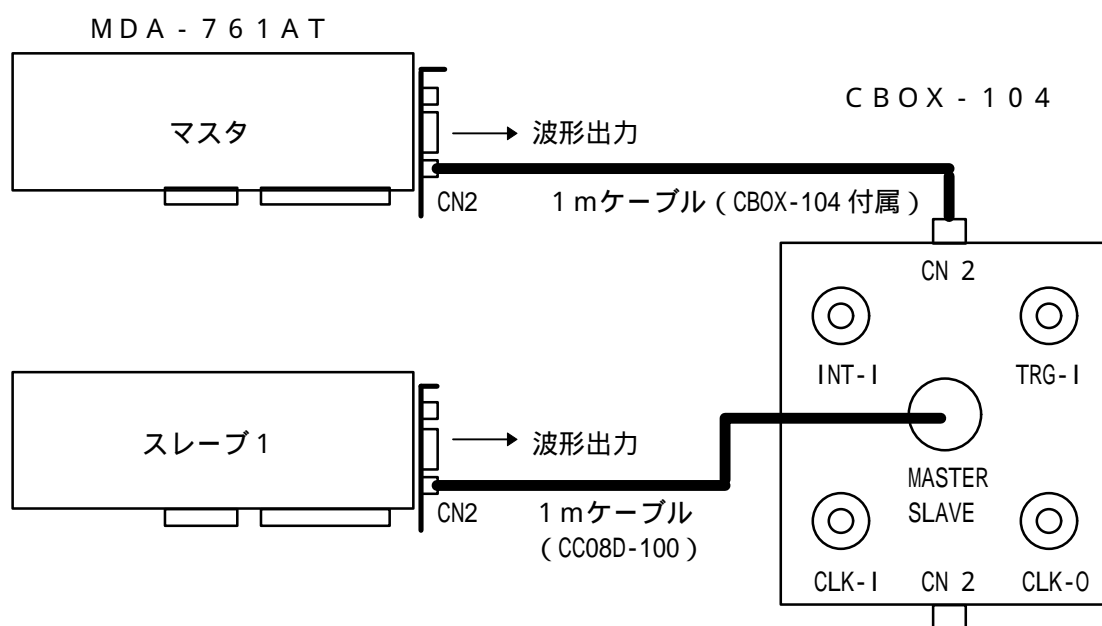
1-5. 入出力接続オプション

C B O X - 1 0 4 : クロック入出力、外部トリガ入力、外部割り込み入力を B N C 接続するための接続ボックス（対ボード接続用 1 m ケーブル付）です。
 （ ¥ 14,000 ） 寸法 = 5 0 W × 9 0 L × 2 6 T / 突出部含まず。

C B O X - 1 0 7 : 複数の本ボードをマスタスレーブ接続するためのクロック分配接続ボックス（対ボード接続用 1 m ケーブル付）です。
 （ ¥ 13,000 ） 寸法 = 5 0 W × 9 0 L × 2 6 T / 突出部含まず。

C C 0 8 D - 1 0 0 : C B O X - 1 0 4 または C B O X - 1 0 7 とスレーブ機を接続するための専用 1 m ケーブルです。 なお当ケーブルは各 C B O X に添付される対（マスタ）ボード接続用と同一のストレート・ケーブルです。

図 1 - 5 A . 単独、またはスレーブ機 1 枚を接続する場合



C B O X - 1 0 4 の各コネクタ（各信号は T T L レベル）

C L K - I : 外部クロック源入力
 C L K - O : クロック出力
 T R G - I : 外部トリガ入力
 I N T - I : 外部割り込み入力（汎用）
 MASTER-SLAVE : スレーブ機へのクロック配給用

B N C

C N 2 : 対 M D A - 7 6 1 A T 接続（単独、またはマスタ）
 C N 2 : 対クロック分配ボックス接続用（図 1 - 5 B 参照）

マスタスレーブ接続

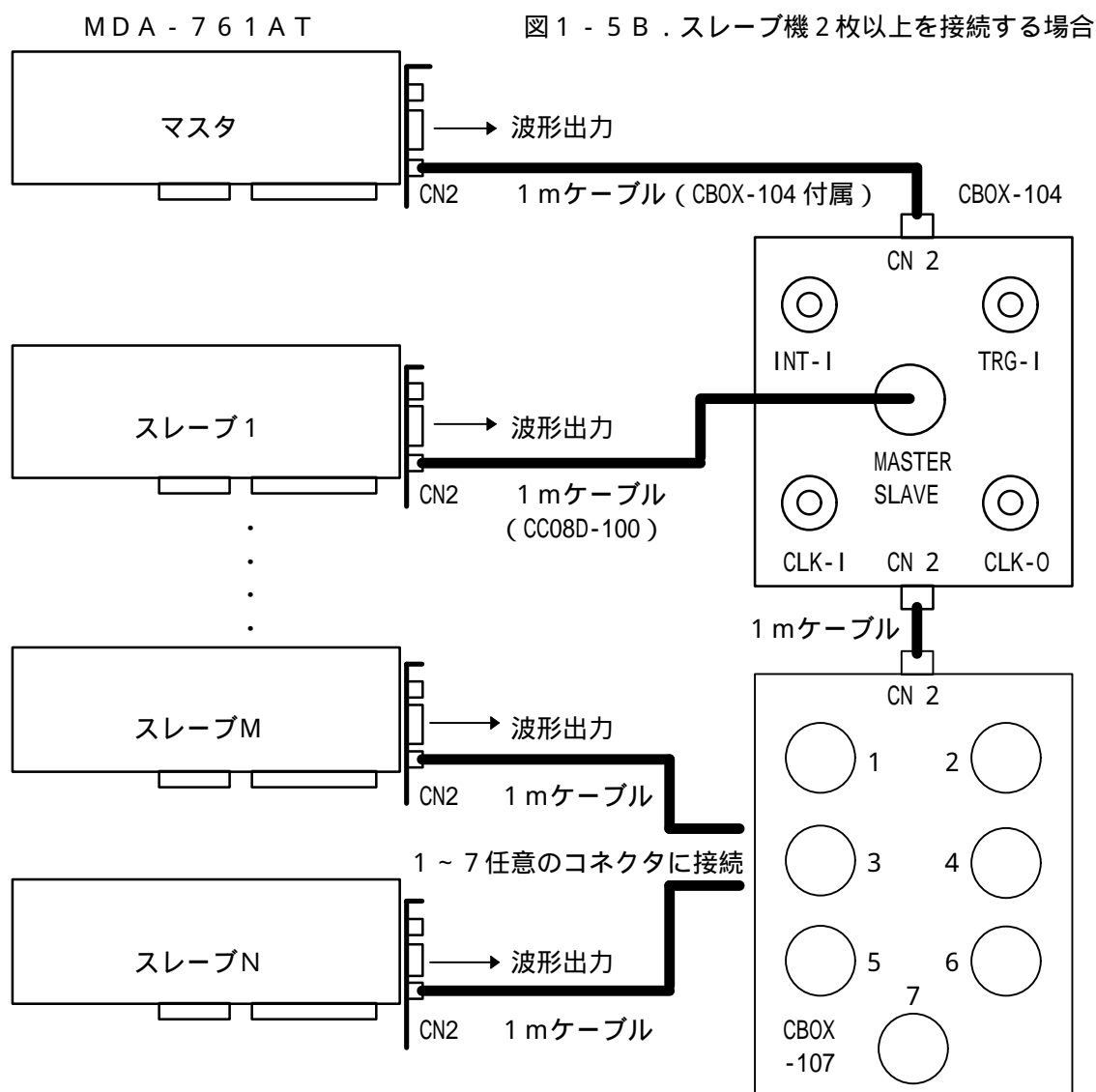
マスタ機のクロック出力をスレーブ各機の外部クロック源入力に接続することにより同期運転が可能です。

スレーブ機 = 1 枚のとき：
(図 1 - 5 A 参照)

【CBOX - 104】 + 【CC08D - 100】で接続することができます。

スレーブ機 2 枚のとき：
(図 1 - 5 B 参照)

【CBOX - 104】 + 【CBOX - 107】 + スレーブ数分の【CC08D - 100】で接続することができます。
なお、マスタ機が内部クロック源を使用し、外部トリガや外部割込みを使用しないときは【CBOX - 104】が不要になります。すなわち図 1 - 5 B で【CBOX - 107】の CN 2 をマスタ機に直結することができます。



【注】 スレーブ機の CN 2 を直接 “マスタ機の CN 2” または “CBOX - 104 の CN 2” に誤まって接続すると故障の原因になります。添付またはオプションの専用ケーブルはストレートなので《CLK - O》出力同士が衝突するためです。

1-6. 論より R U N (試運転・動作確認)

以下の手順で試運転してください。動作に不具合があるときは 1 - 2 項, 1 - 3 項に記されたボード上の設定を確認してください。それでも不明なときは本書巻末の【Q & A フォーム】にシステム情報を御記入のうえ当社技術部まで F A X してください。迅速に应答する体制となっています。なお、T E L いただく場合も客観情報の整理・評価は問題解決のスピードアップにつながりますから事前に F A X してください。

= = 準備 = =

本ボード上の諸設定は出荷時の状態 (1 - 2 項, 1 - 3 項) とします。

パソコン本体または拡張 I / O ボックスの電源を切った状態でカバーを外し、任意の拡張 (I S A バス用) I / O スロットに本ボードを無理なく押し入れ装着します。
このとき注意することは、

パソコン本体または拡張 I / O ボックスの電源を必ず切っておく。電源を入れたままで本ボードを抜き差しすることは双方の故障原因となります。

本ボードのカードエッジ (金メッキ端子) に手を触れないこと。手を触れると、(油脂成分の付着等により) 接触不良の原因となることがあります。もし、触れてしまった場合はアルコール等で拭き清めてください。

イクステンダ等により本ボードを I / O スロットから引き出した状態では誤動作を起こすこともありますから、必要以外は使用しないでください。

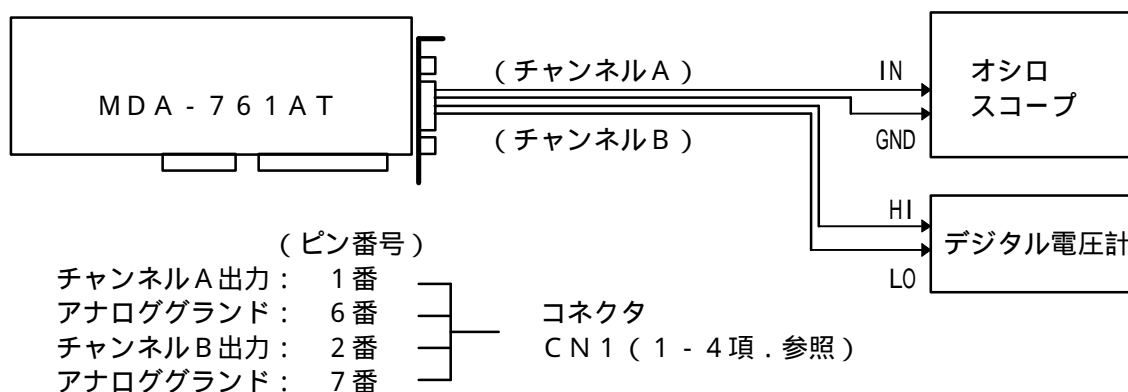
同時に使用する他の I / O ボードがあり、これに設定されている I / O アドレスが本ボードの (出荷時) 設定と重なる場合は、本ボードの I / O ベースアドレスをシステムの許す範囲で変更・設定してください。その場合は、試運転プログラムの冒頭で本ボードの I / O ベースアドレスを初期値から変更した値に設定する必要があります。【 1 - 3 項・参照】

なお試運転プログラムでは、割り込み・DMA を使用していません。

図 1 - 6 のように、本ボードの D A チャンネル A 出力をオシロスコープ入力に、チャンネル B 出力をデジタル電圧計入力 (オシロスコープでも O K) に接続します。

以上で準備完了です。電源投入順序は全機器同時、または外部機器を先にパソコン本体を最後に行います。電源切断は逆順序です。

図 1 - 6 . 動作確認用の測定機接続



== 運転 == 試運転・動作確認用プログラム“761QB1”を使用します。
 本プログラムはMS-DOS版です。御利用に先立ち、添付のソフトウェアをインストール(4-1項)しておく必要があります。また当プログラムのソース(Quick-Basic)も同名(拡張子:BAS)で添付されています。

なお、“761QB1.EXE”は日本語モードでは正常な表示ができないので、英語モードに切り替えてから“761QB1.EXE”を呼ぶ“761QB1.COM”を使用してください。

テスト・システムの電源を投入し、MS-DOSを立上げます。

試運転・動作確認用のプログラム“761QB1”を読み込み・実行します。

メニュー - から動作モードを選択、パラメータを指定して実行します。

即時更新出力: A, B, 各チャンネルの出力データ(digit 値)を指定、出力する。
 (PROMPT)

サイクル出力: 1周期のデータ点数、繰り返し回数、クロック値を指定、実行する。
 (CIRCULAR) サイン波データを生成、ボード上のFIFOバッファに転送、指定回数(周期数)・循環出力される。なお、回数=0に設定すると、【5.STOP】操作まで無限出力される。

非サイクル出力: 全データ点数、およびクロックを指定、実行する。
 (Non-CIRCULAR) 指定点数で1周期となるサイン波データを生成、指定クロックでパソコン側から1回だけ(FIFOバッファを通して)転送・出力される。

【4.START】で動作開始、【5.STOP】で中止します。

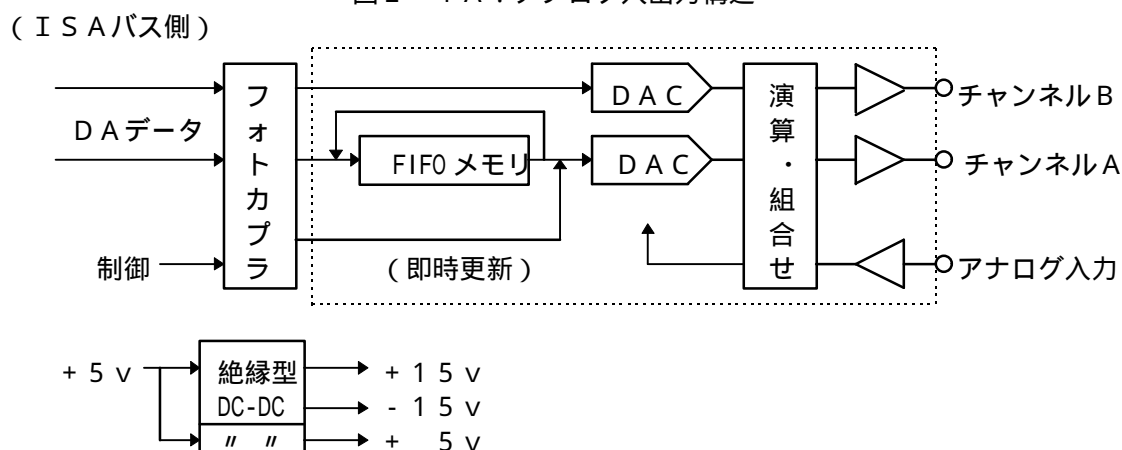
第2章 アナログ入出力

2-1. アナログ入出力端

本機のアナログ入出力回路はフォトカプラによりパソコン（ISAバス）側から絶縁されており、耐雑音性の構造となっています。アナログ回路用の電源はパソコン側のロジック電源（+5V）から絶縁型のDC-DCコンバータにより ± 15 Vを得ています。

また、全入出力端子にはEMIフィルタ（高周波輻射防止用）が挿入されています。

図2 - 1 A . アナログ入出力構造

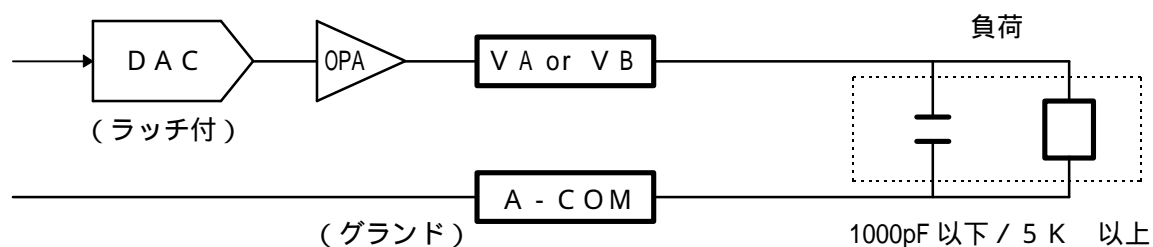


アナログ出力

DAチャンネルA, B, 共にオペアンプによる電圧出力です。
 接続できる負荷は抵抗5K 以上（最大負荷電流2mA）、また本機は容量性負荷（最大1000pFまで）にも強い出力回路となっていますが、長距離をシールドケーブル等で接続するときは御注意ください。
 駆動能力を超えた容量性負荷を接続すると出力電圧が不安定になったり、発振することがあります。

【注】 一般的なツイストペア線やシールド線は1m当たり
 50～70pFの容量があります。

図2 - 1 B . アナログ出力端



アナログ入力

D A出力チャンネルAはボード上のスイッチ【RES L , OF S L】設定によって外部アナログ入力を基準電源（乗算）したり、オフセット（減算）印加したりすることができます。 詳細は2 - 3項。

アナログ入力は入力範囲 $\pm 10\text{ V}$ 、差動型です。 入力端には 10 M の終端抵抗（R 20 , R 21）が実装されています。 また抵抗器1本（R 22）の追加実装により利得をとることもできます。

図2 - 1 C . アナログ入力端の接続（差動 / 電圧入力の接続）

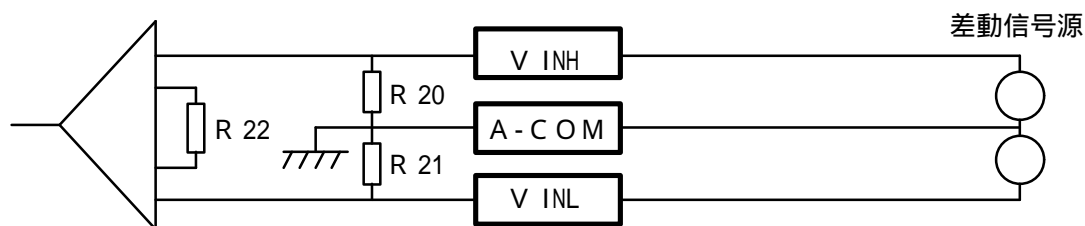
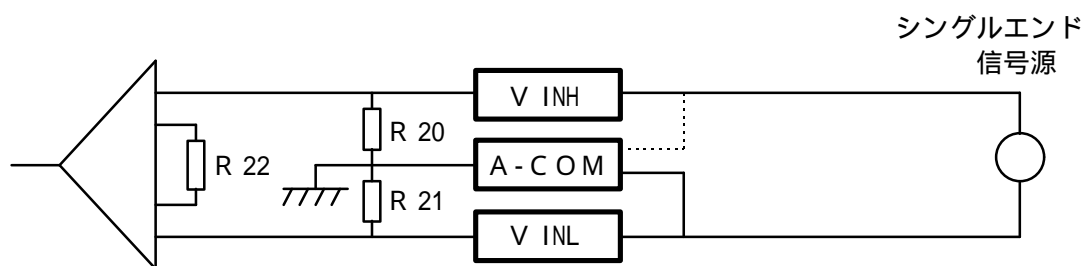


図2 - 1 D . アナログ入力端の接続（シングルエンド / 電圧入力の接続）



多くの電圧源はホットラインとグラウンドから成るシングルエンド（不平衡）形式です。 上図2 - 1 D が適用できるでしょう。 なお、A - C O MをV I N L 側ではなく、点線のようにV I N H 側に接続すると極性を反転させることができます。

【注1】 アナログ入力範囲は $\pm 10\text{ V}$ 、絶対最大定格は $\pm 15\text{ V}$ です。 これ以上の電圧を印加すると故障の原因となります。

【注2】 終端抵抗R 20 , R 21（各 10 M ）は入力オペアンプの飽和や不安定化を防止するものです。

【注3】 アナログ入力の利得は1ですが、R 22（未実装）を追加実装することにより利得をとることもできます。

$$\text{利得 } G = 1 + (50\text{ K} / R 22)$$

なお当抵抗R 22の精度、温度係数はそのまま入力に反映されるので注意が必要です。

電流入力

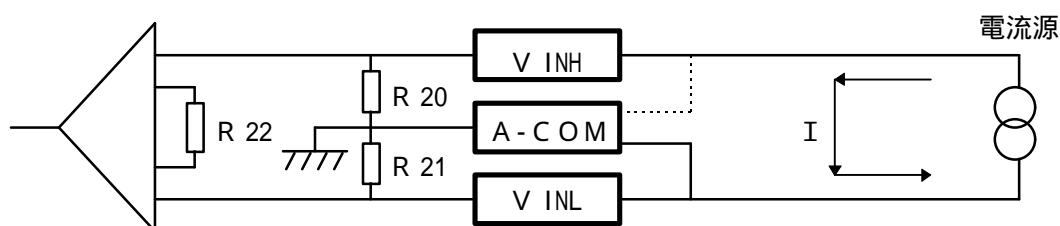
4 ~ 20 mA 等の電流源から入力するときは終端抵抗 (R 20 または R 21) を電流 電圧変換抵抗として適当な値に交換することで対処できます。

$$\text{入力電圧 } V_{in} = I \times R_{20}$$

$$\begin{aligned} I &= 4 \sim 20 \text{ mA}、 \\ R &= 250 \quad \text{なら、} \quad V_{in} = (4 \sim 20 \text{ mA}) \times 250 \\ &= 1 \sim 5 \text{ V} \end{aligned}$$

【注 4】 当電流 電圧変換抵抗の精度・温度係数はそのまま入力に反映されます。また発熱による温度上昇を抑えるためには定格 (ワット数) が大きめの素子を選択した方が有利です。(1/2 W 型が適当。)

図 2 - 1 E . アナログ入力端の接続 (電流入力の接続)



なお、A - COM を V INL 側ではなく、点線のように V INH 側に接続し、電流電圧変換抵抗を R 21 に変えると極性を反転させることができます。

2-2. アナログ出力範囲・レンジ設定

チャンネルA, B, 各単独のDA出力範囲はボード上のロータリースイッチRGA (チャンネルA)、およびRGB (チャンネルB) で選択・設定します。(表2-2A)

出荷時は、

チャンネルA (波形出力用) : $\pm 10\text{V}$ 《RGA = 3》、
チャンネルB (汎用) : $0 \sim +10\text{V}$ 《RGB = 1》です。

【注】チャンネルA, B, および外部入力との演算動作時の出力については次2-3項を参照。

表2-2A. 各チャンネル単独動作時のDA出力範囲選択【当社標準 = Aモード】

選択スイッチ設定	公称出力範囲	【モード】	実際の出力範囲	分解能 (mv/digit)
1	$0 \sim +10\text{V}$	【A】	$0 \sim +10.2375$	2.5
1	$0 \sim +10\text{V}$	【B】	$0 \sim +9.9976$	2.44
2	$0 \sim +5\text{V}$	【A】	$0 \sim +5.11875$	1.25
2	$0 \sim +5\text{V}$	【B】	$0 \sim +4.9988$	1.22
3	$\pm 10\text{V}$	【A】	$-10.240 \sim +10.2350$	5.0
3	$\pm 10\text{V}$	【B】	$-10.000 \sim +9.9951$	4.88
4	$\pm 5\text{V}$	【A】	$-5.120 \sim +5.1175$	2.5
4	$\pm 5\text{V}$	【B】	$-5.000 \sim +4.9976$	2.44
5 ~ 12	未使用	未使用		

実際の出力範囲

公称出力範囲を正直に本機の分解能 ($1/4096$) で実現すると、1 digit 当りの電圧値が半端な割り切れない値となってしまいます。これを【Bモード】と称します。/表2-2Aではマスク表示。

そこで、DA出力回路の利得を微調整して、1 digit 当りの電圧値を切りのよい値にすると便利です。

これを【Aモード】と称して、当社の出荷時標準としています。

前述の【Bモード】で使用したい場合は再調整が必要です。

(6-2項・参照)

出力範囲の変更

本機のDA出力回路は高精度の素子を使用しているので、出力範囲の選択スイッチ切り替えによる再調整の必要は全んどありません。

当社では常温で製造・調整時 (出荷時設定)、

チャンネルA : $\pm 10\text{V}$ 《RGA = 3》、

チャンネルB : $0 \sim +10\text{V}$ 《RGB = 1》において

$\pm 0.087\%$ FSの精度 (正確度) に調整されていますが、任意の出力範囲に (スイッチで) 変更した場合の精度は $\pm 0.107\%$ FSです。

なお、経年変化のデータや保証はありません。

特定範囲の調整

出荷時設定以外の出力範囲で $\pm 0.107\%$ FS以上の精度を求めるときは6-2項に従って再調整してください。

(最良値 $\pm 0.075\%$ FS程度まで可能)

御希望により当社で再調整を (有償で) お請けいたします。

伝達関数

本機 12 ビット D/A の分解能は “ 2 の 12 乗分の 1 ” ですから、D/A データとアナログ出力電圧の関係は以下ようになります。（各チャンネル単独動作時）

$$\text{分解能} \quad R_{es} = V_{span} \div 4096 \quad [v / \text{digit}]$$

$$\begin{aligned} \text{D/A データ} \quad D_{da} &= V_{out} \div R_{es} \quad [\text{digit}] \quad / \text{ユニポーラ} \text{ のとき} \\ D_{da} &= (V_{out} \div R_{es}) + 2048 [\text{digit}] \quad / \text{バイポーラ} \text{ のとき} \end{aligned}$$

$$\begin{aligned} \text{出力電圧} \quad V_{out} &= D_{da} \times R_{es} \quad [v] \quad / \text{ユニポーラ} \text{ のとき} \\ V_{out} &= (D_{da} - 2048) \times R_{es} [v] \quad / \text{バイポーラ} \text{ のとき} \end{aligned}$$

【注】 V_{span} は D/A 出力範囲の絶対幅です。具体的には表 2 - 2 A の範囲に 1 digit 分の電圧値を加算した値です。例えば A モードの公称 $\pm 10 v$ なら $20.480 v$ (B モードなら $20 v$) です。

図 2 - 2 A . バイポーラ出力
【Aモード】

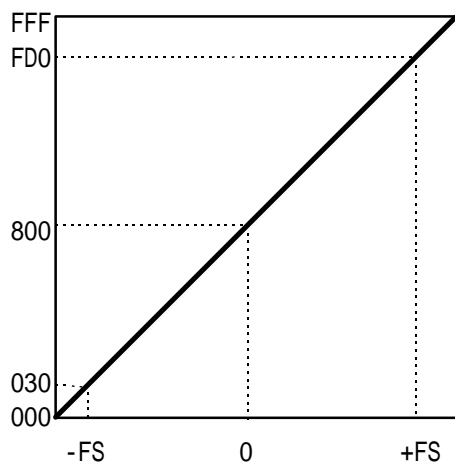


図 2 - 2 B . ユニポーラ出力
【Aモード】

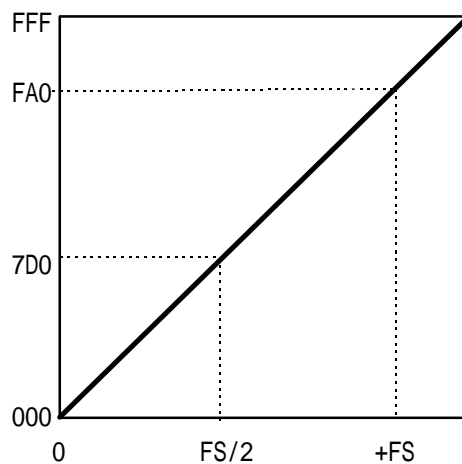


図 2 - 2 C . バイポーラ出力
【Bモード】

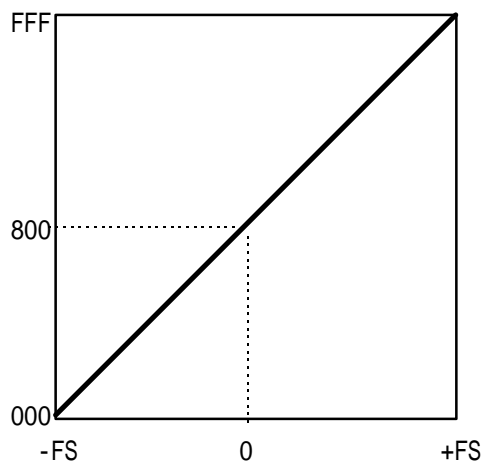


図 2 - 2 D . ユニポーラ出力
【Bモード】

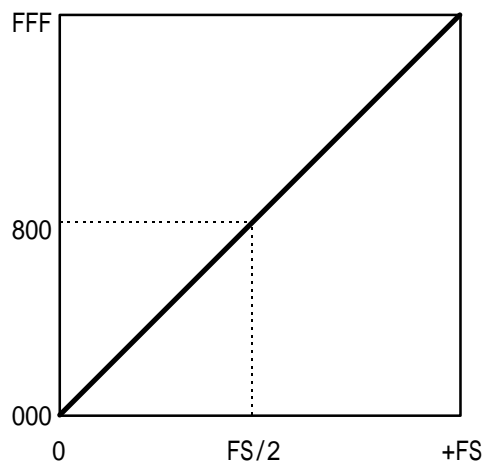


表 2 - 2 B . D A データ vs D A (アナログ) 出力 【Aモード】: 出荷時標準

D A データ hex / 10 進	D A 出力範囲 (表 2 - 2 A 参照)					
	±10v	±5v			0 ~ +10v	0 ~ +5v
FFF / 4095	+10.235	+ 5.1175			+10.2375	+5.11875
FD0 / 4048	+10.000	+ 5.0000				
FA0 / 4000					+10.0000	+5.00000
801 / 2049	+ 0.005	+ 0.0025				
800 / 2048	0.000	0.0000				
7FF / 2047	- 0.005	- 0.0025				
7D0 / 2000					+5.0000	+2.50000
030 / 48	- 10.000	- 5.0000				
001 / 1	- 10.235	- 5.1175			+0.0025	+0.00125
000 / 0	- 10.240	- 5.1200			0.0000	0.00000

《注》 当表中の ± 1 0 v を超える値は理論値です。 アナログ回路に使用されている素子の仕様から、 ± 1 0 v を超える値の正確度は保証されません。

表 2 - 2 C . D A データ vs D A (アナログ) 出力 【Bモード】: 要再調整

D A データ hex / 10 進	D A 出力範囲 (表 2 - 2 A 参照)					
	±10v	±5v			0 ~ +10v	0 ~ +5v
FFF / 4095	+9.99512	+ 4.99756			+ 9.99756	+ 4.99878
FD0 / 4048	+9.76563	+ 4.88281				
FA0 / 4000					+ 9.76563	+ 4.88281
801 / 2049	+ 0.00488	+ 0.00244				
800 / 2048	0.00000	0.0000			+ 5.00000	+ 2.50000
7FF / 2047	- 0.00488	- 0.00244				
7D0 / 2000					+ 4.88281	+ 2.44141
030 / 48	- 9.76563	- 4.88281				
001 / 1	- 9.99512	- 4.99756			+ 0.00244	+ 0.00122
000 / 0	- 10.00000	- 5.00000			0.00000	0.00000

2-3. アナログ出力モード(乗算・減算/加算)

A, B, 各チャンネルを各自独立して使用する場合は前2 - 2項のとおりです。本項ではA, B, 各チャンネル、および外部アナログ入力を組み合わせて演算出力する場合について記します。

チャンネルA

波形出力用のDAチャンネルAは出力モード選択スイッチ【RESL】、および【OFSL】の設定により単独動作だけでなく、DAチャンネルB、または外部からのアナログ入力と演算した電圧を出力することができます。これらは表2 - 3 Aの組み合わせ(~)があります。

チャンネルA自身の単独動作(通常モード/表2 - 2 A)です。

単独動作時の出力からチャンネルB出力を差し引いた値が出力電圧になります。

単独動作時の出力から外部アナログ入力を差し引いた値が出力電圧になります。なお外部アナログ入力は差動ですから、接続により加算にもなります。

単独動作時の出力とチャンネルBを一定率で乗算した値が出力電圧になります。

前述の動作に外部アナログ入力減算(加算/図2 - 1 D参照)が加わります。

前述のチャンネルBの代りに外部アナログ入力が適用された動作です。

前述の動作にチャンネルB減算が加わります。

チャンネルB

汎用DA出力(通常モード/表2 - 2 A)として任意に使用できます。

例外としてチャンネルAとの乗算に使用する場合(表2 - 3 Aの動作)使用できません。このときのチャンネルB出力端子には、チャンネルAを単独で使用する場合は電圧が出力されています。

表 2 - 3 A . （チャンネル A ）出力モードの選択肢

（チャンネル A ）出力電圧	乗算対象選択【設定】 （スイッチ R E S L ）	オフセット選択【設定】 （スイッチ O F S L ）
（ V a ） 《 単独動作 》	【 1 】 内部基準電圧 （ + 1 0 v ）	【 1 】 0 v
（ V a ） - （ V b ） 《 減算動作 》	【 1 】 内部基準電圧 （ + 1 0 v ）	【 2 】 チャンネル B 出力
（ V a ） - （ V i n ） 《 減算動作 》	【 1 】 内部基準電圧 （ + 1 0 v ）	【 3 】 外部アナログ入力
チャンネル B 出力がユニポーラ設定のときは 2 象限乗算動作で、 $V a \times (D b / D f s) \times 1 \dots\dots\dots \sim 1$ $V a \times (D b / D f s) \times (1 / 2) \dots\dots \sim 2$ チャンネル B 出力：バイポーラ設定のときは 4 象限乗算動作で、 $V a \times \{ (D b - 2048) / D f s \} \times 2 \dots\dots \sim 3$ $V a \times \{ (D b - 2048) / D f s \} \times 1 \dots\dots \sim 4$	【 2 】 チャンネル B 出力	【 1 】 0 v
（前記 ） - （ V i n ）	【 2 】 チャンネル B 出力	【 3 】 外部アナログ入力
チャンネル A 出力がユニポーラ設定のときは 2 象限乗算動作で、 $V i n \times (D a / D f s) \times 1 \dots\dots\dots \sim 1$ $V i n \times (D a / D f s) \times (1 / 2) \dots\dots \sim 2$ チャンネル A 出力がバイポーラ設定のときは 4 象限乗算動作で、 $V i n \times \{ (D a - 2048) / D f s \} \times 2 \dots\dots \sim 3$ $V i n \times \{ (D a - 2048) / D f s \} \times 1 \dots\dots \sim 4$	【 3 】 外部アナログ入力	【 1 】 0 v
（前記 ） - （ V b ）	【 3 】 外部アナログ入力	【 2 】 チャンネル B 出力

V a ：チャンネル A 単独動作時の出力電圧、 D a ：チャンネル A への出力データ（ d i g i t ）。
 V b ：チャンネル B 単独動作時の出力電圧、 D b ：チャンネル B への出力データ（ d i g i t ）。
 V i n ：外部アナログ入力電圧。

D f s は A モードのとき 4 0 0 0 （ d i g i t ）、 【注 1】 A モード（出荷時標準）、B モードについては
 B モードのとき 4 0 9 6 （ d i g i t ）。 2 - 2 項を参照。

式 ~ 1 ：チャンネル B の出力設定レンジ 0 ~ + 1 0 v のとき。
 ~ 2 ： " " " 0 ~ + 5 v のとき。
 ~ 3 ： " " " ± 1 0 v のとき。
 ~ 4 ： " " " ± 5 v のとき。

式 ~ 1 ：チャンネル A の出力設定レンジ 0 ~ + 1 0 v のとき。
 ~ 2 ： " " " 0 ~ + 5 v のとき。
 ~ 3 ： " " " ± 1 0 v のとき。
 ~ 4 ： " " " ± 5 v のとき。

【注 2】 演算結果が ± 1 0 v を越えた場合のチャンネル A 出力値は
 保証されない。（出力素子が飽和するため）

【注 3】 外部アナログ入力範囲は ± 1 0 v 。
 （絶対最大定格 = ± 1 5 v ）

図 2 - 3 A . 単独、または減算(加算)動作

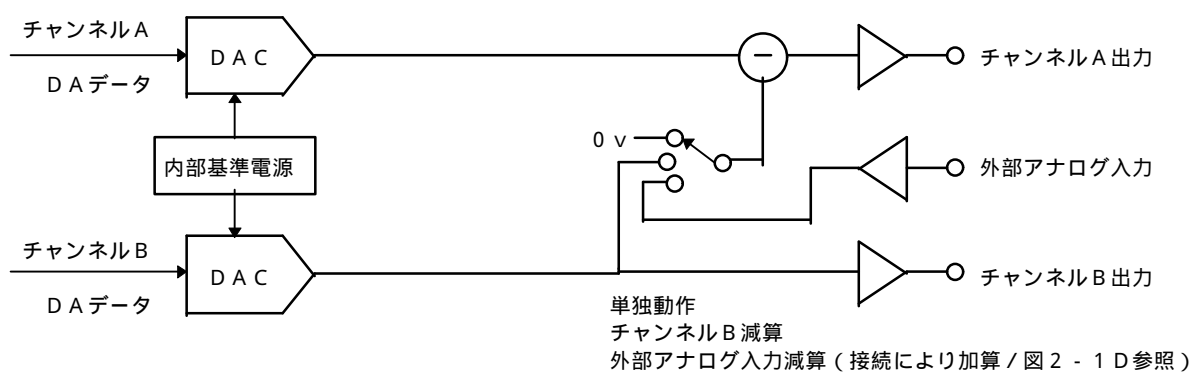
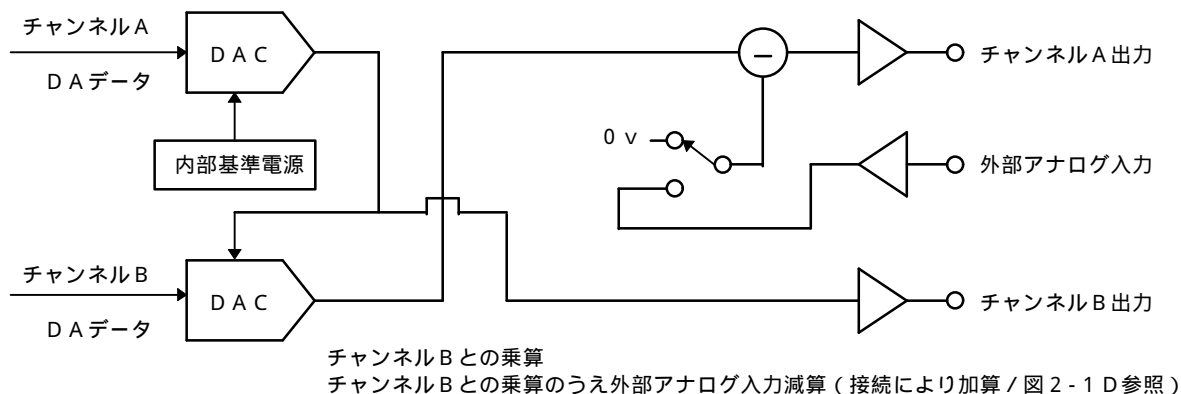
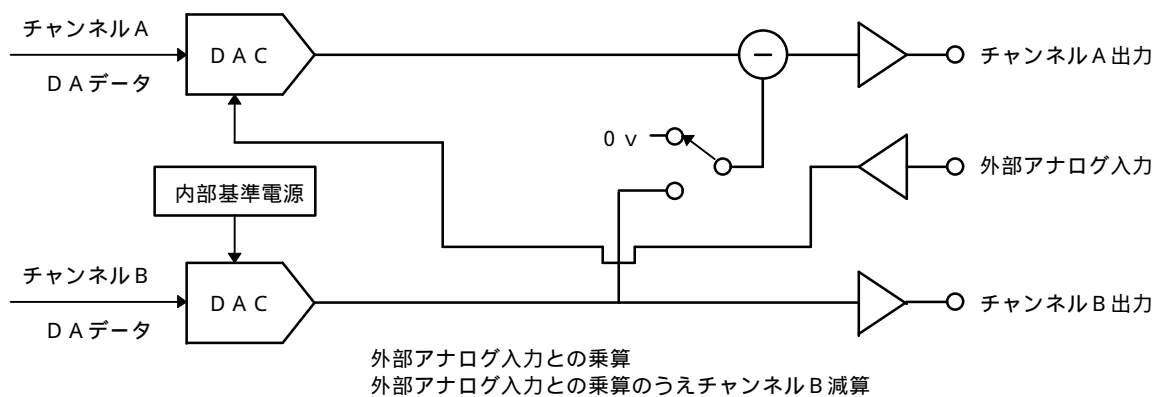


図 2 - 3 B . チャンネルBとの乗算動作



【注】 チャンネルBとの乗算動作時は、チャンネルB自体を出力できません。
この場合は本図2-3Bのように、チャンネルAの単独動作(2-2項)に相当する出力となっています。

図 2 - 3 C . 外部アナログ入力との乗算動作



第3章 . 制御・操作

3-1. アナログ出力の様子

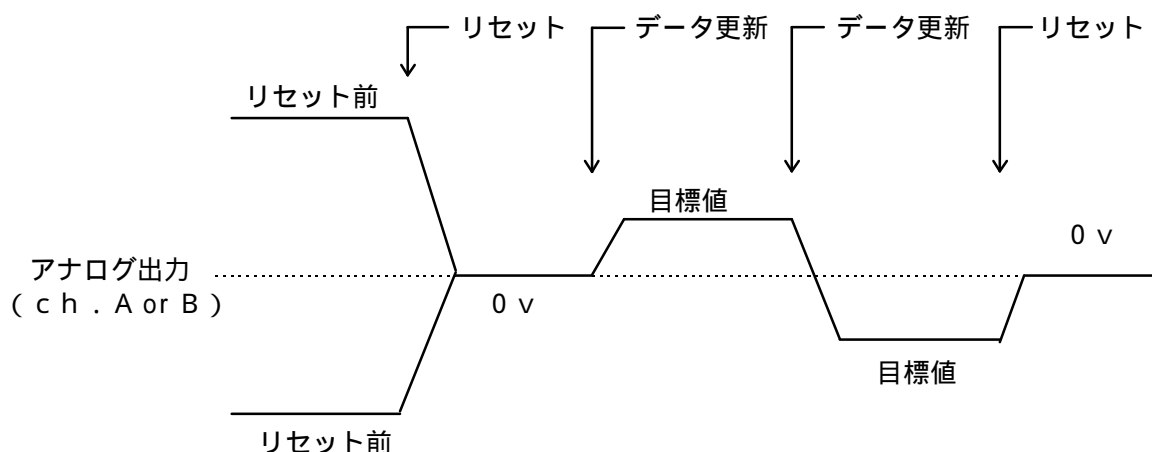
リセット時

電源投入、パソコン本体（ハードウェア）リセット操作、または本ボードの制御部リセット操作（3 - 5 項）直後のアナログ出力は両チャンネル共に 0 v となります。

更新出力後

任意のデータが D A 素子に書き込まれる（更新される）と、アナログ出力は対応する値（2 - 2 項 / 表 2 - 2 B , C）となり、以後、次の更新まで同値を保持します。（A , B 両チャンネル共）

図 3 - 1 A . アナログ（D A）出力の様子



データ更新遅れ： 即時更新モードのときは、パソコン側から O U T 命令で書き込まれる D A データはフォトカプラ（通過時間 = 約 $1 \mu s / b y t e$ ）を通して D A 素子のラッチ（1 データ分メモリ）に達します。

クロック同期更新モードのとき（チャンネル A のみ）は、F I F O メモリから D A 素子のラッチに転送される時間（数 $10 n s$ 以下）だけですから全んど問題になりません。

セトリング時間： 両チャンネル共、データが更新されると D A 素子のアナログ出力は新たな目標値に向かって変化を始めます。本機では、 $10 v$ の変化幅を 0.1% の精度で到達する時間（セトリング時間）が約 $1 \mu s$ です。

波形出力では更新周期が短くても電圧変化幅が比例して小さければ実用上の問題はないでしょう。

動作モード

D A出力チャンネルBは即時（単独または同期）更新動作であり、アナログ出力形態も出力範囲設定スイッチRGBで指定される汎用D A機能です。

一方、D A出力チャンネルAには加えて【クロック同期更新動作】があり、ボード上の【出力モード】設定スイッチRESL, OFSLでアナログ出力形態（2 - 3項）を選択することにより多様な動作形態が可能です。

【更新モード】 ソフト指定（3-17項）でD A出力データの更新タイミング形態を選択するもので、次の選択肢があります。

- (1) 即時・単独更新はパソコン側からの更新データが即D A素子のラッチに書き込まれるものです。（図3 - 1 C）
- (2) 即時・同期更新は、チャンネルAに更新データが書き込まれた時点でチャンネルBの前段ラッチに待機していたデータも同時にD A素子のラッチに書き込まれます。
すなわち、更新データの書き込み順をチャンネルB Aとします。（図3 - 1 D）
- (3) クロック同期更新・サイクルモードは、あらかじめボード上のF I F Oメモリに書き込んでおいた波形1サイクル分のD Aデータをクロックに同期して（指定回数、または無限に）循環出力します。この動作はパソコン側からの制御が必要なく本ボード内で自動的に実行されますから最高速《8.192MHz（Ms / s）サンプリング》が可能です。
- (4) クロック同期更新・非サイクルモードは、クロックに同期してF I F Oメモリから読み出されるD Aデータの利用（更新出力）は1回限りです。したがって、F I F Oメモリ容量を超えるクロック数を実行するときはパソコン側から逐次データの補給が必要になります。この補給速度（I S Aバスのデータ転送速度）が実質的なサンプリング速度を制限します。

図3 - 1 B . クロック同期更新・非サイクルモードの最高速度（F I F O：標準4 k語のとき）

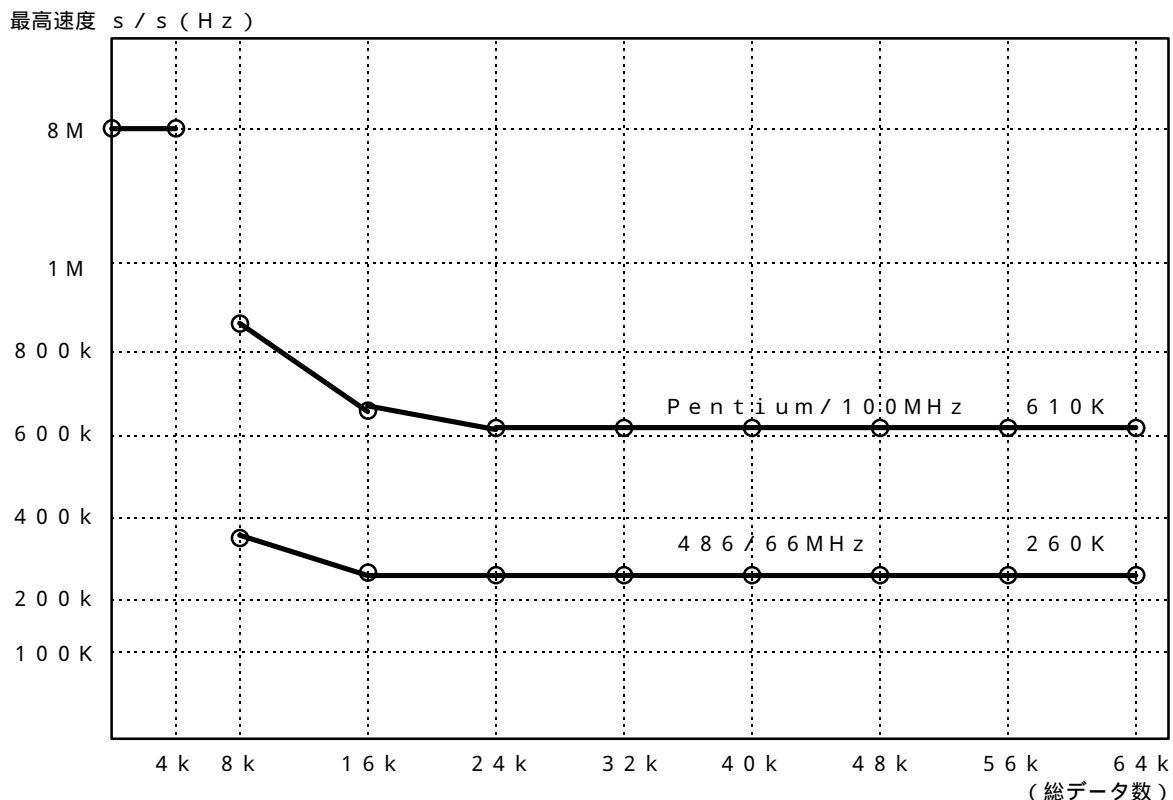


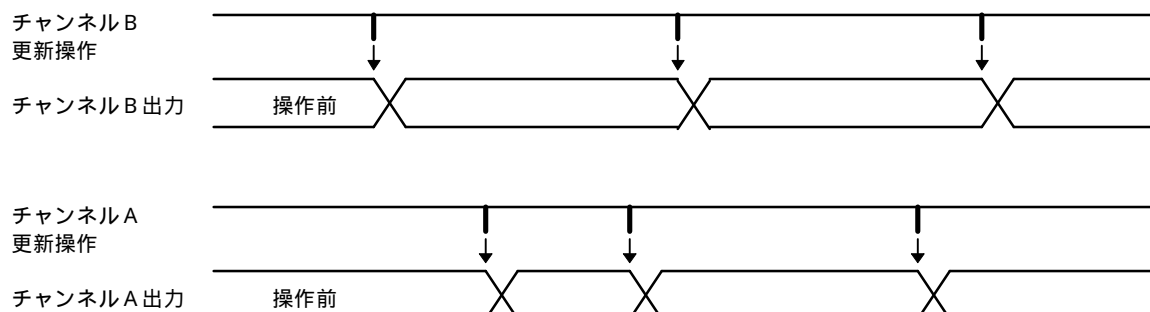
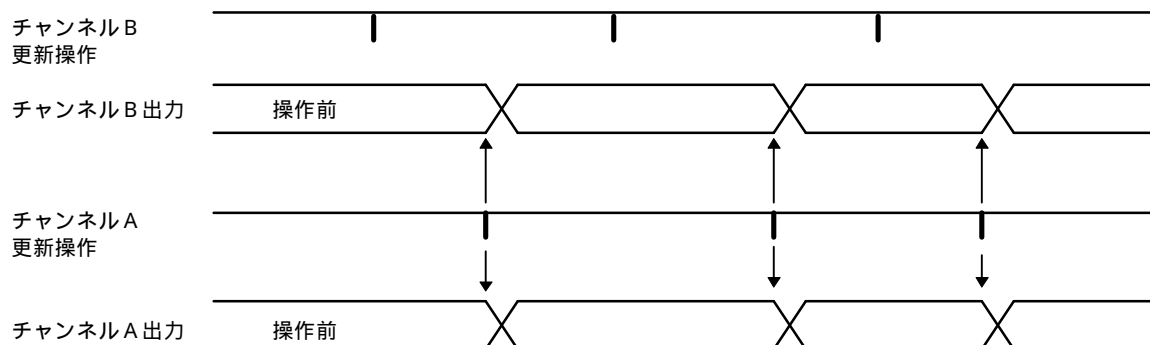
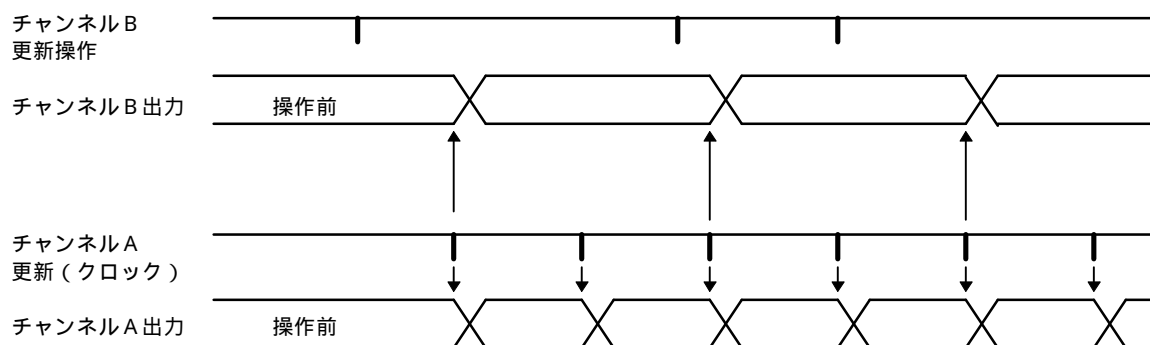
図 3 - 1 C . 即時・単独更新図 3 - 1 D . 即時・同期更新

図 3 - 1 E . クロック同期更新



【図 3 - 1 C】【図 3 - 1 D】【図 3 - 1 E】に示すタイミング・チャートは前ページの説明と併せて御参照ください。また、これらの図中ではパソコン側から書き込み操作した時の《データ更新遅れ》、および、アナログ回路の応答遅れ《セトリング時間》の表示を省略してあります。(前々ページ参照)

3-2. F I F Oメモリの動作

本機のチャンネルAを（波形出力用）クロック同期更新モードで使用するときのD Aデータはクロックに同期してボード上のF I F OメモリからD A素子（ラッチ付）に自動転送される動作となります。

F I F O（first in first out）メモリは図3 - 2 に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっています。

読み書きは非同期で、同時も可能です。すなわち、データを書き込む時に出口側のタイミングを気にする必要がありません。

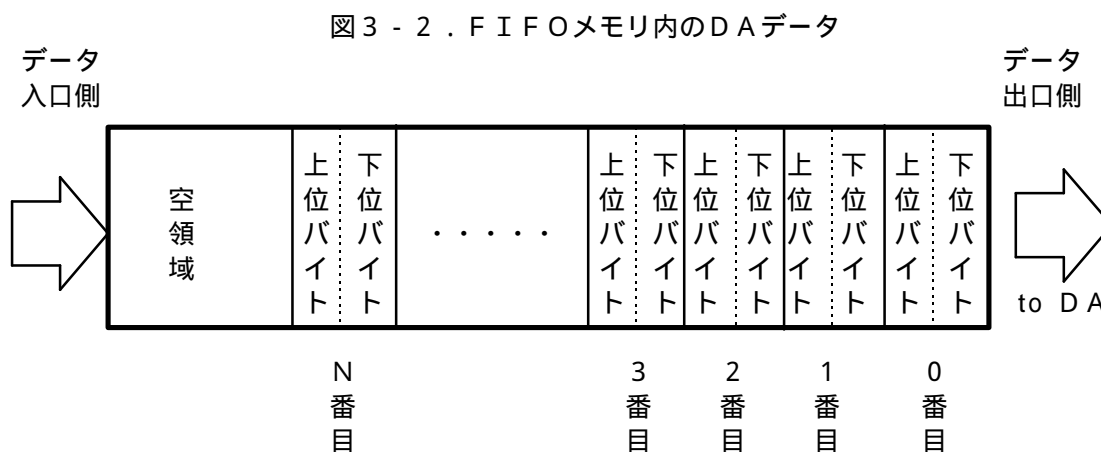


表3 - 2 . F I F Oメモリのステータス・フラグ

フラグ名	フラグの意味	(標準4096語のとき)
Not - Full	満杯ではない。	(格納データ数 4095)
Not - Half - Full	容量の1/2以下	(格納データ数 2048)
Not - Empty	データ有り	(格納データ数 1)

非サイクルモード

標準搭載のメモリ容量は4 K語（4096データ分）ですが、読み出した分だけ入口側に空領域が生じるため、読み出し（サンプリング）速度より書き込み速度が速ければ、いつまでもたってもメモリが空になることが無く、したがって出力（サンプリング）データ点数に制限がありません。

サイクルモード

F I F Oメモリから読み出したデータをD A素子に転送しながら、同時に当データをF I F Oメモリの入口から再書き込みを行います。これによりF I F Oメモリ内のデータ数を1周期分とする連続繰り返し波形出力が実現されます。波形の1周期を4096データ以上で構成したいときはF I F Oメモリ増設オプション（8 K / 16 K / 32 K語）も用意されています。《価格表参照 / 注文時指定》

3-3. 制御・操作の手順

次項以下で各制御レジスタの機能を説明するのに先立って、操作手順の概要を記します。本項では割り込みやDMAを使用せず基本的なコーディングを例示します。実際のコーディング時は添付のサンプルプログラム・ソースを併せて御参照ください。また、波形出力用の汎用Cハンドラ(MS-DOS版LIB/第5章)も用意されています。

なお、リスト中の【BASE】= I/Oベースアドレス値(1 - 3項、3 - 4項、参照)です。

即時・単独更新モード

初期設定: ~

更新時刻: チャンネルAは、チャンネルBは

```

r s t = i n p ( B A S E + 7 ) ; /* リセット【出力VA=VB=0v】(3-5項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ(=0)指定 */
o u t p ( B A S E + 3 , 0 ) ; /* DAデータコード【=バイナリ】(3-7項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ(=1)指定 */
o u t p ( B A S E + 2 , 0 ) ; /* DAデータ転送方法【=I/O】(3-8項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ(=0)指定 */
o u t p ( B A S E + 5 , 0 ) ; /* 更新モード【=即時・単独】(3-17項) */

o u t p ( B A S E + 10 , B L ) ; /* DAチャンネルBの下位バイト (3-16項) */
o u t p ( B A S E + 11 , B H ) ; /* DAチャンネルBの上位バイト ( " ) */
o u t p ( B A S E + 8 , A L ) ; /* DAチャンネルAの下位バイト ( " ) */
o u t p ( B A S E + 9 , A H ) ; /* DAチャンネルAの上位バイト ( " )

```

即時・同期更新モード

初期設定: ~ (最後の以外は単独更新モードと同一)

更新時刻: チャンネルA, B共に (同時)

```

r s t = i n p ( B A S E + 7 ) ; /* リセット【出力VA=VB=0v】(3-5項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ(=0)指定 */
o u t p ( B A S E + 3 , 0 ) ; /* DAデータコード【=バイナリ】(3-7項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ(=1)指定 */
o u t p ( B A S E + 2 , 0 ) ; /* DAデータ転送方法【=I/O】(3-8項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ(=0)指定 */
o u t p ( B A S E + 5 , 2 ) ; /* 更新モード【=即時・同期】(3-17項) */

o u t p ( B A S E + 10 , B L ) ; /* DAチャンネルBの下位バイト (3-16項) */
o u t p ( B A S E + 11 , B H ) ; /* DAチャンネルBの上位バイト ( " ) */
o u t p ( B A S E + 8 , A L ) ; /* DAチャンネルAの下位バイト ( " ) */
o u t p ( B A S E + 9 , A H ) ; /* DAチャンネルAの上位バイト ( " )

```

クロック同期更新・サイクルモード

```

r s t = i n p ( B A S E + 7 ) ; /* リセット【出力V A = V B = 0 v】(3-5項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ( = 0 )指定 */
o u t p ( B A S E + 3 , 0 ) ; /* D A データコード【 = バイナリ】(3-7項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ( = 1 )指定 */
o u t p ( B A S E + 2 , 0 ) ; /* D A データ転送方法【 = I / O】(3-8項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ指定( = 1 ) */
o u t p ( B A S E + 1 , c k s ) ; /* c k s : クロック源選択 (3-11項) */

; /* クロック源分周比の設定 (3-13項) */
o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ指定( = 0 ) */

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 3 6 ) ; /* 制御データ: 固定値 */

o u t p ( B A S E + 7 , 0 x 0 ) ; /* 素子1のカウンタ# 0を指定 */
o u t p ( B A S E + 6 , D V # 0 L ) ; /* 分周比# 0の下位バイト */
o u t p ( B A S E + 6 , D V # 0 H ) ; /* " " 上位バイト */

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 7 6 ) ; /* 制御データ: 固定値 */

o u t p ( B A S E + 7 , 0 x 1 ) ; /* 素子1のカウンタ# 1を指定 */
o u t p ( B A S E + 6 , D V # 1 L ) ; /* 分周比# 1の下位バイト */
o u t p ( B A S E + 6 , D V # 1 H ) ; /* " " 上位バイト */

; /* データ点数の設定 (3-14項) */
o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ指定( = 0 ) */

o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子2の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 3 4 ) ; /* 制御データ: 固定値 */

o u t p ( B A S E + 7 , 0 x 4 ) ; /* 素子2のカウンタ# 0を指定 */
o u t p ( B A S E + 6 , N U M L ) ; /* 1ブロック当りデータ数の下位バイト */
o u t p ( B A S E + 6 , N U M H ) ; /* " " " 上位バイト */

o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子2の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 7 2 ) ; /* 制御データ: 固定値 */

o u t p ( B A S E + 7 , 0 x 5 ) ; /* 素子2のカウンタ# 1を指定 */
o u t p ( B A S E + 6 , B L K L ) ; /* ブロック数の下位バイト */
o u t p ( B A S E + 6 , B L K H ) ; /* " " の上位バイト

```

《 《 次ページに続く 》 》

クロック同期更新・非サイクルモード

```

r s t = i n p ( B A S E + 7 ) ; /* リセット【出力VA=VB=0v】(3-5項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ(=0)指定 */
o u t p ( B A S E + 3 , 0 ) ; /* DAデータコード【=バイナリ】(3-7項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ(=1)指定 */
o u t p ( B A S E + 2 , 0 ) ; /* DAデータ転送方法【=I/O】(3-8項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ指定(=1) */
o u t p ( B A S E + 1 , c k s ) ; /* c k s : クロック源選択 (3-11項) */

; /* クロック源分周比の設定 (3-13項) */
o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ指定(=0) */

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 3 6 ) ; /* 制御データ: 固定値 */

o u t p ( B A S E + 7 , 0 x 0 ) ; /* 素子1のカウンタ#0を指定 */
o u t p ( B A S E + 6 , D V # 0 L ) ; /* 分周比#0の下位バイト */
o u t p ( B A S E + 6 , D V # 0 H ) ; /* " " 上位バイト

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 7 6 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 1 ) ; /* 素子1のカウンタ#1を指定 */
o u t p ( B A S E + 6 , D V # 1 L ) ; /* 分周比#1の下位バイト */
o u t p ( B A S E + 6 , D V # 1 H ) ; /* " " 上位バイト

; /* データ点数の設定 (3-14項) */
o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ指定(=0)

o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子2の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 3 4 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 4 ) ; /* 素子2のカウンタ#0を指定 */
o u t p ( B A S E + 6 , N U M L ) ; /* 1ブロック当りデータ数の下位バイト */
o u t p ( B A S E + 6 , N U M H ) ; /* " " " 上位バイト

o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子2の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 7 2 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 5 ) ; /* 素子2のカウンタ#1を指定 */
o u t p ( B A S E + 6 , B L K L ) ; /* ブロック数の下位バイト */
o u t p ( B A S E + 6 , B L K H ) ; /* " " の上位バイト

```

《 《 次ページに続く 》 》

ここで、

割り込みを使用する場合は レベル設定 (3-9 項) 割り込み要求発生要因制御 (3-10 項)
DMAを使用する場合は チャンネル設定 (3-9 項) 前 は【= DMA】

```

o u t p ( B A S E + 0 , 0 ) ; / *  所属ページ ( = 0 ) 指定                      * /
o u t p ( B A S E + 5 , 1 ) ; / *  更新モード【=加ック同期・非サイクル】(3-17 項) * /

o u t p ( B A S E + 8 , A 1 L ) ; / *  先頭データ の下位バイト              (3-16 項) * /
o u t p ( B A S E + 9 , A 1 H ) ; / *  " " の上位バイト                  ( " ) * /
o u t p ( B A S E + 8 , A 2 L ) ; / *  2 番目データの下位バイト            ( " ) * /
o u t p ( B A S E + 9 , A 2 H ) ; / *  " " の上位バイト                  ( " ) * /
o u t p ( B A S E + 8 , A 3 L ) ; / *  3 番目データの下位バイト            ( " ) * /
o u t p ( B A S E + 9 , A 3 H ) ; / *  " " の上位バイト                  ( " ) * /
.
.
.
o u t p ( B A S E + 8 , A m L ) ; / *  m 番目データの下位バイト            ( " ) * /
o u t p ( B A S E + 9 , A m H ) ; / *  " " の上位バイト                  ( " ) * /

o u t p ( B A S E + 0 , 0 ) ; / *  所属ページ ( = 0 ) 指定                      * /
o u t p ( B A S E + 5 , 0 x 8 1 ) ; / *  トリガ【=ソフトトリガ】          (3-17 項) * /

o u t p ( B A S E + 0 , 0 ) ; / *  所属ページ ( = 0 ) 指定                      * /
o u t p ( B A S E + 5 , 1 ) ; / *  停止【=ソフトトリガ禁止】          (3-17 項) * /

```

《注1》 DAデータ書き込みの前に必ず 【=加ック同期・非サイクル】指定を実行しておく。

《注2》 スタート前の DAデータ書き込みはFIFOメモリ容量以内。 以後、必要ならステータスを監視して(または割り込み, DMAで)適時・追加書き込みを行う。

《注3》 割り込み要求発生要因制御を実行すると許可された要因による割り込みが有効になる(以下を待ってくれない)ので、場合によっては後にする必要もある。

《注4》 は【=ソフトトリガ/無限動作】=即スタートの例。
【=外部(立下り)エッジトリガ/無限動作】なら: 0 x 5 1、等
で指定ブロック数出力で自動停止なら: 0 x 8 9。

《その他》 チャンネルBとの乗算または減算モードのときは、(いつでも)チャンネルB出力の更新により、当チャンネルA出力の振幅制御が可能です。

```

o u t p ( B A S E + 10 , B L ) ; / *  D AチャンネルBの下位バイト * /
o u t p ( B A S E + 11 , B H ) ; / *  D AチャンネルBの上位バイト * /

```


3-4. 制御レジスタ I / O アドレス・マップ

表 3 - 4 A に本ボード上の各制御レジスタの I / O アドレスを記します。
表中の【BASE】は I / O ベースアドレス値 (1-3 項. 参照) です。

表 3 - 4 A . 各制御レジスタの I / O アドレス

I/O アドレス	読み / 書き	レジスタ名・機能名	
BASE + 0	書き	ページ指定 / 【BASE + 1】 ~ 【BASE + 6】 に適用。	
BASE + 0	読み	現在のページ値を取得。	
		《 《 《 ページ 0 》 》 》	《 《 《 ページ 1 》 》 》
BASE + 1	読み	未使用	未使用
BASE + 1	書き	未使用	クロック源選択
BASE + 2	読み	未使用	未使用
BASE + 2	書き	未使用	D A データ転送方法指定
BASE + 3	読み	F I F O フラグ読み込み	未使用
BASE + 3	書き	D A データコード指定	割込要求の発生要因制御
BASE + 4	読み	ボード・ステータス読み込み	未使用
BASE + 4	書き	ステータス・ビット・クリア	割り込みレベル & D M A チャンネル指定
BASE + 5	読み	未使用	未使用
BASE + 5	書き	トリガ & 出力更新モード指定	外部出力選択 (CLK / SYNC)
BASE + 6	読み	カウンタ・データ読み込み	未使用
BASE + 6	書き	カウンタ・データ書き込み	未使用
BASE + 7	読み	ボード・制御部リセット	
BASE + 7	書き	カウンタ選択 (クロック源分周、および D A 出力データ計数用)	
BASE + 8	読み	未使用	
BASE + 8	書き	(チャンネル A) D A データ下位バイト書き込み	
BASE + 9	読み	未使用	
BASE + 9	書き	(チャンネル A) D A データ上位バイト書き込み	
BASE + 10	読み	未使用	
BASE + 10	書き	(チャンネル B) D A データ下位バイト書き込み	
BASE + 11	読み	未使用	
BASE + 11	書き	(チャンネル B) D A データ上位バイト書き込み	

【読み / 書き】はパソコン側から見た方向。
全てのポートは 1 バイト。

アドレス【BASE + 1】 ~ 【BASE + 6】の各レジスタは読み書き操作の前に自身の所属するページ指定が必要。

3-5. ボード制御部リセット

```
rst = inp ( BASE + 7 ) ;      /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ (= 1) はボード I D
です。 当操作は電源 O N、またはパソコン本体のハードウエア・リセット (スイッチ操作) と
同等の機能です。 以下の結果を得ます。

- 各制御レジスタを初期化する。
- ボード・ステータスを初期化する。
- サンプリング (クロック同期出力) 中であれば、これを中止する。
- F I F O メモリのポインタを初期化する。 (格納されていた D A データは失われる。)
- D A 出力値は両チャンネル共、 0 v になる。

表 3 - 5 . 【 B A S E + 7 】 (ページ 0) 入力ポートの構成

ビット	各ビットの機能・意味
B 7	ボード I D (= 1)
B 6	
B 5	
B 4	
B 3	
B 2	
B 1	
B 0	

3-6. レジスタ所属ページの指定・確認

```

outp (BASE + 0, page);    /* page : 指定ページ値 ( 0 or 1 )    */
cpage = inp (BASE + 0);   /* cpage : 現在のページ値          */

```

この後に読み書きするレジスタの所属ページ (0 or 1) を指定します。 また、現在指定されているページ値を得ます。

本ボードは占有 I / O アドレスを節約するために、アドレス【BASE + 1】～【BASE + 6】が (ページ 0 , ページ 1 に) 2 重化されています。 これらのアドレスに割り付けられたレジスタを読み書きするときは、事前に自身の所属するページが指定されていなければなりません。 指定されたページ値は次に更新されるか、リセットされるまで保持されています。

表 3 - 6 . 【 B A S E + 0 】 入出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用			
B 0	ページ指定	ページ 1	ページ 0	0

3-7. D Aデータコード指定

```
o u t p ( B A S E + 0 , 0 ) ;      / *   所属ページ指定 ( = 0 )           * /
o u t p ( B A S E + 3 , c o d e ) ; / *   c o d e : D Aデータコード指定   * /
```

チャンネルごとにD Aデータコードを指定します。

表 3 - 7 . 【 B A S E + 3 】 (ページ 0) 出力ポートの構成

ビット		= 1 のとき	= 0 のとき	リセット時
B 7	未使用			
B 6				
B 5				
B 4				
B 3				
B 2				
B 1	チャンネルBのデータコード指定	2 の補数	オフセットバイナリ	0
B 0	チャンネルAのデータコード指定	2 の補数	オフセットバイナリ	0

3-8. D A データ転送方法指定

```

o u t p ( B A S E + 0 , 1 ) ;      /*  所属ページ指定 ( = 1 )          * /
o u t p ( B A S E + 2 , t r s m ) ; /*  t r s m : D A データ転送方法指定  * /

```

I / O を選択した場合： チャンネル A (波形出力用 D A) は通常のバイト単位 O U T 命令、
 またはブロック出力命令 (O U T S B) が使用できます。
 チャンネル B は通常のバイト単位 O U T 命令のみ使用できます。

D M A を選択した場合： チャンネル A は F I F O メモリの N O T - F U L L フラグで起動
 されるバイト単位 (シングルモード) D M A を使用します。

【注意】 なお、このときチャンネル B は使用できません。

表 3 - 8 . 【 B A S E + 2 】 (ページ 1) 出力ポートの構成

ビ ッ ト	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用			
B 0	D A データ転送方法指定	D M A	I / O	0

3-9. 割り込みレベル & DMA チャンネル指定

```

o u t p ( B A S E + 0 , 1 ) ;      /*  所属ページ指定 ( = 1 )                * /
o u t p ( B A S E + 4 , i d c ) ; /*  i d c : 割り込み & DMA チャンネル指定  * /

```

使用する割り込みレベル、およびDMAチャンネル番号を各々4ビットのバイナリ値で指定する。
実際に割り込み、またはDMAを使用するか否かは別に指定ポートがあります。

DMA : 3 - 8 項。

割り込み : 3 - 10 項。

表 3 - 9 A . 【 B A S E + 4 】 (ページ 1) 出力ポートの構成

ビット	各ビットの機能・意味	指定方法	リセット時
B 7	(MSB) DMAチャンネル指定データ	DMAチャンネル番号 【表 3 - 9 C 参照】	0
B 6			0
B 5			0
B 4			0
B 3	(MSB) 割り込みレベル指定データ	割り込みレベル番号 【表 3 - 9 B 参照】	0
B 2			0
B 1			0
B 0			0

【例】 書き込むデータ $i d c = 0 \times 3 B$ なら、 DMAチャンネル = 3
割り込みレベル = B (11)

【注】 ここで設定可能なDMAチャンネル、および割り込みレベルの範囲を表 3 - 9 B ,
表 3 - 9 C に記す。 いずれも本ボードが組み込まれるシステム中に存在する他の
周辺機器・ボード・プログラムが使用する値と重複しないように注意する。

本ボードの使用できる割り込みレベル

I S A バスの割り込みレベル / 割り込み要因 / 本ボードで使用の可否を表 3 - 9 B に記します。

- ： 空いている場合が多いので推奨します。
- ： 他のボード等で使用されることが多く、特に注意が必要です。
- ×： 設定不可能です。（設定しても無効となる。）

表 3 - 9 B . I S A バスの割り込みレベル、使用状況

割り込みレベル	割り込み要因	本ボードで使用の可否
I R Q 0	タイマ	× 不可
I R Q 1	キーボード	× 不可
I R Q 2	(コントローラ 2 からカスケード)	× 不可
I R Q 3	シリアルポート 2	注意 (競合多い)
I R Q 4	シリアルポート 1 (本体標準 R S - 2 3 2 C)	× 不可
I R Q 5	パラレルポート 2	推奨
I R Q 6	フロッピーディスク・コントローラ (本体標準)	× 不可
I R Q 7	パラレルポート 1 (本体標準プリンタ)	注意 (競合多い)
		× 不可
I R Q 9	ソフトウェア割り込み	注意 (競合多い)
I R Q 1 0 (A)	予約	推奨
I R Q 1 1 (B)	予約	推奨
I R Q 1 2 (C)	予約	注意 (競合多い)
I R Q 1 3 (D)	数値演算コプロセッサ	× 不可
I R Q 1 4 (E)	ハードディスク・コントローラ (本体標準)	× 不可
I R Q 1 5 (F)	予約	推奨

本ボードの使用できる DMA チャンネル

I S A バスの DMA チャンネル / 使用デバイス / 本ボードで使用の可否を表 3 - 9 C に記します。本ボードの DMA 動作は 1 回 (1 バイト) の DMA 転送実行のたびに DMA 要求信号を元に戻すシングルモードです。

- ： 設定可能です。（他ボードとの競合に注意。）
- ×： 設定不可能です。（設定しても無効となる。）

表 3 - 9 C . I S A バスの DMA チャンネル、使用状況

DMA チャンネル	使用デバイス	本ボードで使用の可否	転送データ幅
0	予約	使用可	バイト (8 B I T)
1	S D L C	使用可	" (")
2	フロッピーディスク・インタフェース	× 不可	" (")
3	予約	使用可	" (")
4	(コントローラ 1 にカスケード)	× 不可	
5	予約	× 不可	ワード (1 6 B I T)
6	予約	× 不可	" (")
7	予約	× 不可	" (")

3-10. 割り込み要求の発生要因制御

```

o u t p ( B A S E + 0 , 1 ) ;      / *   所属ページ指定 ( = 1 )           * /
o u t p ( B A S E + 3 , i r m ) ; / *   i r m : 割り込み要求の発生要因制御 * /

```

本ボードからパソコン本体内部 (I S A バス上) の割り込みコントローラに発信する割り込み要求の発生要因を制御します。 複数の要因を許可すると O R 動作となります。

表 3 - 1 0 . 【 B A S E + 3 】 (ページ 1) 出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	外部割り込み信号の有効極性指定	(+)	(-)	0
B 6	(F I F O) Not HALF-FULL による割り込み	許可	禁止	0
B 5	(F I F O) Not FULL による割り込み	許可	禁止	0
B 4	1 ブロック出力開始 による割り込み	許可	禁止	0
B 3	指定ブロック数出力終了による割り込み	許可	禁止	0
B 2	トリガ発生 による割り込み	許可	禁止	0
B 1	外部割り込み信号 による割り込み	許可	禁止	0
B 0	クロック による割り込み	許可	禁止	0

《 補助説明 》

B 6 : F I F O メモリ内の待機 D A データが半分以下 (標準 4 K 語のとき 2 0 4 8 以下) になったタイミングによる割り込み制御。 初期状態等で F I F O メモリにデータを充填する前に許可すると即 1 回割り込みが発生するので注意が必要。

B 5 : F I F O メモリ内が満杯でなくなったタイミングによる割り込み制御。 前述 B 6 と同様、初期状態等で F I F O メモリにデータを充填する前に許可すると、即 1 回の割り込みが発生するので注意が必要。

B 4 : クロック同期更新モードで 1 ブロック分 (サイクルモード時 = 1 サイクル分) の D A 出力開始による割り込み制御。【 3 - 1 3 項. 参照 】

B 3 : クロック同期更新モードで、指定ブロック数分の D A データ点数出力完了タイミングによる割り込み制御。 この時、クロックは停止している。
(サイクルモード時はブロック数 = サイクル数。)

B 0 : クロック同期更新モード時の D A データ更新 (出力) タイミングであるクロックによる割り込み制御。

《 追伸 》

割り込みを使用するには、
 割り込み処理サブルーチン (機械語) を用意する。
 本ボードの割り込みレベルを設定する。 (3 - 9 項)
 パソコン本体内部の割り込みコントローラをソフト設定する。
 本ボードの割り込み発生要因を許可する。 (本項)

以上により割り込みが受け付けられると、指定ベクタ (割り込み処理サブルーチン) にジャンプします。 なお、本ボード付属の C ハンドラ等では割り込みコントローラの操作や前後処理が関数化、または定型化されていますから特別な知識・情報は必要ないでしょう。

3-11. クロック源選択

```

o u t p ( B A S E + 0 , 1 ) ;      / *   所属ページ指定 ( = 1 )   * /
o u t p ( B A S E + 1 , c k s ) ; / *   c k s : クロック源選択   * /

```

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的のサンプリング（同期出力タイミング）クロックとなります。

表 3 - 1 1 A . 【 B A S E + 1 】（ページ 1）出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	外部クロック源（使用時）の有効極性指定	(+)	(-)	0
B 6 B 5	内部クロック源（使用時）の選択データ	【表 3 - 1 1 B】参照。		0 0
B 4	クロック源選択（外部 / 内部）	外部	内部	0
B 3 B 2 B 1 B 0	未使用			

表 3 - 1 1 B . 選択される内部クロック源

ビット		選択される内部クロック源	
B 6	B 5	クロック源周波数	主な用途
1	1	無効	
1	0	オプション	
0	1	8 . 1 9 2 M H z	周波数解析
0	0	8 . 0 0 0 M H z	汎用計測

オプションのクロック源素子（8 MHz 以下）は本ボード上のソケットに装着することにより使用可能となります。

素子名： J X O - 5 S - M H z （金石），または
 D O C - 4 9 S 1 - M H z （大真空）

3-12. 読み書き対象カウンタの選択

```
o u t p ( B A S E + 7 , c t r ) ; /* c t r : 操作対象カウンタ */
```

この後に読み書きするカウンタ（またはカウンタの制御レジスタ）を選択します。
 カウンタ素子（ $\mu P D 7 1 0 5 4 = i 8 2 5 3 A$ 上位互換）は 2 個あり、各々 16 ビット×3 本構成ですが、各素子共、このうち 16 ビット×2 本を利用（残りの 1 本は不使用）しています。

素子 1 はクロック源分周用に、素子 2 はクロック同期出力時の D A データ点数カウントに使用します。

表 3 - 1 2 A . 【 B A S E + 7 】出力ポートの構成

ビット	各ビットの機能・意味	リセット時
B 7 B 6 B 5 B 4 B 3	未使用	
B 2 B 1 B 0	カウンタ（または制御レジスタ）選択データ【表 3 - 1 2 B 参照】	0 0 0

表 3 - 1 2 B . カウンタ（または制御レジスタ）選択データ

B 2	B 1	B 0	選択されるカウンタ、または制御レジスタ
1	1	1	[素子 2] 制御レジスタ：1 バイト
1	1	0	["] カウンタ # 2：不使用
1	0	1	["] カウンタ # 1：ブロック数カウント・上位ワード（2 バイト）
1	0	0	["] カウンタ # 0：データ点数カウント・下位ワード（2 バイト）
0	1	1	[素子 1] 制御レジスタ：1 バイト
0	1	0	["] カウンタ # 2：不使用
0	0	1	["] カウンタ # 1：クロック源分周・上位ワード（2 バイト）
0	0	0	["] カウンタ # 0：クロック源分周・下位ワード（2 バイト）

【注】 各カウンタ、制御レジスタの機能については次 3 - 1 3 項、3 - 1 4 項を参照。

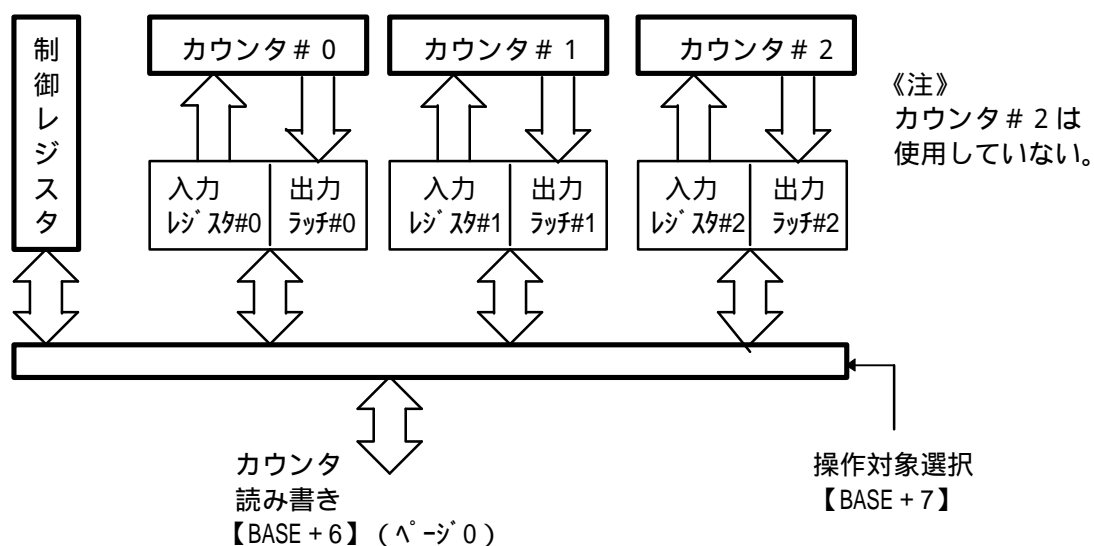
カウンタ素子の構造

各カウンタ素子（ μ PD71054 = i8253A 上位互換）の構造を図3 - 12 に記します。

3本の各カウンタ（16BITバイナリ・ダウンカウンタ）は制御レジスタ（1バイト）により動作モードを指定されます。なお書き込まれるデータは実際には各カウンタ専用のレジスタに書き込み・保持されており、計数開始時等（動作モードに応じて）、必要なタイミングでカウンタ本体にロード（転送）されます。また、データをパソコン側から読み込むときは全カウンタを同時にラッチする構造となっています。

【3 - 13項・分周比（クロック値）の設定】および【3 - 14項・DAデータ点数の設定】では当素子の特定動作モードのみを使用します。同素子自体の詳細については素子メーカー発行の仕様書等を御参照ください。（本ボードの制御には不要です。）

図3 - 12 . μ PD71054（i8253A 上位互換）の構造



3-13. クロック値（クロック源分周比）の設定

クロック同期更新モードで使用するクロック値は前3 - 1 1項で選択したクロック源を分周して得ます。分周は3 2 B I Tカウンタ（1 6 B I Tバイナリカウンタを2本直列接続）で行います。

各1 6 B I Tカウンタに設定できる値は1 ~ 6 5 5 3 5で、その設定値を【D V # 0】，【D V # 1】とすると、

$$\text{分周比【D V】} = \text{【D V \# 0】} \times \text{【D V \# 1】} \cdots \cdots (a)$$

$$\text{得られるクロック周波数【C K F】} = \text{【クロック源周波数】} \div \text{【D V】} \cdots \cdots (b)$$

$$\text{得られるクロック周期【C K P】} = \text{【クロック源周期】} \times \text{【D V】} \cdots \cdots (c)$$

となります。

《例》 内部クロック源8 M H z（周期 = 1 2 5 n s）を元に1 0 μ sのクロック値（周期）を得るには、

$$\text{式(c)より、【D V】} = (10 \mu s) \div (125 ns) = 80$$

$$\begin{aligned} \text{式(a)から} \quad & \text{【D V \# 0】} = 80 \quad \& \quad \text{【D V \# 1】} = 1、 \\ & \text{【D V \# 0】} = 20 \quad \& \quad \text{【D V \# 1】} = 4、 \\ & \text{【D V \# 0】} = 10 \quad \& \quad \text{【D V \# 1】} = 8、 \quad \text{等々。} \end{aligned}$$

各データはさらに、2 バイトに分割して適用カウンタにかきこむ。

操作手順

```
o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ指定 (= 0) */

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを対象に指定 */
o u t p ( B A S E + 6 , 0 x 3 6 ) ; /* 制御データ【注2】：固定値 */

o u t p ( B A S E + 7 , 0 x 0 ) ; /* 素子1のカウンタ#0を対象に指定 */
o u t p ( B A S E + 6 , D V \# 0 L ) ; /* 下位バイト書き込み */
o u t p ( B A S E + 6 , D V \# 0 H ) ; /* 上位バイト書き込み */

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを対象に指定 */
o u t p ( B A S E + 6 , 0 x 7 6 ) ; /* 制御データ【注3】：固定値 */

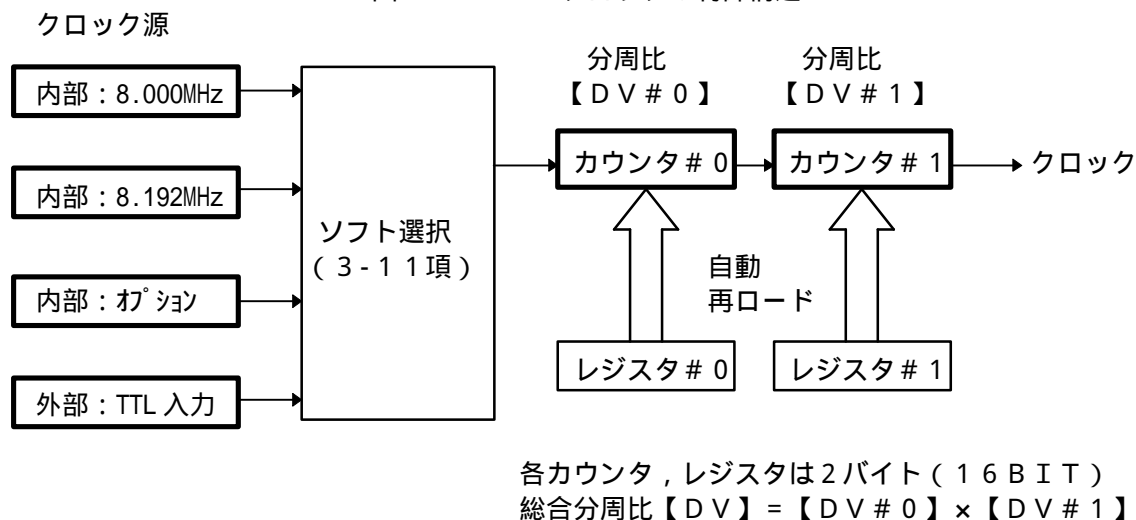
o u t p ( B A S E + 7 , 0 x 1 ) ; /* 素子1のカウンタ#1を対象に指定 */
o u t p ( B A S E + 6 , D V \# 1 L ) ; /* 下位バイト書き込み */
o u t p ( B A S E + 6 , D V \# 1 H ) ; /* 上位バイト書き込み */
```

【注1】： 書き込み対象選択については前3 - 1 2項、参照。

また、各カウンタの書き込みは下位バイトを先に、続けて上位バイトの順とする。

【注2】 / 【注3】： カウンタ# 0 / # 1を“同素子のモード3”で使用する意味の固定データ。（無条件に適用してください。）

図 3 - 1 3 A . クロックの制御構造

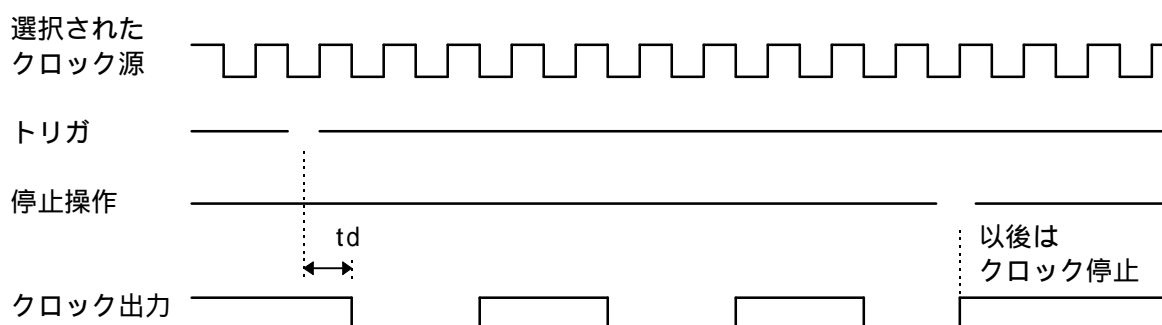


（3-11項で）選択されたクロック源信号は“素子1”内のカウンタ#0，#1で分周されてクロック値となります。カウンタ#0，#1は直列に接続された各16BITのバイナリDOWNカウンタで、当素子（μPD71054）のモード3で動作させます。

前記“操作手順”により書き込まれた分周比データは（実際には）、各カウンタ専用の入力レジスタ#0，#1に保持されており、クロックスタート（トリガ発生）操作により各カウンタにロードされて計数が開始されます。総合32BITの当カウンタが“0”までカウントダウンすると1クロックを出力し、次のカウント・タイミングで入力レジスタ内のデータが再ロードされて再びカウントダウンが続けられます。この動作の様子を図3-13Bに示します。

【注4】 クロックスタート（トリガ発生）時にも1クロック出力があります。

図 3 - 1 3 B . クロック発生タイミング



《動作説明》 上記はトリガ（クロックスタート＝出力開始）後、3クロック出力後に停止操作等で動作終了となった例。分周比は4。なお、

クロック源信号、およびクロック出力の有効エッジは常に立下り（ ）。最初のクロック出力遅れ t_d は最大で1クロック源周期。

3-14. D A出力データ点数の設定・認識

クロック同期更新モードで出力するD Aデータ点数は前3 - 1 3項で得たクロック出力をカウントして得ます。 当モードによる出力D Aデータ点数は、【1ブロック当りのデータ点数】を【指定ブロック数】または【停止操作等まで無限に】設定・制御する構造です。(3 - 1 7項) ここではカウンタ素子2を使用し、

カウンタ# 0に書き込む値NUM: 1ブロック当りのデータ点数(2 ~ 6 5 5 3 5)、
 カウンタ# 1に書き込む値BLK: 指定ブロック数(1 ~ 6 5 5 3 5)、
 とします。

1ブロック当りのデータ点数の最小値=2であることに御注意ください。 なお、当値はサイクルモード時の1波形周期でもあります。 また、非サイクルモードのときは割り込み要求発生要因に“1ブロック出力終了”を指定(3 - 1 0項)して、割り込み処理ルーチン内でブロックI/O転送の単位に当値(1ブロック当りのデータ点数)を使用するような使い方ができます。

【特注】 F I F Oメモリ内のD Aデータ点数を1周期として循環出力するサイクルモードのときは、F I F Oメモリ内の実在D Aデータ点数とカウンタ# 0の値(=1ブロック当りのデータ点数)が一致しなければなりません。

設定操作手順

```

outp(BASE+0,0) ; /* 所属ページ指定(=0) */

outp(BASE+7,0x7) ; /* 素子2の制御レジスタを対象に指定 */
outp(BASE+6,0x34) ; /* 制御データ【注2】:固定値 */

outp(BASE+7,0x4) ; /* 素子2のカウンタ#0を対象に指定 */
outp(BASE+6,NUML) ; /* 下位バイト書き込み */
outp(BASE+6,NUMH) ; /* 上位バイト書き込み */

outp(BASE+7,0x7) ; /* 素子2の制御レジスタを対象に指定 */
outp(BASE+6,0x72) ; /* 制御データ【注3】:固定値 */

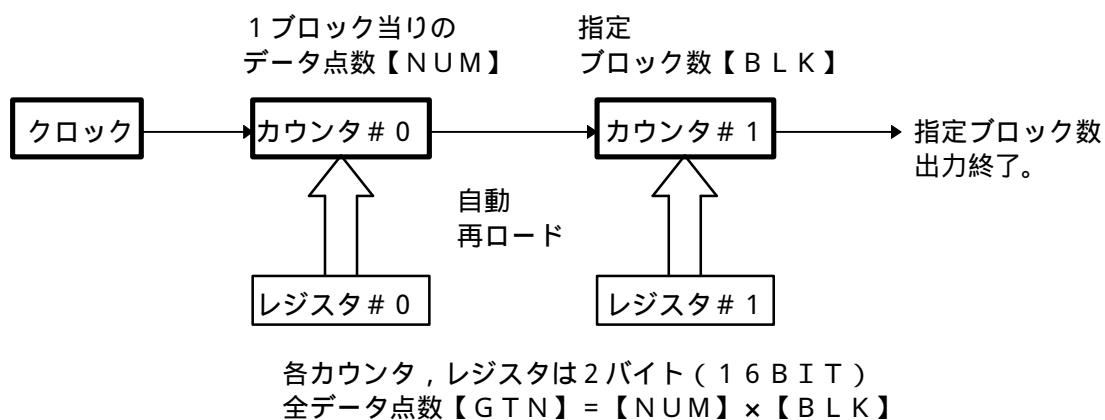
outp(BASE+7,0x5) ; /* 素子2のカウンタ#1を対象に指定 */
outp(BASE+6,BLKL) ; /* 下位バイト書き込み */
outp(BASE+6,BLKH) ; /* 上位バイト書き込み */

```

【注1】: 書き込み対象選択については前3 - 1 2項、参照。
 また、各カウンタの書き込みは下位バイトを先に、続けて上位バイトの順とする。

【注2】/【注3】: カウンタ#0/#1を同素子の“モード2”/“モード1”で使用する意味の固定データ。(無条件に適用してください。)

図3 - 1 4 A . D A出力データ点数の制御構造



(3 - 1 3 項で) 得られたクロック信号はD Aデータ更新動作に使用されると同時に“素子2”内のカウンタ#0, #1で更新実行点数としてカウントされます。

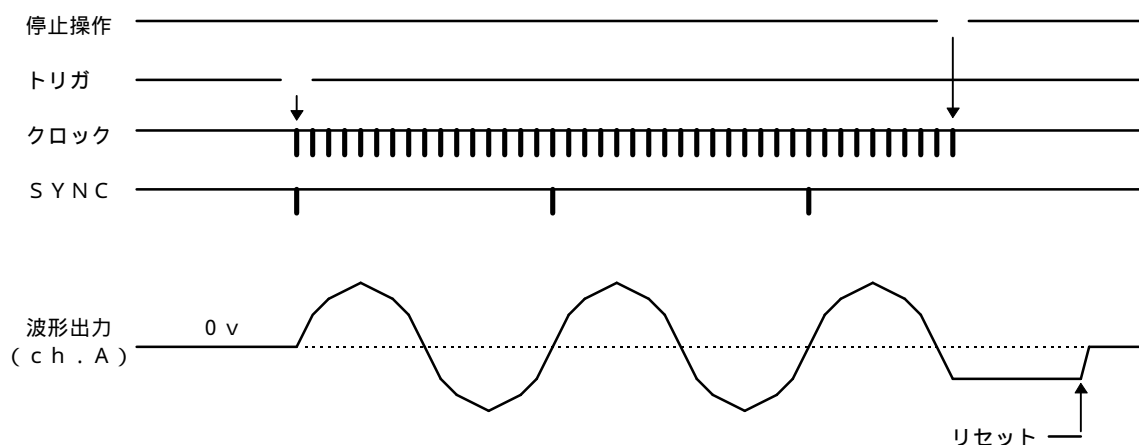
カウンタ#0, #1は直列に接続された各16BITのバイナリDOWNカウンタで、当素子(μPD71054)のモード2またはモード1で動作させます。

前記“操作手順”により書き込まれた各データは(実際には)各カウンタ専用の入力レジスタ#0, #1に保持されており、クロックスタート(トリガ発生)操作により各カウンタにロードされて計数が開始されます。【1ブロック当りのデータ点数カウンタ】#0が“0”までカウントダウンすると1パルスを出し、次のカウント・タイミングで入力レジスタ内のデータが再ロードされて再びカウントダウンが続けられます。カウンタ#0からのパルス出力はボード内の制御タイミングに利用されると同時に【指定ブロック数カウンタ】#1の入力ともなります。

#1のダウンカウント値が“0”に達すると全データ出力終了なのでクロックを止めます。

なお、#1の出力を無視して【停止操作等まで無限に】クロック動作を続ける動作モードもあります。(3 - 1 7 項・参照)

図3 - 1 4 B . クロック同期更新モードの動作



SYNC: 各データ・ブロックの先頭位置を示す1クロック幅の外部出力信号。選択(3 - 1 6 項)により、クロック信号に代えて出力することができる。

波形出力: D A出力は(チャンネルA, B共)電源ON、パソコン本体(ハード)リセット操作、または本ボードの制御部リセット操作(3 - 5 項)により初期値 = 0 vとなる。以後はD A出力操作(またはクロック)により更新された値が次の更新まで保持(ラッチ)される。

出力済みD Aデータ点数の読み込み

クロック同期更新モードで出力中、素子2のカウンタ#0, #1を読むことにより現在までの出力済み点数を知ることができます。

動作開始時のカウンタ#0設定値【NUM】：1ブロック当りのデータ点数
カウンタ#1設定値【BLK】：指定ブロック数

現在のカウンタ#0読み込み値【CNM】
#1読み込み値【CBK】

とすると、

出力済み点数

$$【DON】 = (【BLK】 - 【CBK】) \times 【NUM】 + (【NUM】 - 【CNM】)$$

読み込み手順

```

outp (BASE + 0, 0)      ; /* 所属ページ指定 (= 0) */

outp (BASE + 7, 0x7)    ; /* 素子2の制御レジスタを対象に指定 */
outp (BASE + 6, 0xD6)   ; /* 制御データ【注2】：固定値 */

outp (BASE + 7, 0x4)    ; /* 素子2のカウンタ#0を対象に指定 */
CNML = inp (BASE + 6)   ; /* 下位バイト読み込み */
CNMH = inp (BASE + 6)   ; /* 上位バイト読み込み */

outp (BASE + 7, 0x5)    ; /* 素子2のカウンタ#1を対象に指定 */
CBKL = inp (BASE + 6)   ; /* 下位バイト読み込み */
CBKH = inp (BASE + 6)   ; /* 上位バイト読み込み */

```

【注1】：読み込み対象選択については前3 - 12項、参照。
また、各カウンタの読み込みは下位バイトを先に、続けて上位バイトの順とする。

【注2】：カウンタ#0 / #1の値を同時ラッチ（出力用ラッチに読み出し）する意味の固定データ。（無条件に適用してください。）当操作後は必ず続けてカウンタ（ラッチ）の読み込み操作を行うこと。各ラッチは上位バイト読み出し直後からカウンタに追従を開始する。

3-15. S Y N C / クロック出力切り替え

```
o u t p ( B A S E + 0 , 1 )      ; /*  所属ページ ( = 1 ) 指定  * /
o u t p ( B A S E + 5 , s y n ) ; /*  出力信号選択      * /
```

外部 T T L 出力信号【 S Y N C / C L K - O U T 】を【 S Y N C 】出力とするか、【 C L K 】出力とするかの選択を行う。

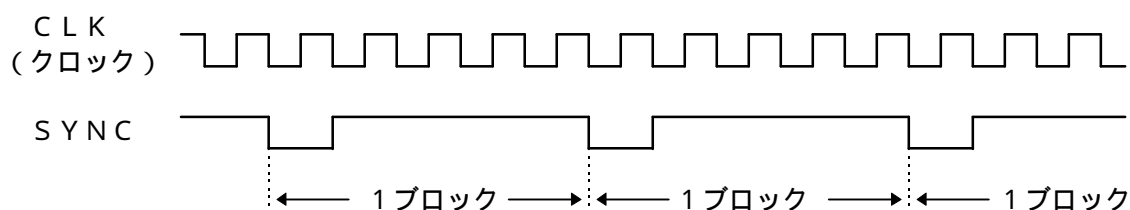
【 C L K 】出力： クロック同期更新モード (3 - 1 7 項) で使用される連続 D A データの更新タイミング信号 (T T L 立下り)、すなわち “ クロック ” 出力。

【 S Y N C 】出力： クロック同期更新モード (3 - 1 7 項) のとき、1 ブロック D A データ群の先頭データ出力タイミング (T T L 立下り) を示す。

表 3 - 1 5 A . 【 B A S E + 5 】 (ページ 1) 出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用			
B 6				
B 5				
B 4				
B 3				
B 2				
B 1				
B 0	S Y N C / クロック出力切り替え	S Y N C 出力	クロックを出力	0

図 3 - 1 5 . C L K / S Y N C タイミング (例)



クロックのパルス幅：デューティは (5 0 %) ± (1 クロック源周期)
 S Y N C のパルス幅：1 クロック周期
 両信号の有効エッジ：共に立下り ()

本例は 1 ブロック分データ点数 = 5 の場合。

3-16. D Aデータの書き込み

以下の定義は次の各項を御参照ください。
 【更新モード】…………… 次 3 - 1 7 項
 【D Aデータ転送方法】…………… 3 - 8 項

D AチャンネルA： クロック同期更新モードのときはF I F Oメモリに書き込まれる。
 即時更新モードのときはD A素子（ラッチ付）に直接書き込まれる。
 D Aデータの転送方法が【I / O】に設定されているときは下記の
 ように通常のO U T命令、またはブロックO U T命令（O U T S W）が
 使用できる。なお、ワード書き込みの場合は下位バイト書き込み用の
 アドレスに対してアクセスする。D Aデータの転送方法が【D M A】
 に設定されているときはバイトD M A（シングルモード）のみ使用可能。

```
o u t p ( B A S E + 8 , A L ) ; /* D AチャンネルAの下位バイト書き込み */
o u t p ( B A S E + 9 , A H ) ; /* D AチャンネルAの上位バイト書き込み */
```

D AチャンネルB： 設定された更新モードにかかわらずD A素子（ラッチ付）に直接書き
 込まれる。なお、D Aデータの転送方法が【D M A】に設定されてい
 るときは当チャンネルBに書き込むことができない。

```
o u t p ( B A S E + 10 , B L ) ; /* D AチャンネルBの下位バイト書き込み */
o u t p ( B A S E + 11 , B H ) ; /* D AチャンネルBの上位バイト書き込み */
```

表 3 - 1 6 A . 【B A S E + 9】および【B A S E + 11】出力ポートの構成

ビット	ビット機能	適 用	リセット時
B 7 B 6 B 5 B 4	未使用		
B 3 : D 11 (MSB) B 2 : D 10 B 1 : D 9 B 0 : D 8		D Aデータ・上位4ビット	【注】

表 3 - 1 6 B . 【B A S E + 8】および【B A S E + 10】出力ポートの構成

ビット	ビット機能	適 用	リセット時
B 7 : D 7 B 6 : D 6 B 5 : D 5 B 4 : D 4 B 3 : D 3 B 2 : D 2 B 1 : D 1 B 0 : D 0 (LSB)		D Aデータ・下位8ビット	【注】

【注】 電源ON、パソコン本体のハードウェア・リセット操作、または
 本ボードの制御部リセット操作により、D A出力は初期値 = 0 v に
 なります。（A , B , 両チャンネル共）

F I F OメモリへのD Aデータ書き込み (チャンネルAのみ)

【クロック同期更新モード】が選択されているとき、D A出力チャンネルA（波形出力用）に書き込まれるデータはF I F Oメモリに格納されます。F I F Oメモリに入り口から書き込まれたデータは自動的に最奥部（出口側）まで転がり込んで行き、出口からは古い順にクロックに同期して読み出される（出力D A素子に転送される）動作となります。

D Aデータの書き込み方法は、

通常のO U T命令 : D Aデータ転送方法に【I / O】を指定します。（3 - 8項）
F I F Oメモリのステータスフラグ“N o t - F u l l”を監視しながら適時または同フラグによる割り込み処理ルーチン内でD Aデータの補充を行います。

ブロックO U T命令 : D Aデータ転送方法に【I / O】を指定します。（3 - 8項）
F I F Oメモリのステータスフラグ“N o t - H a l f - F u l l”を監視しながら適時または同フラグによる割り込み処理ルーチン内で（F I F Oメモリ容量の半分単位で）D Aデータの補充を行います。また、割り込み要因に【1ブロック出力終了】を指定すれば（3 - 14項で設定した）1ブロック当りのD Aデータ点数単位でブロック転送することもできます。/ 具体例：サンプルソフト参照。

D M A転送 : D Aデータ転送方法に【D M A】を指定します。（3 - 8項）
F I F Oメモリのステータスフラグ“N o t - F u l l”によりD M A要求が発信され、1データが（バイト）D M A転送されます。
なお、高速性からはD M Aよりブロック転送の方が圧倒的に良い結果が得られます。/ 具体例：サンプルソフト参照。

図 3 - 1 6 . F I F Oメモリ内のD Aデータ



表 3 - 1 6 C . F I F Oメモリのステータス・フラグ

フラグ名	フラグの意味 (標準4096語のとき)
N o t - F u l l	満杯ではない。 (格納データ数 4095)
N o t - H a l f - F u l l	容量の1/2以下 (格納データ数 2048)
N o t - E m p t y	データ有り (格納データ数 1)

3-17. トリガ&出力更新モード指定

```

outp (BASE + 0, 0) ; /* 所属ページ指定 (= 0) */
outp (BASE + 5, tum); /* tum: トリガ&出力更新モード指定 */

```

D A データ出力の更新モード選択、およびトリガ制御（クロックのスタート/ストップ）を行います。チャンネル A で波形出力（クロック同期更新）動作を行う場合、D A データ書き込み前に【クロック同期更新モード（ビット B 0 = 1）】に設定しておかないとデータは F I F O メモリに書き込まれませんから注意が必要です。

表 3 - 1 7 A . 【 B A S E + 5 】（ページ 0）出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	ソフトトリガ	許可（即スタート）	禁止（ストップ）	0
B 6	外部トリガ制御	許可（入力待ち）	禁止（ストップ）	0
B 5	外部トリガ信号の有効極性	+ ()	- ()	0
B 4	外部トリガ動作形態	エッジ	レベル（帯域動作）	0
B 3	動作終了条件（クロック同期のとき）	指定ブロック数出力	無制限【注 1】	0
B 2	F I F O メモリ動作モード	サイクル（循環）	非サイクル	0
B 1	即時更新タイミング	チャンネル同期	単独更新	0
B 0	D A データ出力更新モード（ch. A）	クロック同期更新	即時更新	0

《 補助説明 》

- B 7 : プログラム上で任意にクロックを即スタートさせます。
- B 6 : 外部トリガ T T L 信号の有効極性（エッジ、またはレベル）入力待ちです。
- B 4 : “レベル（帯域動作）”を選択したときはビット B 4 で指定される極性レベルの期間中だけクロックが動作する、特殊なトリガ形態となります。【図 3 - 1 7】
- B 3 : “無制限【注 1】”を選択したときは【注 2】で説明するような強制停止操作までクロックが動作します。“指定ブロック数出力”による終了の場合は、終了時点で各トリガ許可ビット（B 7, B 6）は無効になります。次のスタート時は一旦クリアしてから再セット（= 1）します。
“指定ブロック数出力”については 3 - 1 4 項参照。
- B 2 : サイクル動作では F I F O メモリ内のデータ数を 1 周期として循環出力（再利用）します。非サイクル動作では、更新出力されたデータ分だけ F I F O メモリ内のデータ数が減少して行きますから、継続動作のためには逐次データの補充が必要になります。
- B 1 : ビット B 0 で即時更新を選択した場合、当ビットにより A, B 両チャンネル出力の同期 / 非同期を選択します。“同期”を選択したときはチャンネル A の出力操作（データ書き込み）直後に A, B 両チャンネルが同時更新されます。
- B 0 : D A 出力チャンネル A（波形出力用）の更新モード選択です。
クロック同期更新モードで出力動作中に即時更新モードに切り替えるとクロックが一旦停止します。再度クロック同期更新モードに戻すとクロックが再スタートして、続きの出力動作を行います。

更新モード ビット B 2 , B 1 , B 0 で指定される動作形態の組み合わせを表 3 - 1 7 B に記します。

表 3 - 1 7 B . 各種動作モード

B 2	B 1	B 0	チャンネル A (波形出力用)	チャンネル B (汎用)
1	×	1	クロック同期更新・サイクルモード	チャンネル同期・即時更新モード
0	×	1	クロック同期更新・非サイクルモード	チャンネル同期・即時更新モード
×	1	0	チャンネル同期・即時更新モード	チャンネル同期・即時更新モード
×	0	0	単独・即時更新モード	単独・即時更新モード

× : 任意。

， はクロックに同期して、F I F Oメモリ内のデータが更新出力されます。
 ， は D A データが F I F Oメモリを通さず、D A 出力素子に直接書き込まれます。

クロック同期更新・サイクルモードで出力中は F I F Oメモリに追加データの書き込みができません。

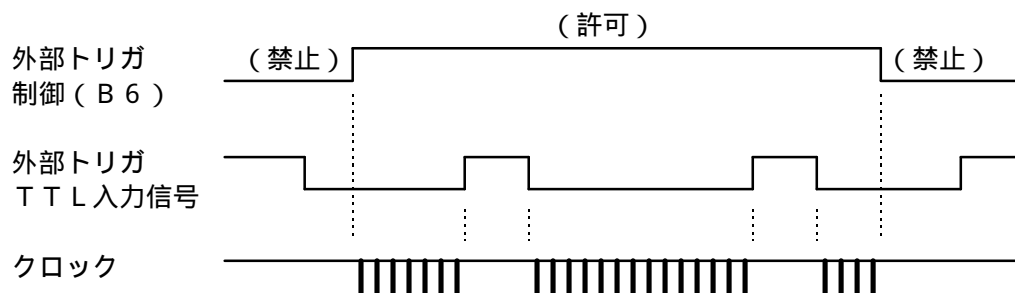
チャンネル同期・即時更新モードの場合、D A 出力データはチャンネル A に書き込んだ直後にチャンネル A , B 同時更新となります。この動作は 2 重ラッチ構造によります。チャンネル B だけに書き込み操作を実行しても、チャンネル A の書き込み操作を実行しないと当データは初段ラッチに保持されたままチャンネル B 書き込み操作待ちの状態になります。また、チャンネル B に書き込み操作を行わず、チャンネル A だけに書き込んだ場合のチャンネル B 出力は (前回 = 現データの再出力動作なので) 変化しません。

単独・即時更新モードの場合、チャンネル A とチャンネル B は各々の書き込み操作だけで単独に更新されます。

【注 2】 : “トリガ”とはクロックをスタートさせる機能です。本機ではソフト、または外部トリガ (T T L) 入力です。クロックはスタート原因となったトリガの制御ビットをクリア (= 0) することにより強制停止します。停止操作は B 7 , B 6 共にクリアすると確実にします。

即時更新モード (B 0 = 0) でトリガされると D A チャンネル A の波形出力動作は行われませんが、クロックはスタートします。(タイマ的使用が可能。)

図 3 - 1 7 . レベル (帯域動作) トリガの様子



本図は B 5 = 0 : トリガ極性 = (-)、
 B 4 = 0 : トリガ形態 = レベル (帯域動作) の場合です。

3-18. ボード・ステータスの読み込み、クリア

```

o u t p ( B A S E + 0 , 0 )      ;   / *   所属ページ指定 ( = 0 )   * /
b s t s = i n p ( B A S E + 4 ) ;   / *   b s t s : ボード・ステータス   * /

```

本ボードのD A データ出力、クロック、割り込み要求、F I F O メモリの充満状態、等々、動作状態を得ます。

表 3 - 1 8 A . 【 B A S E + 4 】 (ページ 0) 入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	指定ブロック数出力 【注 1】	終了	出力中 (開始前)	0
B 6	割り込み要求 【注 1】	発生	未発生	0
B 5	クロック (有効エッジ :) 【注 1】	発生	未発生	0
B 4	ブロック先頭位置 【注 1】	発生	未発生	0
B 3	トリガ発生	発生	未発生	0
B 2	クロック同期更新エラー 【注 1】	発生	未発生	0
B 1	N o t - H a l f - F u l l (F I F O)	(1 / 2) 以下	(1 / 2) 超	1
B 0	N o t - F u l l (F I F O)	空き有	満杯	1

《 補助説明 》

【注 1】 : ビット B 7 , B 6 , B 5 , B 4 , および B 2 は【 B A S E + 4 】 (ページ 0) 出力ポートの同位置ビットに “ 1 ” を書き込むことによりクリアされます。

B 7 : 指定ブロック数は 3 - 1 4 項を参照。

B 6 : 割り込み要求発生要因は 3 - 1 0 項を参照。

B 5 : クロックの有効エッジ () タイミングによりセット (= 1) されます。

B 4 : ブロック先頭信号 (S Y N C : 図 3 - 1 5) によりセット (= 1) されます。

B 3 : トリガの発生によりセット (= 1) され、トリガ制御ビットのクリアによりリセットされます。 トリガ制御ビット : 前 3 - 1 7 項の B 7 , B 6 。

B 2 : F I F O メモリの入出力失敗を検出するとセット (= 1) されます。 具体的には、クロック同期更新モードで動作中に F I F O メモリ内の D A データが出力してしまい、空の状態でのクロック有効エッジ・タイミングが発生した。
または F I F O メモリが D A データで満杯のとき、さらにパソコン側から追加データを書き込もうとしたときに【エラー】となります。

B 1 : F I F O メモリ内のデータ数が半分 (標準 4 K 語メモリのとき 2 0 4 8) 以下のときセット (= 1) されます。 / 表 3 - 1 6 C、および 3 - 2 項を参照。

B 0 : F I F O メモリに追加データの受入れ余地があるときセット (= 1) されます。すなわち、F I F O メモリ内のデータ数が標準 4 K 語メモリのときで 4 0 9 5 以下になるとセットされます。 / 表 3 - 1 6 C、および 3 - 2 項を参照。

ステータス・ビット・クリア

```
o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ指定 ( = 0 ) */
o u t p ( B A S E + 4 , b s c ) ; /* b s c : クリア・データ */
```

【注 2】

当クリア・データのセット (= 1) されたビットに対応するボード・ステータスのビットがクリアされます。なお当クリア・データは本ボード中で保持されることはなく、クリア動作の起動に使用されるだけです。したがって、対応するボード・ステータス・ビットをクリア状態に維持するような機能はありません。本操作後、すぐに (クリアした) ビットがセットされるような状況も考えられます。

表 3 - 1 8 B . 【 B A S E + 4 】 (ページ 0) 出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	指定ブロック数出力 ステータス・クリア	クリアする	クリアしない	0
B 6	割り込み要求 ステータス・クリア	クリアする	クリアしない	0
B 5	クロック (有効エッジ:) ステータス・クリア	クリアする	クリアしない	0
B 4	ブロック先頭位置 ステータス・クリア	クリアする	クリアしない	0
B 3	未使用			0
B 2	クロック同期更新エラー ステータス・クリア	クリアする	クリアしない	0
B 1	未使用			0
B 0	F I F O メモリ素子だけの リセット	リセットする	リセットしない	0

追伸

表 3 - 1 8 A 中のトリガ発生 (B 3)、および F I F O ステータス (B 1 , B 0) は状態フラグ (状態の変化に自動追従するフラグ) なので勝手にクリアできません。

一方、B 7 ~ B 4 および B 2 は保持フラグなので一旦セット (= 1) されるとクリアするまで保持されます。

F I F O メモリ素子だけのリセットは、クロック同期で D A 出力中に予定変更などの理由から (F I F O メモリ中の) 残りデータを出力することなくクリア、新たなデータを充填・出力するときに利用できます。

3-19. F I F Oメモリ・フラグの読み込み

```

o u t p ( B A S E + 0 , 0 )      ; /* 所属ページ指定 ( = 0 )  * /
f s t s = i n p ( B A S E + 3 ) ; /* f s t s : F I F Oメモリ・フラグ  * /

```

F I F Oメモリの充満状態を示すステータス・フラグを得ます。

3フラグのうち、【N o t - F u l l】と【N o t - H a l f - F u l l】は前3 - 1 7項の“ボード・ステータス”にも含まれているので、残る【N o t - E m p t y】を利用する場合に読むポートです。

表3 - 1 9 . 【 B A S E + 3 】 (ページ 0) 入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用			
B 6	未使用			
B 5	未使用			
B 4	未使用			
B 3	未使用			
B 2	N o t - F u l l (F I F O)	空き有	満杯	1
B 1	N o t - H a l f - F u l l (F I F O)	(1 / 2) 以下	(1 / 2) 超	1
B 0	N o t - E m p t y (F I F O)	データ有り	データ無し	0

《 補助説明 》

- B 2 : F I F Oメモリに追加データの受入れ余地があるときセット (= 1) されます。
すなわち、F I F Oメモリ内のデータ数が標準4 K語メモリのときで4 0 9 5以下になるとセットされます。
- B 1 : F I F Oメモリ内のデータ数が半分 (標準4 K語メモリのとき2 0 4 8) 以下のときセット (= 1) されます。
- B 0 : F I F Oメモリに1語でもデータがあるときセット (= 1) されます。

表3 - 1 6 C . F I F Oメモリのステータス・フラグ

フラグ名	フラグの意味 (標準4 0 9 6語のとき)
N o t - F u l l	満杯ではない。 (格納データ数 4 0 9 5)
N o t - H a l f - F u l l	容量の1 / 2 以下 (格納データ数 2 0 4 8)
N o t - E m p t y	データ有り (格納データ数 1)

3-20. 複数ボードの同期運転（マスタスレーブ動作）

複数の本ボードを同一クロックで同期運転することもできます。この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。各スレーブはマスタからのクロックを受けて同期を取りますが、サンプリング（DA出力更新）タイミングに最大125 nsの遅れが生じます。接続、操作は以下のとおり。（サンプルプログラム：MSCYC761.C参照）

ボード上の設定等

各ボードのI/Oアドレスが重複しないようにロータリースイッチSW1, 2, 3を設定する。付属のサンプルプログラムではマスタを【01E】、以下、各スレーブを【11E】、【21E】【31E】、・・・・・・としている。
（ベースアドレスの値を1000h刻みで増加させている。）

各ボードの出力範囲は任意で、一致している必要はない。

ボード間の接続等

ボード間は、マスタ機のクロック出力【CLK - OUT】をスレーブ各機のクロック入力【CLK - IN】に接続するだけである。（1 - 5項/図1 - 5A, B参照）

マスタ機は外部クロック源入力、外部トリガを使用することもできる。

ソフトウェア

サンプルプログラム：MSCYC761.C参照

スレーブ各機のクロック源は外部（3 - 11項）、分周比は1 / 1（3 - 13項）に設定しておく。

スレーブ各機の外部トリガは禁止しておく。

マスタ機は単独動作時と同様に（何の制限もなく）条件設定できる。

スタート操作はスレーブ各機を（ソフトトリガで）先に、
マスタ機を最後に（任意のトリガ条件で）行う。

添付のサンプルプログラムMSCYC761.Cはサイクル動作なので、以後は停止操作を待つだけである。

クロック同期・非サイクル動作の場合、以後はマスタ機のステータスを監視しながら適時、各機に追加データを供給するだけである。

3-21. 外部機器（A Dボード等）との連携動作

クロックの入出力機能を利用すると、外部イベント（更新リクエスト等）にリアルタイムで応答したり、外部機器に動作・測定等の正確なタイミングを伝えることができます。

応用例 : 任意波形出力～A Dサンプリング

ボード間の接続 : 本ボードのクロック出力をA Dボード（A D M - 6 5 2 / 6 5 6 A T等）クロック入力に接続する。これは前項のマスタスレーブ接続と同一。

A Dボード側 : 外部クロック動作に設定、ソフトトリガで外部クロック入力待ち状態にしておく。

D Aボード側 : 出力波形データを用意する。任意のクロック源、およびトリガにより出力を開始する。

注意すること : D A出力がクロック同期・サイクルモードなら、以後はA Dボードからデータを読み込むことに専念できる。クロック同期非サイクルモードのときは、D Aデータの追加転送とA Dボードからのデータ読み込みを遅れることなく調和させる必要がある。目的の仕様に合わせてブロック転送、D M A、割り込みを使い分ける。

第4章 . ソフトウェア

4-1. インストール

本製品添付のソフトウェアは3.5インチ(1.44MB)フロッピーまたはCDに圧縮された形で格納されており、同メディア内のインストーラ“INSTALL.EXE”の実行により展開されます。なお、内容については充実・改良の目的で後日、追加・変更も有り得ます。重要な変更については同メディア内のドキュメントファイルに記すこととします。

操作手順 / FDDの場合

(はスペース)

インストール元 : Aドライブ、
インストール先 : Cドライブ(HDD)

の場合で例示。

```
C:¥WINDOWS>CD¥【ENTER】
C:¥>A:INSTALL A: C:【ENTER】
```

操作手順 / CDROMの場合

(はスペース)

インストール元 : Dドライブ(CDROM)
インストール先 : Cドライブ(HDD)

の場合で例示。

```
C:¥WINDOWS>CD¥ :【ENTER】
C:¥>CD D: ¥INSTALL ¥ISA ¥DA ¥MDA761【ENTER】
C:¥>D:INSTALL D: C:【ENTER】
```

各プログラムグループ(C, BASIC等)ごとにインストール実行の有無を問うてきますから、【Y】=yes, 【N】=no, で答えるだけで作業が進みます。

《注》 MS-DOSの環境変数“COMSPEC”が設定されていないか、または正常に設定されていないと本インストール・プログラムの作業が途中で停止してしまいます。実行前に確認、または設定しておいてください。

= 設定例 = COMMAND.COMがCドライブの¥にある場合、
>SET COMSPEC=C: ¥COMMAND.COM【ENTER】

全ファイルをインストールした場合のディレクトリ構造は図4-1のようになります。

図 4 - 1 . インストール後のディレクトリ

本図は原形です。 充実・改良の目的で後日、追加・変更も有り得ます。

¥	凡例	サンプルプログラム番号等 (1 ~)
	T - C :	TURBO - C
	B - C :	BORLAND - C
MSCIENCE		
- - BOARDTST - - - 7 6 1 QB 1 . EXE :	本ボードの試運転・動作確認用プログラム	
	- - 7 6 1 QB 1 . COM :	英語モードに切り替えた後、EXEを実行する
- - HND 7 6 1 C - - - INCLUDE - - H 7 6 1 . H :	ハンドラ共通ヘッダファイル	
(ハンドラ)	- - - LIB - - - - 7 6 1 T S . LIB :	T - C , B - C用スモールモデル
		- - 7 6 1 T L . LIB : T - C , B - C用ラージモデル
		- - 7 6 1 M S . LIB : M S - C用スモールモデル
		- - 7 6 1 M L . LIB : M S - C用ラージモデル
	- - SMP 7 6 1 C H - - SAMPLE . C :	ハンドラ使用例
- - SMP 7 6 1 C - - - MICROSOFT . H :	MS - C用ヘッダファイル	
(各種Cサンプル)	- BORLAND . H :	TURBO-C , BORLAND用ヘッダファイル
	- BKINT 7 6 1 . C :	クロック同期・非サイクル動作 (ブロック転送/割り込み)
	- BKPOL 7 6 1 . C :	クロック同期・非サイクル動作 (同 上 /ボーリング)
	- INT 7 6 1 . C :	クロック同期・非サイクル動作 (1 データ毎/り込み)
	- POL 7 6 1 . C :	クロック同期・非サイクル動作 (同 上 /ボーリング)
	- DMA 7 6 1 . C :	クロック同期・非サイクル動作 (同 上 /DMA)
	- GPP 7 6 1 . C :	最も簡単な2 c h汎用DA出力動作 (即時更新)
	- CYC 7 6 1 . C :	波形出力/クロック同期・サイクル動作
	- MSCYC 7 6 1 . C :	波形出力/クロック同期・サイクル動作 (複数ボード)
- - SMP 7 6 1 B - - - - 7 6 1 QB 1 . BAS :	Quick - Basic (4.5)用サンプル	
(BASICサンプル)		

【追伸】 ボード依存性のない汎用のWINDOWS版I/O実行DLL/デバイスドライバは当作業ではインストールされません。 WINDOWS 95・98用はWin95フォルダにあり、WINDOWS NT用はWinNTフォルダ中にあります。

《WINDOWS 95·98用》

インストーラはありません。 手作業で適切なフォルダにコピーしてください。

```
汎用ドライバ類の所在は、ドライバ本体： ¥WIN95¥sys¥pta95_0.vxd
汎用のDLL： ¥WIN95¥DLL¥accs_95.dll
ドライバ説明： ¥WIN95¥DOC¥readme.txt
```

(CDROMの場合) ¥INSTALL¥Driver¥Win95です。

コピー先は： DLLはWINDOWS 9 5のフォルダに、VXDはWINDOWS 9 5のシステムフォルダです。

《WINDOWS NT 4.0用》

インストールは添付のインストーラで行いますが、このとき同時にドライバの設定ユーティリティ、サンプルプログラムもインストールされます。

汎用ドライバ類の所在は、インストーラ：¥WinNT¥Setup.exe
 ドライバ本体：¥WinNT¥Sys¥NtPta_?.sys
 汎用のDLL：¥WinNT¥DLL¥Port_nt.dll
 ドライバ設定ユーティリティ：¥WinNT¥Doc¥Rs_reg.exe
 説明ファイル：¥WinNT¥Doc¥Readme.txt

(CDROMの場合) ¥INSTALL¥Driver¥WinNTです。

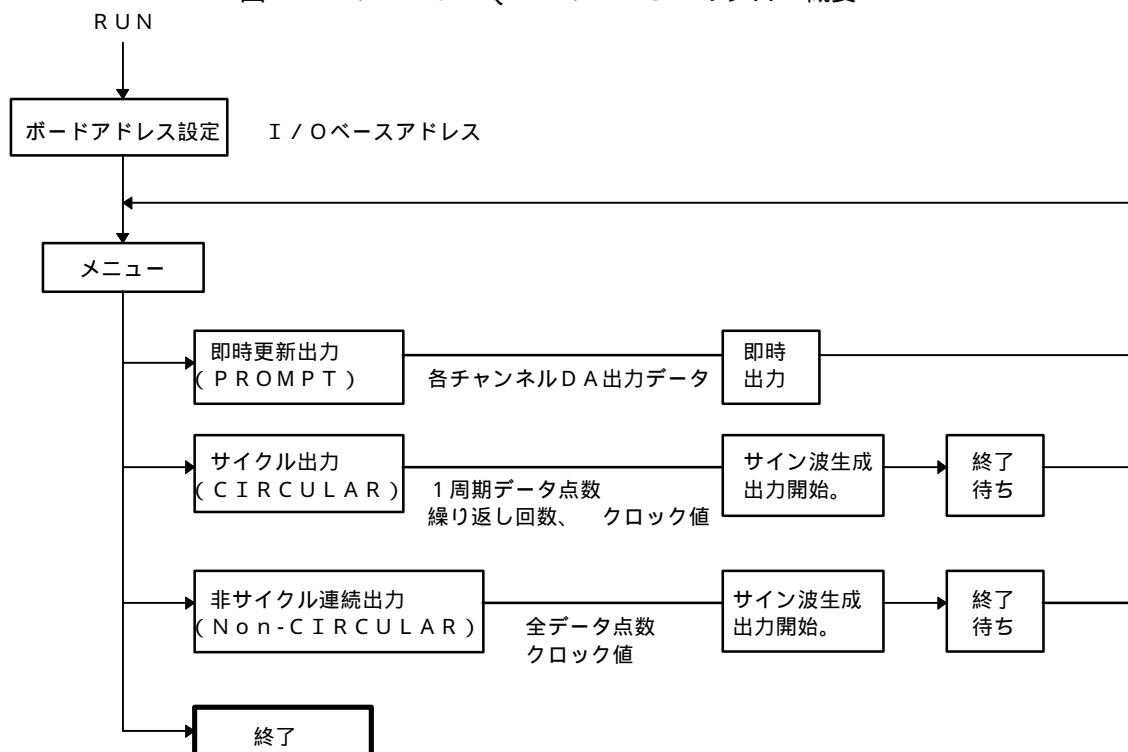
【注1】 ? = 0 ~ 15

【注2】 ドライバとDLLは無指定でNT所定のフォルダにインストールされますが、ユーティリティとサンプルプログラムは前もってインストール先のフォルダを用意しておき、インストール実行時に指定します。

4-2. Quick - Basicのサンプル

Quick - Basic (4.5) 用のサンプルプログラム“761QB1.BAS”は基本的なBASIC文のみによる使用例です。なお本プログラムの実行形式“761QB1.EXE”は試運転・動作確認用にもなります。コーディングの詳細は同ソースのリストを御覧ください。

図4 - 2 . “761QB1.BAS” のフロ - 概要



【ESC】キイで動作中止、メニューに戻る

4-3. C のサンプル

単純な 2 チャンネル即時更新 D A 動作、 クロック同期・サイクルモードによる自動波形出力動作、 同・複数ボードの同期運転、および クロック同期・非サイクルモードによる大量データ連続出力、等のサンプルプログラム・ソースが用意されています。 以下にアルゴリズムの概要を記します。 具体的にはソースリスト【* . C】を御参照ください。

図 4 - 3 A . (即時更新) 汎用 2 チャンネル D A 動作【 G P P 7 6 1 . C 】

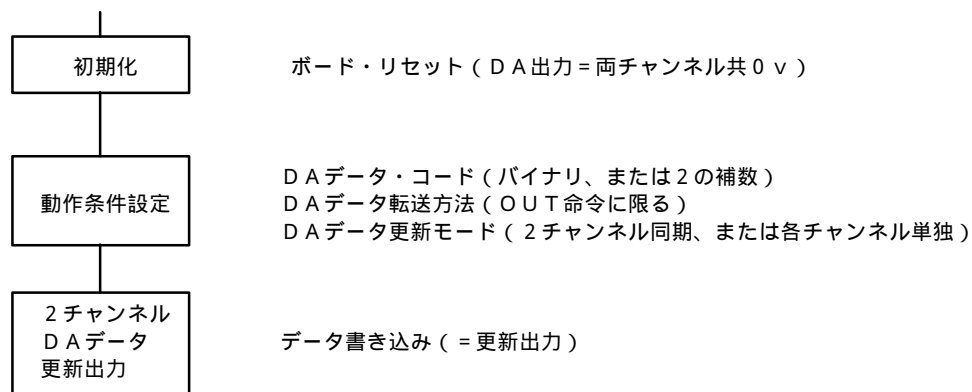
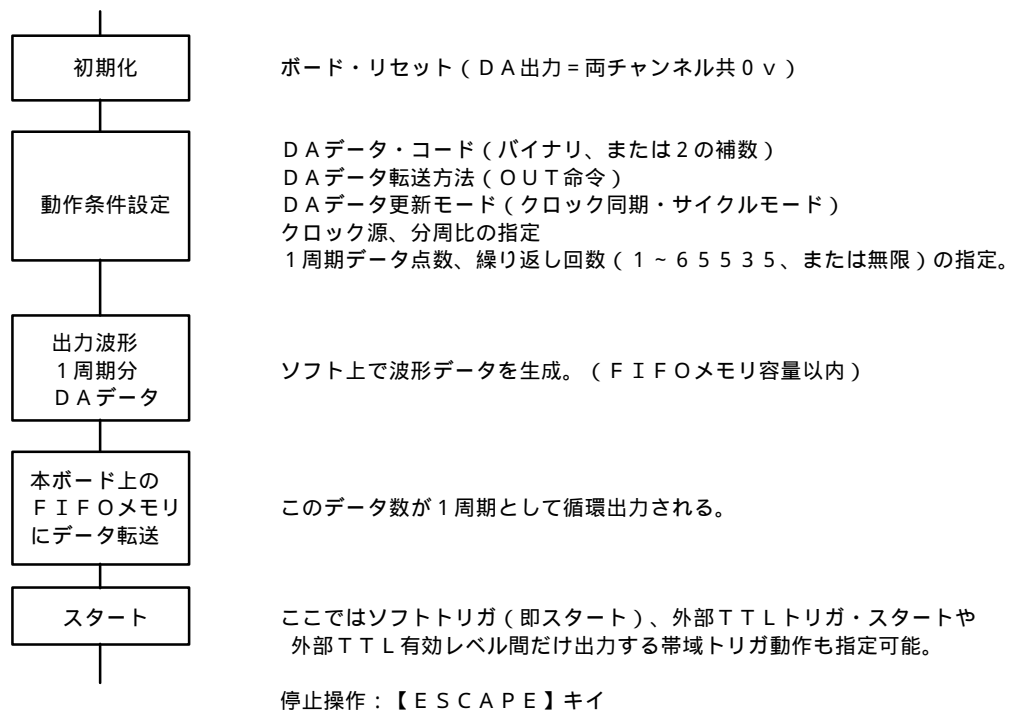


図 4 - 3 B . クロック同期・サイクルモード動作【 C Y C 7 6 1 . C 】

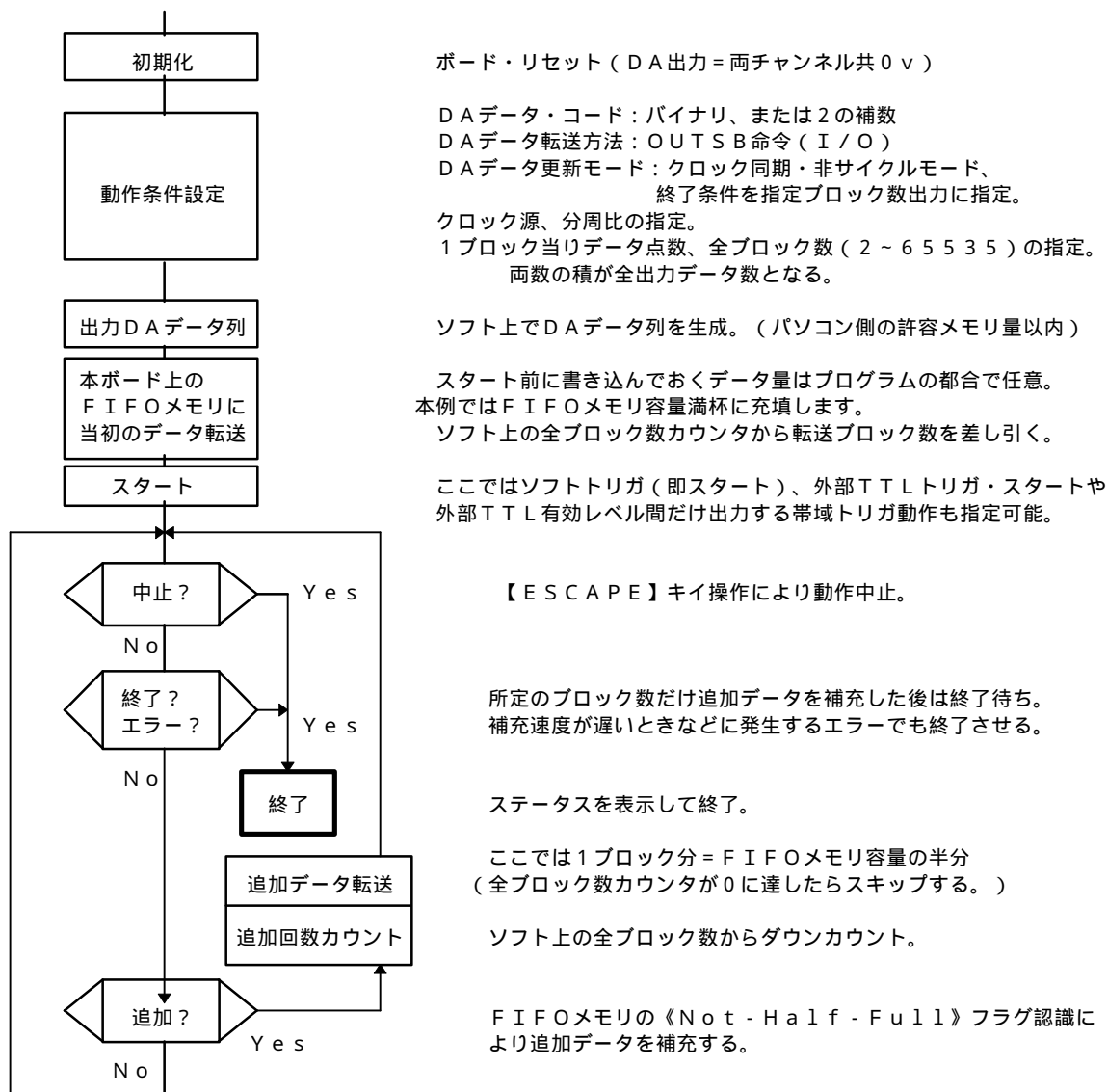


複数ボードの同期運転サンプルプログラム M S C Y C 7 6 1 . C もあります。 (3 - 2 0 項も参照)

出力しようとするD Aデータ列が本ボード上のF I F Oメモリ容量を超えるときは最初にメモリ容量分だけ書き込んでおき、以後はメモリ充満状態を示すフラグによる割り込み、またはフラグを監視（ポーリング）することにより逐次追加データを転送する非サイクル・モードを利用します。

図4 - 3 B . クロック同期・非サイクルモード動作

【ポーリングによるブロック転送例：B K P O L 7 6 1 . C】



ポイント1

非サイクル・モードではブロック転送（O U T S B）命令が最も速いデータ転送手段です。1ブロックのデータ点数が数百点以上あれば、プログラム内容にもよりますが、一般的にはD M Aより速くなります。出力データ点数が固定的な場合は当方法が最適です。

ポイント2

当サンプルでは1ブロック＝F I F Oメモリ容量の半分（標準なら2 K語）としています。これによりアルゴリズムが簡単になります。もし、出力データ点数に端数があるときは最終ブロックの余剰部分を最終データで埋めるような方法もあるでしょう。

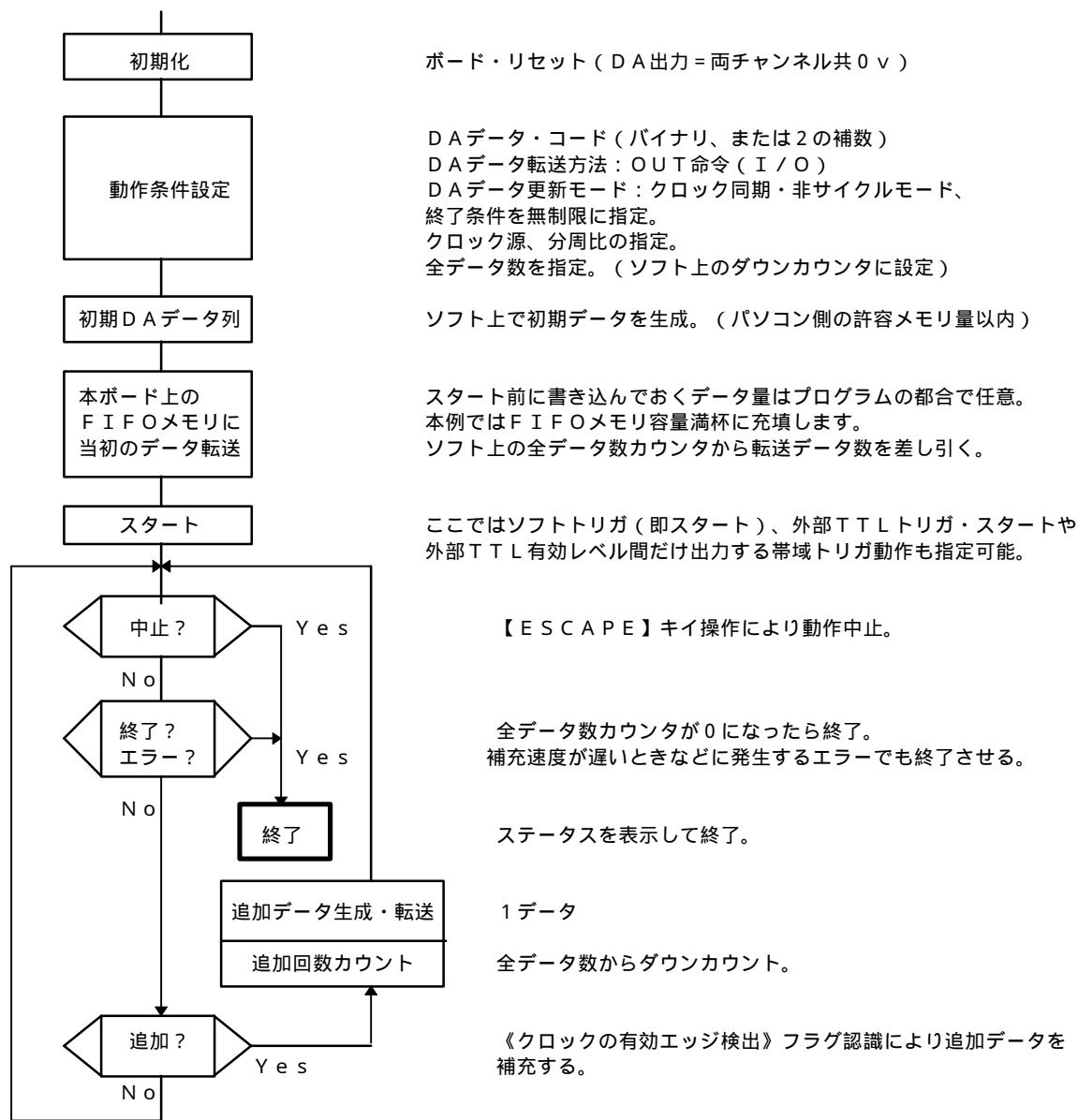
割り込み

追加データ転送を《N o t - H a l f - F u l l》フラグ割り込みの処理ルーチンで行う例が【B K I N T 7 6 1 . C】です。

DMAを利用するときの追加データ転送は1データずつに限られます。また、制御ループ中で次のデータが（演算・処理等により）生成されながら出力される場合も1データずつ転送することになるでしょう。

図4-3C．クロック同期・非サイクルモード動作

【ポーリングによる1データずつ転送例：POL761.C】



ポイント 1

当サンプルでは F I F O メモリを使用したクロック同期・非サイクルモードを使用していますが、初期に複数の D A データが確定していないとき（これが普通？）は F I F O メモリを使用しない即時更新モードも全と同じアルゴリズムが使えます。

割り込み

追加データ転送を《クロック》割り込みの処理ルーチンで行う例が【INT761.C】です。

DMA

追加データ転送を F I F O メモリの《Not - Full》で起動される DMA で行う例が【DMA761.C】です。

第5章．波形出力用Cハンドラ

本機（MDA - 761AT）で簡単に波形出力することのできる汎用ハンドラ（LIB）です。MS - C, TURBO - C, BORLAND - C等でリンクできます。本機の基本的な機能が関数化されており、ユーザは自身の記述するメインルーチンの中から自由に呼び出して使用することができます。【最大8チャンネル＝ボード数の同期運転も可能】

5-1. 適用システム

- パソコン本体 : IBM PC / AT 互換機（要ISAバス）
 本体メモリ量 : 標準メモリ640KB以上（EMS, XMSメモリ使用可能）
- OS・言語 : MS - DOS（3.1以上）、および
 MS - C（7.0）、Visual - C++、
 TURBO - C++（4.0）、または
 BORLAND - C++（3.1以上）
- 供給メディア : 本製品（MDA - 761AT）添付の3.5インチFD
- チャンネル数 : 最大8（＝ボード数／マスタスレーブ接続）【注】
- サンプリング速度 : クロック同期・サイクルモードでは8.192MHz、
 非サイクルモードではチャンネル数、データ数、CPU速度に依存。
 【例】1ch / 64K語 / 486（66MHz）：約260KHz
 1ch / 64K語 / Pen（100MHz）：約610KHz
- DA出力データ数 : 標準メモリ、または拡張メモリ（EMS, XMS）上で確保可能な
 容量（バイト数÷2）

【注】動作の制約等 : 複数ボード使用時の波形データ点数は全チャンネル同数とする。
 " " " のスタート/ストップは全チャンネル同時。

非サイクルモードでの追加データ転送はポーリングまたは割り込みに限る。（DMA使用不可）なお自動繰り返し動作機能はない。

複数ボード使用時、マスタのクロック出力を直結できるスレーブ数は使用する最高クロック値の制限を受ける。（波形が鈍るため。）この数は8MHz：3枚、4MHz：5枚、1MHzのとき7枚。なお、マスタからクロックを供給されたスレーブのクロック出力を他のスレーブに供給可能。（通過遅れ：約250ns）

図5 - 1 . プログラム構造



5-2. 使用方法

ハードウェアの準備

本ハンドラは最大8枚のMDA - 7 6 1 A Tを運転することができます。 各ボードの設定、接続は以下のとおりです。

1枚だけ使用するときにはボード上のスイッチによるI/Oベースアドレス値(1-3項)を本ハンドラ初期設定関数に渡す値と一致させます。

複数枚を使用するときには1枚目(マスタ)ボード上のスイッチによるI/Oベースアドレス値(1-3項)を本ハンドラ初期設定関数に渡す値と一致させます。

2枚目以降(スレーブ)ボードのI/Oベースアドレスは1000hずつ加算した値に設定します。 またマスタボードのクロック出力を各スレーブボードのクロック源入力に接続します。(3-20項・参照)

表5 - 2 A . 各ボード上のI/Oアドレス・スイッチ設定例(マスタ:出荷時設定値)

各ボード	SW 1	SW 2	SW 3	各I/Oベースアドレス値
1枚目 (マスタ)	0	1	E	0 1 E 0【ハンドラに渡す】
2枚目 (スレーブ)	1	1	E	1 1 E 0
3枚目 (スレーブ)	2	1	E	2 1 E 0
4枚目 (スレーブ)	3	1	E	3 1 E 0
5枚目 (スレーブ)	4	1	E	4 1 E 0
6枚目 (スレーブ)	5	1	E	5 1 E 0
7枚目 (スレーブ)	6	1	E	6 1 E 0
8枚目 (スレーブ)	7	1	E	7 1 E 0

プログラムの作成

御自身の作成したメインプログラムをコンパイル、本ハンドラ(LIB)とリンクして使用します。 テストには付属のサンプルを利用してください。 なお、ライブラリ等は4-1項に従ってインストールしておきます。

```

¥
|
|
MSCIENCE
|
HND761C - - INCLUDE - - - H761.H : ハンドラ共通ヘッダファイル
|
| - - LIB - - 761TS.LIB : TURBO-C, BORLAND-C用スモールモデル
|           | - 761TL.LIB : TURBO-C, BORLAND-C用ラージモデル
|           | - - 761MS.LIB : MS-C用スモールモデル
|           | - - 761ML.LIB : MS-C用ラージモデル
|
| - - SMP761CH - - SAMPLE .C : サンプル・ソース

```

図5 - 2 A . ディレクトリ

表 5 - 2 B . 関数一覧

関数名	機能・動作	主なパラメータ等
<code>da__open__dasys</code>	ボード、本ハンドラの初期化	I / O アドレス/割り込みレベル
<code>da__set__sampch</code>	チャンネル関連の設定	チャンネル数
<code>da__set__trigger</code>	トリガ（スタート）関連の設定	トリガ源、極性
<code>da__set__samppmode</code>	波形データ転送モードの設定	データ転送方法/バッファ領域
<code>da__set__exclk</code>	オプション、外部クロックの設定	外部クロック周波数
<code>da__set__clock</code>	クロック源、クロック値の設定	クロック源/分周比
<code>da__start__samp</code>	波形出力スタート（32KB以内）	DAデータ数/更新モード
<code>da__start__samp_h</code>	波形出力スタート（32KB超過）	" " " "
<code>da__out__ab</code>	DA即時・同期更新出力（A, B）	DAデータa, b
<code>da__out__b</code>	DA即時・単独更新出力（Bのみ）	DAデータb
<code>da__get__status</code>	ボード・ステータスの取得	ボード・ステータス
<code>da__get__count</code>	DAデータ数カウンタの現在値を取得	データ数/ブロック数
<code>da__stop__samp</code>	波形出力の強制停止	
<code>da__close__dasys</code>	本ハンドラの終了	
<code>da__write__exmem</code>	拡張メモリにDAデータを書き込む	データ数/ブロック数/バッファ
<code>da__set__datacode</code>	DAデータコードの選択	バイナリ/2の補数
<code>da__sel__outsig</code>	出力信号（クロック/SYNC）切り替え	
<code>da__onkey__quit</code>	KEY操作によるトリガ待ち停止	(CNTL) + (PAUSE)
<code>da__onkey__trg</code>	KEY操作による強制トリガ（出力開始）	ESC/SPACE/ENTER
<code>da__set__timeout</code>	トリガ待ちタイムアウト時間の設定	秒単位
<code>da__clear__flags</code>	波形出力条件の再設定（前回と同一）	
<code>da__onintr__func</code>	割り込みで実行するユーザ関数の指定	割り込み要因
<code>da__get__libver</code>	本ハンドラのバージョン情報取得	

応用プログラムの記述

ユーザプログラムは以下の手順で記述します。 実際の作成時はサンプル・ソース（図5 - 2 A参照）に習ってください。

（１） 初期化を行う。【`da__open__dasys（ ）`】

ここではボード上で設定したI / Oベースアドレスを本ハンドラが認識すると同時に使用する場合の割り込みレベル設定、ボードリセット、その他、ハンドラ内の参照テーブルやデータバッファを初期化する。

（２） パソコン本体の（標準, EMS, or XMS）メモリ上にDAデータバッファを確保し、出力すべきDAデータを書き込む。

（３） サンプリング（DA出力）条件を設定する。

チャンネル関連	【 <code>da__set__sampch（ ）</code> 】
サンプリング・モード関連	【 <code>da__set__samppmode（ ）</code> 】
トリガ関連	【 <code>da__set__trigger（ ）</code> 】
クロック関連	【 <code>da__set__clock（ ）</code> 】

（４） サンプリング開始。【`da__start__samp（ ）`】

（５） 動作状態（ステータス）取得。【`da__get__status（ ）`】

（６） サンプリング停止。【`da__stop__samp（ ）`】

5-3. 関数セット

初期化、動作条件設定、スタート、ストップ、ステータス取得、汎用割り込み処理、等々、各関数は波形出力を実現する基本機能単位となっています。また、各関数は自身の性格から適切な実行手順があります。（前5 - 2項・参照）

【1】MDA - 761ATボード、および本ハンドラの初期化

<code>int da_open_dasys(int address, int num_board, int intr_no)</code>	
<code>address</code>	MDA - 761ATボード1枚のみ使用時、または複数枚使用時のマスタボードに設定されたI/Oベースアドレス（表5 - 2参照）。標準 = 0x01E0
<code>num_board</code>	MDA - 761ATボードの使用枚数。
<code>intr_no</code>	使用する割り込みレベル。/ 3, 5, 7, 9, 10, 11, 12, 15 から選択。範囲外の値は不使用を意味する。（割り込みはマスタのみが使用する。）
戻り値	正常終了時： 0 エラー時： エラーコード（負の値/エラーコード表5 - 3参照）
機能・動作	MDA - 761ATボード上で設定したI/Oベースアドレスを本ハンドラが認識すると同時に使用する場合の割り込みレベル設定、ボードリセット、その他、ハンドラ内の参照テーブルやデータバッファを初期化する。 当関数実行直後の各ボードはチャンネルAB, 共に0V出力、また即時・同期更新モード。いつでも、後記【8】の1データ即時・同期更新出力が可能。 波形出力するときは【2】～【5】の条件設定後、【6】or【6】'でスタート。

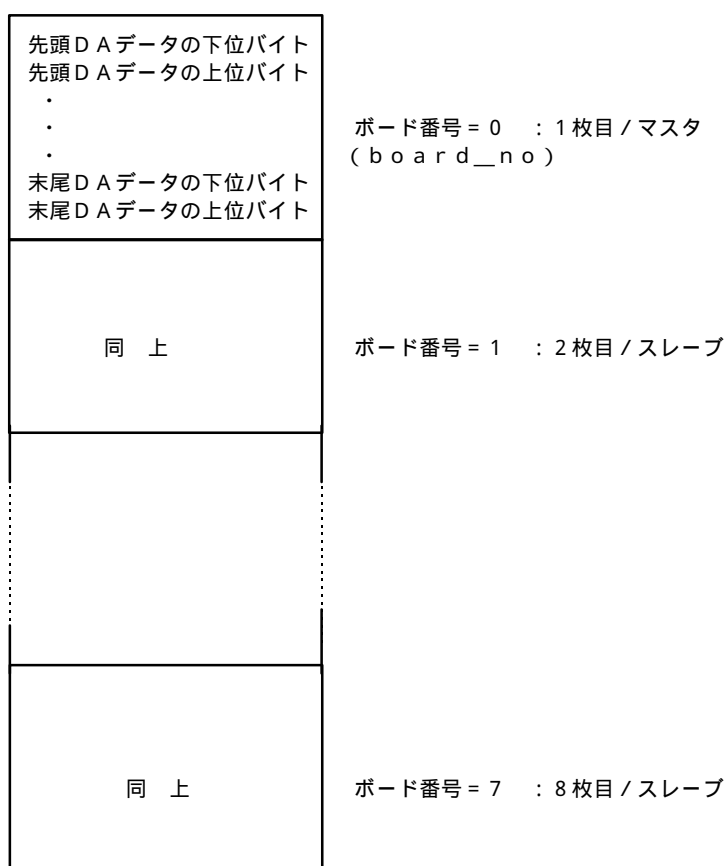
【2】トリガ（スタート方法）関連の設定

<code>int da_set_trigger(int trig_source, int trig_pol)</code>	
<code>trig_source</code>	トリガ源。 / 0：即トリガ、 1：外部トリガ（入力待ち）
<code>trig_pol</code>	外部トリガ極性。/ 0：負エッジ（ ）、 1：正エッジ（ ）、 2：負レベル、 3：正レベル
戻り値	正常終了時： 0 エラー時： エラーコード（負の値/エラーコード表5 - 3参照）
機能・動作	波形出力スタート条件を設定する。 外部トリガ極性でレベルを指定したときは指定されたレベル間だけ波形出力が行われる帯域動作となる。（3 - 17項参照）

【3】波形データ転送モードの設定

<pre>int da_set_sampmode(int trs_mode[], int buf_area, int intr_sw)</pre>	
trs_mode[0]	波形データ追加転送方法。 / 0 : I/O 命令（本ソフトではDMAを不使用）
trs_mode[1]	波形データ追加転送の起動要因（割り込み使用時は要求発信要因）。 / 0 : Not - Full、 1 : Not - Half Full
buf_area	波形データ格納バッファ。 / 0 : 標準（コンベンショナル）メモリ、 1 : EMS、 2 : XMS
intr_sw	波形データ追加転送に割り込み使用の有無。 / 0 : 不使用、 1 : 使用
戻り値	正常終了時： 0 エラー時： エラーコード（負の値 / エラーコード表 5 - 3 参照）
機能・動作	波形データ追加転送（非サイクルモード）、および波形データバッファに関する条件を設定する。ここで割り込みを不使用とすれば追加転送の起動はポーリングによって検出・実行される。なお、ここで割り込みを使用しない設定のときは、割り込みを【19】ユーザ関数の起動に使用することもできる。

図 5 - 3 . 波形データ格納バッファ内のデータ配置



【4】オプション、または外部クロック源周波数値の設定

<code>int da_set_exclk(ULONG exclk_freq)</code>	
<code>exclk_freq</code>	オプション、または外部クロック源の周波数 (Hz 単位)
戻り値	正常終了時: 0 エラー時: エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	オプションまたは外部クロック源を使用する場合、その周波数 (Hz 単位) を設定する。 後記【5】 <code>da_set_clock</code> で分周比によるクロック指定、またはボードに標準搭載の内部クロック源 (8MHz、8.192MHz) を使用するときは必要ない。

【5】サンプリング (波形出力同期) クロック値の設定

<code>int da_set_clock(int clk_source, int set_mode, int *time_unit, ULONG *clk_period)</code>	
<code>clk_source</code>	クロック源指定。 / 0: 内部クロック源 0 (8.000MHz) 1: 内部クロック源 1 (8.192MHz) 2: 内部クロック源 2 (オプション) 3: 内部クロック源 3 (未使用) 4: 外部クロック源 (有効極性:) 5: 外部クロック源 (有効極性:)
<code>set_mode</code>	サンプリング・クロックの指定方法。 / 0: クロック周期の値、 1: 分周比
<code>*time_unit</code>	クロック周期の単位。 / 0: s, 1: ms, 2: μ s, 3: ns
<code>*clk_period</code>	クロック周期の値、または分周比。
戻り値	正常終了時: 0 エラー時: エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	サンプリング・クロック値を設定する。 なお設定できない値が指定されたときは設定可能な長い方の近似値が設定される。 またクロック源を 2, 4, 5 から選び、クロックを周期の値で指定するときは前記の【4】 <code>da_set_exclk</code> でクロック源の周波数値を定義しておく必要がある。

【6】サンプリング（波形出力）スタート 《波形データバッファが32K語以内のとき》

<pre>int da_start_samp(WORD num_data, WORD num_block, int upd_mode, WORD *bufptr)</pre>	
num_data	1ブロック当りのデータ数。（サイクルモードでは1周期分：FIFOメモリ容量以内）
num_block	出力ブロック数。（num_data）×（num_block）＝総出力データ数。
upd_mode	更新モード。/ 0：サイクル（停止操作まで無限）、 1：サイクル（ x を出力） 2：非サイクル（ x を出力）
*bufptr	波形データバッファのポインタ。
戻り値	正常終了時： 0 エラー時： エラーコード（負の値／エラーコード表5-3参照）
機能・動作	サンプリングをスタート（外部トリガ指定のときはトリガ待ち）させます。 引数は複数チャンネル（複数ボード）使用時も全チャンネル共通です。 データバッファ（パソコン側）は全チャンネル分で、図5-3の構成です。なお、 【3】da_set_sampmodeでbuf_areaを拡張（EMS，XMS）メモリに指定したときは が無視されます。（ により本ハンドラが自動設定）

【6】‘ サンプリング（波形出力）スタート 《波形データバッファが32K語を超えるとき》

<pre>int da_start_samp_h(WORD num_data, WORD num_block, int upd_mode, WORD __huge *bufptr)</pre>	
num_data	1ブロック当りのデータ数。（サイクルモードでは1周期分：FIFOメモリ容量以内）
num_block	出力ブロック数。（num_data）×（num_block）＝総出力データ数。
upd_mode	更新モード。/ 0：サイクル（停止操作まで無限）、 1：サイクル（ x を出力） 2：非サイクル（ x を出力）
*bufptr	波形データバッファのポインタ。
戻り値	正常終了時： 0 エラー時： エラーコード（負の値／エラーコード表5-3参照）
機能・動作	サンプリングをスタート（外部トリガ指定のときはトリガ待ち）させます。 引数は複数チャンネル（複数ボード）使用時も全チャンネル共通です。 データバッファ（パソコン側）は全チャンネル分で、図5-3の構成です。なお、 【3】da_set_sampmodeでbuf_areaを拡張（EMS，XMS）メモリに指定したときは が無視されます。（ により本ハンドラが自動設定）

《注1》 サンプリング（波形出力）スタート関数【6】と【6】‘ は総出力データ量の大きさにより使い分けてください。 機能は全く同一です。

《注2》 サイクルモード時の1ブロック当りデータ数（ ）は、FIFO容量（標準4K語）以内で、指定回数（ ）または停止操作まで繰り返し出力します。一方、非サイクルモード時は総出力データ（ x ）を1回だけ出力して動作終了となります。

【7】D AチャンネルA, B 即時・同期更新出力

<code>int da_out_ab(int board_no, int upd_va, int upd_vb)</code>	
<code>board_no</code>	更新出力する対象ボードの番号 / 0 : 1 枚目 (マスタ)、 1 ~ 7 : スレーブ
<code>upd_va</code> <code>upd_vb</code>	チャンネルA出力データ。 / 整数 0 ~ 4 0 9 5 (d i g i t) チャンネルB " " / " " (")
戻り値	正常終了時 : 0 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	チャンネルA, B 同時に新データで更新されます。 本関数は【1】初期化の後、単独で実行可能です。 波形出力中に本関数が実行されると、その時点で波形出力が停止し、続いて本関数の結果が得られます。乗算、または減算 (加算) 出力モードのときは、この過程で出力に (瞬間的な) 乱れが生じることがありますから御注意ください。

【8】D AチャンネルBのみ即時更新出力 《チャンネルAが波形出力中の時だけ有効》

<code>int da_out_b(int board_no, int upd_vb)</code>	
<code>board_no</code>	更新出力する対象ボードの番号 / 0 : 1 枚目 (マスタ)、 1 ~ 7 : スレーブ
<code>upd_vb</code>	チャンネルB出力データ。 / 整数 0 ~ 4 0 9 5 (d i g i t)
戻り値	正常終了時 : 0 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	チャンネルAが波形出力中のとき、チャンネルBが新データで更新されます。 本関数はチャンネルAの波形出力が行われていない時は無効です。当チャンネルBがチャンネルAの振幅制御 (乗算モード) に使用されている場合、またはチャンネルAの波形出力中に当チャンネルBを更新したい場合の用途です。 本関数実行によるチャンネルBの更新タイミングは、直後の (波形出力用) クロック、すなわちチャンネルA更新タイミングです。クロック周期が長い場合や外部クロックを使用するときは注意が必要です。

【9】ボードステータスの取得

<code>int da_get_status(int board_no, WORD *cnt0_data, WORD *cnt1_block, int eos, int *intr_req, int *upd_err, int status[])</code>	
<code>board_no</code>	ステータス取得する対象ボードの番号 / 0 : 1 枚目 (マスタ)、 1 ~ 7 : スレーブ
<code>cnt0_data</code> <code>cnt1_block</code> <code>eos</code> <code>intr_req</code> <code>upd_err</code> <code>status[0]</code> <code>status[1]</code>	(1 ブロック中の) 出力データ数カウンタの現在値。 / カウンタ # 0。 出力ブロック数カウンタの現在値。 / カウンタ # 1。 D A 出力終了。 / 1 : 終了、 0 : 出力中または開始前。 割り込み要求発生。 / 1 : 発生、 0 : 未発生 / (3 - 1 0 項) 更新出力エラー。 / 1 : 発生、 0 : 未発生 / (3 - 1 8 項) ボードステータス 1。 / 1 バイト生データ (3 - 1 8 項) ボードステータス 2。 / 未使用
戻り値	正常終了時 : 0 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	は動作進行状況、または終了の検出に使用します。 なお は一旦セットされると【1】初期化、または【18】フラグクリア関数でリセットするまで保持されます。

【10】サンプリング（波形出力）動作の強制停止

<code>int da_stop_samp(void)</code>	
引 数	な し。
戻り値	正常終了時： 0 エラー時： エラーコード（負の値 / エラーコード表 5 - 3 参照）
機能・動作	<p>全チャンネル（ボード）のサンプリング動作を強制的に停止します。</p> <p>各チャンネルの出力は最後に更新された値を保持しています。 この後、スタート関数により再スタート（続きを実行）することができます。</p> <p>F I F Oメモリ内の残りデータはそのまま待機状態です。 この後、新たな波形出力を行うときは再度【1】～【5】の手順を踏むか、同一条件で再設定の関数【18】を実行してからスタート【6】 or 【6】'させます。</p>

【11】本ハンドラの終了

<code>int da_close_dasys(void)</code>	
引 数	な し。
戻り値	正常終了時： 0 エラー時： エラーコード（負の値 / エラーコード表 5 - 3 参照）
機能・動作	<p>本ハンドラの終了。 確保したメモリ領域の開放等、開始前の状態に戻す。</p> <p>【注】 D A出力の最終状態を維持するためにボードのリセットは行いません。 0 v出力に戻して終了したいときは【7】即時出力関数で0 v相当データを書き込んでから本関数を実行します。</p>

以上【1】～【11】が主要関数です。 以下の【12】～ は補助的な関数です。

【12】拡張メモリにD Aデータを書き込む (h u g e ポインタを使用しない場合)

<pre>int da_write_exmem(int board_no, WORD num_data, WORD num_block, int upd_mode, WORD *bufptr)</pre>	
<pre>board_no num_data num_block upd_mode</pre>	書き込み対象チャンネル（ボード番号：0～7） 1ブロック当りのデータ数 全ブロック数 D/A出力更新モード / 0：サイクル（停止操作まで無限）、 1：サイクル（× を出力）、 1：非サイクル（× を出力）
<pre>bufptr</pre>	バッファのポインタ
戻り値	正常終了時： 0 エラー時： エラーコード（負の値 / エラーコード表 5 - 3 参照）
機能・動作	<p>標準メモリに入りきれない大容量のデータを D/A 出力するときは、当関数を使用して拡張メモリに書き込んで使用します。</p> <p>総データ数を標準メモリ上のバッファに入る程度の複数ブロックに等分し、1ブロックずつバッファに書き込んでから当関数を実行する（ブロック数だけ繰り返す）。 なお、別データを再書き込みするときは本ハンドラを一旦終了、再オープンして行う。</p>

【12】‘拡張メモリにD Aデータを書き込む (h u g e ポインタを使用する場合)’

<pre>int da_write_exmem(int board_no, WORD num_data, WORD num_block, int upd_mode, WORD huge *bufptr)</pre>	
<pre>board_no num_data num_block upd_mode</pre>	書き込み対象チャンネル（ボード番号：0～7） 1ブロック当りのデータ数 全ブロック数 D/A出力更新モード / 0：サイクル（停止操作まで無限）、 1：サイクル（× を出力）、 1：非サイクル（× を出力）
<pre>bufptr</pre>	バッファのポインタ
戻り値	正常終了時： 0 エラー時： エラーコード（負の値 / エラーコード表 5 - 3 参照）
機能・動作	<p>標準メモリに入りきれない大容量のデータをD/A出力するときは、当関数を使用して拡張メモリに書き込んで使用します。</p> <p>総データ数を標準メモリ上のバッファに入る程度の複数ブロックに等分し、1ブロックずつバッファに書き込んでから当関数を実行する（ブロック数だけ繰り返す）。 なお、別データを再書き込みするときは本ハンドラを一旦終了、再オープンして行う。</p>

【13】DAデータコードの指定

<pre>int da_set_datacode(int data_code_a, int data_code_b)</pre>	
data_code_a	チャンネルAのDAデータ・コードの選択。 / 0 : バイナリ、 1 : 2の補数
data_code_b	チャンネルBのDAデータ・コードの選択。 / 0 : バイナリ、 1 : 2の補数
戻り値	正常終了時 : 0 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	本ボードMDA - 7 6 1 A Tに入力コード (DAデータの型) を指定する。 チャンネルA , B ごとに全ボード共通。

【14】クロック / SYNC ・外部出力の切り替え

<code>int da_sel_outsig(int out_sig[])</code>	
<code>out_sig[]</code>	クロック / SYNC ・出力選択。 / 0 : クロック、 1 : SYNC [] 内はボード番号 0 ~ 7、複数ボード使用時の [0] はマスタなので必ず 0 とする。
戻り値	正常終了時 : 0 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	外部へのクロック信号出力 (コネクタ CN2 の CLK - OUT) を必要なら SYNC 信号 (各 1 ブロック・データの開始タイミング) に切り替えることができる。 但し、複数ボード使用時のマスタはクロックを出力しなくてはならないので、必ずクロック側に設定すること。

【15】 《 BREAK キー押下によるトリガ待ち停止 》の設定 / 解除

<code>int da_onkey_quit(int set_mode)</code>	
<code>set_mode</code>	動作の指定。 / 0 : 解除、 1 : 設定
戻り値	正常終了時 : 0 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	BREAK (= CTRL + PAUSE) キーの押下により、トリガ待ちを停止させる。サンプリング (波形出力) 中であればサンプリングを強制停止させる。 スタート関数の実行によって外部トリガ待ち状態になったにもかかわらず何かの理由でトリガが入力されない場合、人為的にトリガ待ちループから抜け出る手段となる。

【16】 《 有効キー押下による強制的・即トリガ動作 》の設定 / 解除

<code>int da_onkey_trg(int act_key)</code>	
<code>act_key</code>	有効な動作 key。 / 0 : 解除、 1 : ESC、 2 : SPACE、 3 : ENTER
戻り値	正常終了時 : 0 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	有効な動作キーの押下により、強制的に即トリガ動作 (波形出力開始) させる。スタート関数の実行によって外部トリガ待ち状態になったにもかかわらず何かの理由でトリガが入力されない場合、人為的にトリガ待ちループから抜け出る手段となる。

【17】 《 (トリガ待ち) タイムアウト 》の設定 / 解除

<code>int da_set_timeout(WORD set_time)</code>	
<code>set_time</code>	タイムアウトまでの時間 (単位 = 秒)。 / 1 ~ 6 5 5 3 5、 0 : 解除、
戻り値	正常終了時 : 0 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	スタート関数の実行によって外部トリガ待ち状態になったにもかかわらず何かの理由でトリガが入力されない場合、当時間が経過するとトリガ待ちを停止する。

【18】フラグクリア、およびサンプリング条件の再設定

<code>int da_clear_flags(set_mode)</code>	
<code>set_mode</code>	DA出力条件再設定の有無。 / 0 : フラグクリアのみ。 1 : フラグクリア後、DA出力条件を再設定する。
戻り値	正常終了時 : 0 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	各フラグをクリアし (3 - 18 項)、サンプリング条件を前回と同一に再設定する。 DA出力条件の再設定 : 具体的には【2】～【5】の関数を実行する。 フラグクリアにはFIFOメモリのリセットが含まれており、停止時の残りデータを破棄して (停止時の出力値を起点に) 新データ群を定義・出力することができる。

【19】 割り込み発生時に実行するユーザ関数の設定

<code>int da_onint_func(int intr_source, void interrupt_far *func)</code>	
<code>intr_source</code>	割り込み要求の発生要因。 / 0 : クロック (波形出力の各データ更新タイミング) 1 : 外部割り込み入力 () 2 : 外部割り込み入力 () 3 : トリガ発生 4 : 指定ブロック数の更新出力終了 5 : 各ブロックの先頭データ更新出力時
<code>*func</code>	ユーザ作成関数のポインタ
戻り値	正常終了時 : 0 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	ユーザが任意に作成した割り込み処理関数の指定。 但し、当指定は【3】波形データ転送モードで、割り込みを不使用に設定した場合のみ可能です。 なお、【1】初期化実行の直後は可能な状態です。

【20】 本ハンドラのバージョン取得

<code>int da_get_libver(int ver)</code>	
<code>ver</code>	0 : 戻り値は (メジャー・バージョン番号) + (マイナー・バージョン番号) 1 : 戻り値は (メジャー・バージョン番号) 2 : 戻り値は (マイナー・バージョン番号)
戻り値	正常終了時 : 本ハンドラのバージョン番号 エラー時 : エラーコード (負の値 / エラーコード表 5 - 3 参照)
機能・動作	本ハンドラのバージョン情報を得る 例えばバージョンが1.01の場合、本関数を <code>ver = 0</code> として実行すると戻り値は <code>0x101</code> となります。

エラー 本ハンドラの各関数は実行前後（または実行中）に不適当なパラメータや動作状態を検出するとエラーコードを返してきます。

表 5 - 3 A . エラーコード一覧

戻り値	不具合の内容、または因果情報	適用関数、引数、等
- 1	ボードを検出できない。(ボード不在、I/Oアドレス不一致、等)	ad__open__adsys
- 2	ハンドラ初期化時のメモリ不足。	
- 3	初期化が未実行。	
- 4	スタート関数【6】【6】'実行前の条件設定不足。	ad__start__samp
- 10	ボード数、またはボード番号指定エラー。	num__board, board__no
- 11	トリガ源の指定が不適当。	trig__source
- 12	トリガ極性の指定が不適当。	trig__pol
- 13	波形データ追加転送方法の指定が不適当。	trs__mode[0]
- 14	波形データ追加転送の起動要因指定が不適当。	trs__mode[1]
- 15	波形データ格納バッファの指定が不適当。	buf__area
- 16	割り込み使用の有無指定が不適当。	intr__sw
- 17	クロック源の指定が不適当。	clk__source
- 18	クロックの指定が不適当。	set__mode
- 19	クロック周期単位の指定が不適当。	time__unit
- 20	クロック周期値の指定が不適当。	clk__period
- 21	1ブロック当りのデータ数、ブロック数値の指定が不適当。	num__data, num__block
- 22	更新モードの指定が不適当。	upd__mode
- 23	更新モード=サイクル時に割り込みは不可。	
- 24	1ブロック当りのデータ数がFIFOの(1/2容量)より大きい。	
- 25	データ数が64KBを超える。	da__start__samp()
- 30	データ格納バッファに拡張メモリが指定されていない。	da__write__exmem()
- 31	拡張メモリへのデータ書き込みは全て終了済み。	同上。
- 32	指定ボード用のデータは既に拡張メモリに書き込み済み。	同上。
- 33	前ボード用のデータ書き込み未完了。(若い番号ボードから順に！)	同上。
- 34	チャンネルAのDAデータ・コード指定が不適当。	data__code__a
- 35	チャンネルBのDAデータ・コード指定が不適当。	data__code__b
- 36	DA出力停止KEYは【CNTL+PAUSE】KEYに設定済み。	
- 37	トリガ待ち解除・強制実行(スタート)KEYは設定済み。	
- 38	DA出力(サンプリング)に割り込みを使用している。	da__onint__func
- 39	割り込み要求源の指定が不適当。	intr__source
- 40	ユーザ作成関数が存在しない。	func
- 41	外部クロック源周波数の指定なしでクロック周期を指定した。	clk__period
- 42	指定したクロック周期または分周比が大きすぎる。	clk__period
- 50	DA出力(サンプリング)終了。	
- 51	【CNTL+PAUSE】KEYで停止した。	
- 52	タイムアウト時間経過によりトリガ待ちを停止した。	
- 53	クロック同期更新エラー発生。(クロック値が速すぎるなど)	

表 5 - 3 B . エラーコード一覧

戻り値	不具合の内容、または因果情報	適用関数、引数、等
- 6 0	E M S 関連：常駐していない。	
- 6 1	E M S 関連：物理ページのエン트리取得エラー。	
- 6 2	E M S 関連：物理ページ数が不足。(4 ページ必要)	
- 6 3	E M S 関連：ページ・フレームのアドレス取得エラー。	
- 6 4	E M S 関連：未アロケート・ページ数取得エラー。	
- 6 5	E M S 関連：メモリ不足エラー。	
- 6 6	E M S 関連：ページの割り当てとハンドルの取得エラー。	
- 6 7	E M S 関連：マップエラー、E M S データ転送エラー(割り込み時)。	
- 6 8	E M S 関連：既に開放されている。	
- 7 0	X M S 関連：常駐していない。	
- 7 1	X M S 関連：ドライバ・エン트리アドレス取得エラー。	
- 7 2	X M S 関連：フリーメモリ取得エラー。	
- 7 3	X M S 関連：メモリ不足エラー。	
- 7 4	X M S 関連：メモリ確保エラー。	
- 7 5	X M S 関連：転送バッファ確保エラー。	
- 7 6	X M S 関連：データ転送エラー。	
- 7 7	X M S 関連：マップエラー、X M S データ転送エラー(割り込み時)。	
- 7 8	X M S 関連：既に開放されている。	

第6章 . 保守・その他

6-1. 故障・トラブル等の原因と対処

本機は【DOS/V系パソコン】+【拡張ボックス】のシステム構成で全数検査のうえ出荷されています。お手元での動作確認方法は1 - 6項に記されています。動作に不具合があるときは以下の諸点を再点検してください。それでも不明なときは巻末の【Q & Aフォーム】にシステム構成（特に外部機器の接続回路）等の動作条件を御記入のうえ、技術部宛FAXしてください。

迅速に応答する体制となっています。なおTELいただく場合も、客観情報の整理・評価は問題解決のスピードアップにつながりますから、事前に【Q & Aフォーム】をFAXしてください。

再点検・確認ポイント

- | | |
|----------------------|--|
| (1) I/Oアドレス | IBMPC/AT互換機の規定範囲か？(1 - 3項)
他のボードと重複していないか？ |
| (2) DMA ,
割り込みレベル | 他のボードと重複していないか？(3 - 9項) |
| (3) トリガ関連 | トリガ待ち状態ではプログラムが止まってみえる。(3 - 17項) |
| (4) アナログ出力 | 負荷：5K 以上、1000pF以下(2 - 1項) |
| (5) アナログ入力 | ±15v（本ボード内のアナログ回路電源電圧）以上の過大入力
が印加されると故障の原因となります。(2 - 1項) |
| (6) デジタル入力 | 本ボードのTTL入力（外部クロック、トリガ、割り込み）に接続
できる信号源はTTL（LS、CMOS等を含む5v電源動作素子）
に限ります。現場で不適切な信号源を接続したために本ボード内
のTTL入力素子を破損する事故が頻発していますので御注意くだ
さい。(次ページ/図6 - 1参照) |

動作確認方法

当社では原則として、ユーザ作成のソフトウェアについては評価しません。動作確認は本製品添付の当社製プログラム(1 - 6項)の実行結果について推測・適否・判定を行います。

QAリクエスト時には当プログラムの実行結果をレポートしてください。

ボード内TTL入力素子破損の主な原因

TTL入力素子の絶対最大定格は【負側： - 0.6 v】【正側： + 7 v】です。このレベルを一瞬でも超えると入力素子破壊の原因になります。 主な危険要素は、

ファンクション・ジェネレータ等の交流信号出力を接続して破損させる例が多いようです。矩形波でも±に振れる信号は接続できません。特に、負側の許容レベル【- 0.6 V】が低いことに注意してください。

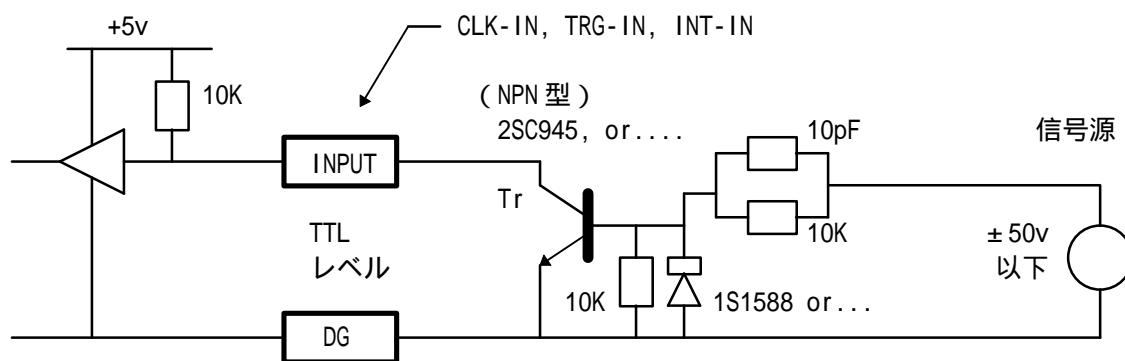
+ 5 v 以上に振れるロジック信号も接続できません。 12 v ~ 24 v 電源を使用する機器からのデジタル信号は不可、信号レベルが不明なときは信号源の電源電圧が目安になります。

アナログ信号源は $\pm 15\text{ V}$ 電源によるオペアンプ出力が多く危険です。なお、TTL入力にアナログ信号を接続しても立上り/立下り特性等が仕様を満足せず、正常な動作は期待できないでしょう。

信号源と本ボードのグランド・レベルに差があるときも危険です。（テストで測定可能）

図 6 - 1 . 【高レベル信号】 【TTLレベル】変換回路例

(ボード内部)



《注》本回路はインバータ（極性反転）です。

6-2. 再調整

動作テスト・確認の方法は【1 - 6 項】のとおりです。同テストから得られた値に入力範囲の変化やオフセットが認められるときは再調整が必要です。アナログ回路は経年・環境変化に対する保守を定期的に行うことが望ましく、夏冬の使用環境（周囲温度）に差がある場合は季節単位、通年安定した使用環境の場合は1～2年に1度は校正することが理想的です。

再調整の方法・手順を以下に記しますが、極細のドライバ、デジタル電圧計を必要とし、手順もやや複雑ですから御希望により当社でも（実費で）お請けします。

== 準備 ==

本ボード上の諸設定は出荷時の状態（1 - 2 項，1 - 3 項）とします。

パソコン本体または拡張 I / O ボックスの電源を切った状態でカバーを外し、任意の拡張（ISAバス用）I / O スロットに本ボードを無理なく押し入れ装着します。このとき、

パソコン本体または拡張 I / O ボックスの電源を必ず切っておく。電源を入れたままで本ボードを抜き差しすることは双方の故障原因となります。

本ボードのカードエッジ（金メッキ端子）に手を触れないこと。手を触れると、（油脂成分の付着等により）接触不良の原因となることがあります。もし、触れてしまった場合はアルコール等で拭き清めてください。

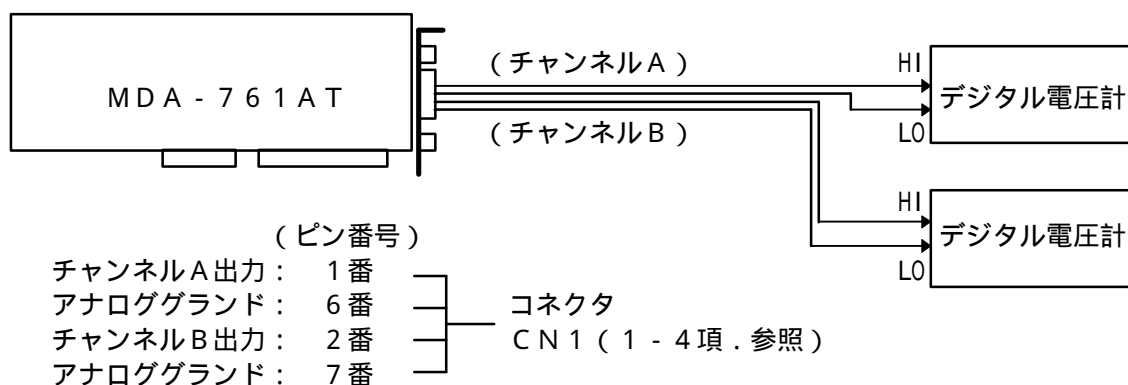
イクステンダ等により本ボードを I / O スロットから引き出した状態では誤動作を起こすこともありますから、必要以外は使用しないでください。

同時に使用する他の I / O ボードがあり、これに設定されている I / O アドレスが本ボードの（出荷時）設定と重なる場合は、本ボードの I / O ベースアドレスをシステムの許す範囲で変更・設定してください。その場合は、試運転プログラムの冒頭で本ボードの I / O ベースアドレスを初期値から変更した値に設定する必要があります。【1 - 3 項・参照】

図 6 - 2 のように、本ボードの D A チャンネル A、B 出力をデジタル電圧計に接続します。

以上で準備完了です。電源投入順序は全機器同時、または外部機器を先にパソコン本体を最後に行います。電源切断は逆順序です。

図 6 - 2 . 再調整用の測定機接続



電源を投入、MS - DOSシステムを立ち上げます。再調整に使用するプログラムは試運転でも使用した“7 6 1 Q B 1”です。> 7 6 1 Q B 1【ENTER】でプログラムが走り始めます。

メニュー - から“PROMPT MODE”（即時更新モード）を選択し、表6 - 1 / 6 - 2の目標値を得るよう、オフセット調整とゲイン調整を交互に2 ~ 3回繰り返して最適位置を求めます。

【調整トリマ番号】： 以下の文中、 = AはチャンネルA用
= BはチャンネルB用 です。

——— 当社出荷時の標準Aモード（2 - 2項・参照）の場合 ———

オフセット調整： アナログ出力範囲をユニポーラ（0 ~ + 1 0 v / 0 ~ + 5 v）に設定しているときは出力データを“0 0 0 h”（0 digit）とし、出力電圧が0 vとなるようにTM 1を調整する。
バイポーラ（± 1 0 v / ± 5 v）に設定しているときは出力データを“8 0 0 h”（2 0 4 8 digit）とし、出力電圧が0 vとなるようにトリマTM 2を調整する。

ゲイン調整： アナログ出力範囲をユニポーラ（0 ~ + 1 0 v / 0 ~ + 5 v）に設定しているときは出力データを“F A 0 h”（4 0 0 0 digit）とし、出力電圧が表6 - 1 Aの目標値となるようにTM 3を調整する。
バイポーラ（± 1 0 v / ± 5 v）に設定しているときは出力データを“F D 0 h”（4 0 4 8 digit）とし、出力電圧が表6 - 2 Aの目標値となるようにトリマTM 3を調整する。

——— 当社・非標準Bモード（2 - 2項・参照）の場合 ———

オフセット調整： アナログ出力範囲をユニポーラ（0 ~ + 1 0 v / 0 ~ + 5 v）に設定しているときは出力データを“0 0 0 h”（0 digit）とし、出力電圧が0 vとなるようにTM 1を調整する。
バイポーラ（± 1 0 v / ± 5 v）に設定しているときは出力データを“8 0 0 h”（2 0 4 8 digit）とし、出力電圧が0 vとなるようにトリマTM 2を調整する。

ゲイン調整： アナログ出力範囲をユニポーラ（0 ~ + 1 0 v / 0 ~ + 5 v）に設定しているときは出力データを“F F F h”（4 0 9 5 digit）とし、出力電圧が表6 - 1 Bの目標値となるようにTM 3を調整する。
バイポーラ（± 1 0 v / ± 5 v）に設定しているときは出力データを“F F F h”（4 0 9 5 digit）とし、出力電圧が表6 - 2 Bの目標値となるようにトリマTM 3を調整する。

表 6 - 1 A . ユニポーラ出力範囲の調整ポイント【当社出荷時の標準 A モード】

	D A 出力データ		公称アナログ出力範囲		調整トリマ
	hex 表示	1 0 進表示	0 ~ + 1 0 v 範囲	0 ~ + 5 v 範囲	
オフセット調整	0 0 0 h	0 digit	調整目標 = 0 v	調整目標 = 0 v	T M 1
ゲイン調整	F A 0 h	4 0 0 0 digit	調整目標 = + 1 0 v	調整目標 = + 5 v	T M 3

表 6 - 2 A . バイポーラ出力範囲の調整ポイント【当社出荷時の標準 A モード】

	D A 出力データ		公称アナログ出力範囲		調整トリマ
	hex 表示	1 0 進表示	± 1 0 v 範囲	± 5 v 範囲	
オフセット調整	8 0 0 h	2 0 4 8 digit	調整目標 = 0 v	調整目標 = 0 v	T M 2
ゲイン調整	F D 0 h	4 0 4 8 digit	調整目標 = + 1 0 v	調整目標 = + 5 v	T M 3

表 6 - 1 B . ユニポーラ出力範囲の調整ポイント【B モード / 当社非標準】

	D A 出力データ		公称アナログ出力範囲		調整トリマ
	hex 表示	1 0 進表示	0 ~ + 1 0 v 範囲	0 ~ + 5 v 範囲	
オフセット調整	0 0 0 h	0 digit	目標 = 0 v	目標 = 0 v	T M 1
ゲイン調整	F F F h	4 0 9 5 digit	目標 = + 9.99756 v	目標 = + 4.99878 v	T M 3

表 6 - 2 B . バイポーラ出力範囲の調整ポイント【B モード / 当社非標準】

	D A 出力データ		公称アナログ出力範囲		調整トリマ
	hex 表示	1 0 進表示	± 1 0 v 範囲	± 5 v 範囲	
オフセット調整	8 0 0 h	2 0 4 8 digit	目標 = 0 v	目標 = 0 v	T M 2
ゲイン調整	F F F h	4 0 9 5 digit	目標 = + 9.99512 v	目標 = + 4.99756 v	T M 3

—— (外部アナログ入力) 減算 / 加算モードの場合【 2 - 3 項 . 参照】 ——

前述のオフセット / ゲイン調整を行った後、アナログ入力に所定の減算 (加算) 電圧を印加したうえで次の微調整を行う。

アナログ出力範囲をユニポーラに設定しているときは D A 出力データを “ 0 0 0 h ” 、
また、バイポーラに設定しているときは D A 出力データを “ 8 0 0 h ” (2 0 4 8 digit) としたときにチャンネル A の出力電圧がアナログ入力電圧値の絶対値に等しく、逆極性となるようにトリマ T M A 4 を調整する。

なお、アナログ入力端子《 V INH 》と《 V INL 》を入れ替えると同極性 (加算) にもなる。
【 2 - 1 項 . 参照】

6-3. 修理のときは

入手経路の如何にかかわらず当社宛に直接お申しつけください。 商社等を経由されますと時間がかかるだけでなく、情報交換の不便、費用の面でも不利になります。 なお当社では修理依頼を受けた製品が検査の結果、良品と判定された場合は（保証期間内でも）手数料を申し受けます。

特に最初からの不具合には誤解や情報不足によることが多いので、事前に御相談ください。

【Q & A フォーム】が便利です。

無償修理

納入後 1 年以内の自然故障、および当社製造上の問題に起因した故障に対しては無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。

なお当社では保証書を発行していませんが、社内では製造番号と出荷年月日の記録を基に判定しています。

有償修理

落雷等の自然現象、漏電・過電圧印加・機械的破損・その他、ユーザ側の責に帰する故障品、または納入後 1 年間を経過した製品の自然故障に対しては実費・

有償にて修理をお請けします。 性格上、事前見積もりは不可能ですが、制限額を事前通知いただければ、作業過程で制限を超えそうな見通しがたった時点で連絡・相談させていただきます。

受け渡し : 宅配便によるセンドバックで行います。

修理期間 : 全んどの場合、当社内で 2 4 時間以内に完了・返送しています。時間を要する場合は御連絡いたします。

費用の目安 : 修理費用は事務管理手数料、技術者の所要時間（1 時間単位）手数料、および交換部品代の合計です。 2 0 0 0 年 1 月現在（時勢により変動します）では、

事務管理手数料（1 件当り、返送運賃含）：＝ ¥ 4 , 0 0 0

修理時間手数料：＝（時間単価 ¥ 6 , 0 0 0 ）× 所要時間

交換部品代 : ＝ ¥ 実費

故障経緯、システム客観情報の添付は時間の節約・コストダウンに有効です。
典型的な事例では費用合計が ¥ 2 0 , 0 0 0 を超えることは希です。

【注 2】 当社製品に対してユーザが改造を行った場合は、当社サポートの対象外になります。 改造とは製品に新たな部品を追加実装、または実装部品を削除したり、回路パターン・接続に変更を加えることです。 なお、当社がオプションとして供給、または指定した部品の追加実装・交換はこの限りではありません。

マイクロサイエンス(株)行

FAX: 03(3247)1850

Q & A フォーム

発信: 年 月 日 / 時 分

製品名	MDA - 761AT		購入時期	年	月	
ボード上の 設定、 使用状況	SW1:	I/Oベースアドレス設定(出荷時: 01E)				
	SW2:					
	SW3:					
	RGA:	チャンネルAの出力範囲 (出荷時: 3) = ±10V				
	RESEL:	チャンネルAの乗算対象 (出荷時: 1) = ボード内の固定基準				
	OFSL:	チャンネルAの減算対象 (出荷時: 1) = 0V				
	RGB:	チャンネルBの出力範囲 (出荷時: 1) = 0 ~ +10V				
その他						
I/O、 周辺状況	同時使用の 他ボード				I/Oアドレス 割り込み、等	
本体 システム	パソコン本体				拡張BOX	
	本体メモリ					
	OS	DOS ()	WIN ()			
ソフト	言語				コンパイラ	(vr)
	プログラム名				ハンドラ使用?	
(動作状況)						

《60分以内に応答のないときはお叱りください。》 TEL: 03(3247)1840

御使用者		(所属部・課)
団体名		
TEL		(所在地)
FAX		

MDA - 761AT

MDA - 761AT

