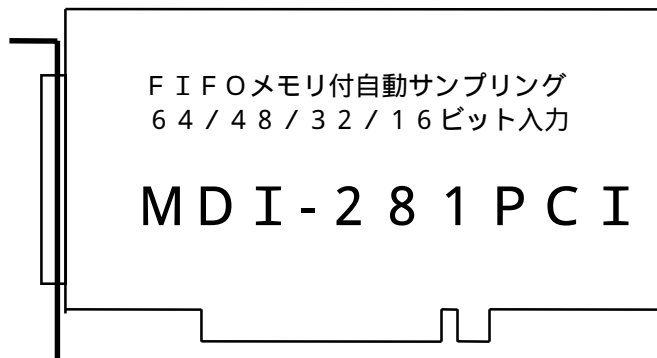


## *Real Solution for FA/LA*

(同期運転で拡張も可能)



PCIショートサイズ

## 取扱い説明書

対応パソコン

IBM PC / AT 互換機  
(PCI - bus)

## マイクロサイエンス (株)

〒167-0042 東京都杉並区西荻北2丁目37番12号

TEL 03(3396)8362 代表

FAX 03(3301)5593

Email: [welcome@microscience.co.jp](mailto:welcome@microscience.co.jp)

---

Jun 18, 2004

## 目 次

使用・適用上の注意	4
修理・サポート方法	4
本製品の構成・価格表	5

### 第1章．導入

1-1. 本製品の仕様・概要	7
1-2. ボード上の設定	8
1-3. 入出力コネクタ・ピン接続	9
1-4. 入出力接続オプション	11
1-5. ボードのインストール	12
1-6. 動作確認・試運転	14

### 第2章．信号入出力

2-1. データ入出力制御構造	17
2-2. 入出力信号の定義	18
2-3. デジタル入出力回路	18

### 第3章．制御・操作

3- 1. サンプリング動作・トリガ動作の様子	19
3- 2. F I F Oバッファメモリの動作	22
3- 3. 制御レジスタI/Oアドレス・マップ	23
3- 4. ボード・リセット（初期化）、認識	24
3- 5. 入力動作モード、入力対象の設定	25
3- 6. クロック源の選択	26
3- 7. (クロック源)分周比の設定	27
3- 8. 連続サンプリング回数カウンタの読み書き	28
3- 9. トリガモードの設定	30
3-10. 割り込み制御	32
3-11. サンプリング・スタート/ストップ	34
3-12. ステータスの取得・クリア	35
3-13. データの読み出し	38
3-14. マスタスレーブ動作（複数ボードの同期運転）	40
3-15. 補助デジタル入出力	42

#### 第4章．ソフトウェア

4-1. ソフトウェアのインストール	43
4-2. 割り込みについて	45

#### 第5章．WINDOWSハンドラ

5-1. システム構成・ソフトウェア構造	47
5-2. サンプリングの様子とデータバッファ構造	48
5-3. 使用準備	50
5-4. 関数仕様・エラーコード	51
5-5. サンプルプログラム使用上の注意	61

#### 第6章．保守・その他

6-1. 故障・トラブル等の原因と対処	65
6-2. 修理のときは	66

付録． Q & A フォーム（質問／トラブル・故障に対する相談用）	68
-----------------------------------	----

## 本製品の使用・適用についての注意

- 【１】 本製品はIBMPC/AT互換機のPCIバス拡張I/Oスロット、またはPCIバス拡張I/Oボックスに装着して使用するものです。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システムの設計・制作に別途付加・反映させてください。 本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。 これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。  
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。 御利用の場合は同システムの設計・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第三者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。 但し、当社製ソフトウェアのソースコードを含むソフトウェアを第三者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

## 故障・修理・サポート方法について

- 【１】 納入後１年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品に対して無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【２】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰する故障品に対しては実費にて修理をお請けします。
- 【３】 修理は宅配便によるセンドバックで行います。 なお、運賃は互いに発送する側が負担するものとします。（無償修理の場合も含む）
- 【４】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社宛に直接御相談・御用命ください。 その際は、客観情報の整理・評価を行うために必ずFAX等でレポートを御送付ください。（解決速度が格段に上ります。）  
本書末尾の《Q & A フォーム》が便利です。

## 本製品の構成

本製品は 本体ボード、【注】入出力プラグは不添付（ハンダ付用が無いため）、  
ソフトウェア、取扱説明書PDFファイルを格納したCDROM、から成ります。  
オプション：印刷された取扱説明書（本書）、回路図。  
取扱説明書PDFファイルは当社WEBからも入手できるほか、  
上記のCDROMは何時でも御請求により無償配布しています。

当CDROMには、  
動作確認プログラム、およびWINDOWS 98・ME / 2000 / XP用のハンドラソフト  
（ドライバ/関数ライブラリ）と各種言語のサンプル（VB, C, C++, Delphi、C++Builder）  
プログラム、取扱説明書PDFファイルが格納されています。

<価格表> （消費税が含まれていません。）

/ 2004年 5月 /

製品名	価 格	製品の概要
MDI - 281PCI （以下、オプション）	48,000	64ビット自動サンプリング入力ボード <標準1K語/FIFO>
MDI - 281取説セット	2,000	印刷された取扱説明書 + 回路図
DX96S - 150	15,000	1.5m長シールドケーブル（片方：プラグ/他方：バラ）

《 取説セット 》 印刷された取扱説明書 + 回路図は有償です。（¥2000）  
が、同一内容の取説PDFファイルと添付ソフトを格納したCDROMは標準添付しており、また  
取説PDFファイルは当社ホームページから無償ダウンロードすることもできます。  
<www.microscience.co.jp>

《 メモリ増設 》 該当容量のFIFOメモリ素子に交換して出荷します。（標準搭載：1K語分、普通は充分です）  
本体製品型名の末尾にFIFOメモリ容量を示す枝番を付してください。

選択枝番： - 16KB（16Kバイト分/¥10,000加算）  
- 16MB（16Mバイト分/¥27,000加算）  
- 64MB（64Mバイト分/¥38,000加算）

### 端子台接続オプション

本ボードに使用されているコネクタに適合するケーブルと端子台を  
コンテック社が製造しています。（当社で接続テスト済み）  
お求めは同社販売店からどうぞ。

製品内容	型式名	価格¥	適用・備考
96ピン端子台（8.5mmピッチ）	EPD - 96	17,000	（DINレール取付可能）
96ピン・ハーフピッチ・ケーブル（1.5m）	PCB96PS - 1.5	17,000	上記の端子台とボードの 接続用。
” ” ” （3.0m）	PCB96PS - 13	19,000	
” ” ” （5.0m）	PCB96PS - 5	21,000	

### その他

本ボードに使用されているコネクタに適合する各種ケーブルをコンテック社が  
製造しています。例えば当社製造の（片方：プラグ、他方：バラ）ケーブルは  
1.5m長ですが、同社には3m長、5m長もあります。  
お求めは同社販売店からどうぞ。

製品内容	型式名	価格¥	適用・備考
96ピン・ハーフピッチ・ケーブル（1.5m）	PCA96PS - 1.5	16,000	片方：プラグ、 他方：バラ（融着）
” ” ” （3.0m）	PCA96PS - 13	18,000	
” ” ” （5.0m）	PCA96PS - 5	20,000	



## 第1章. 導 入

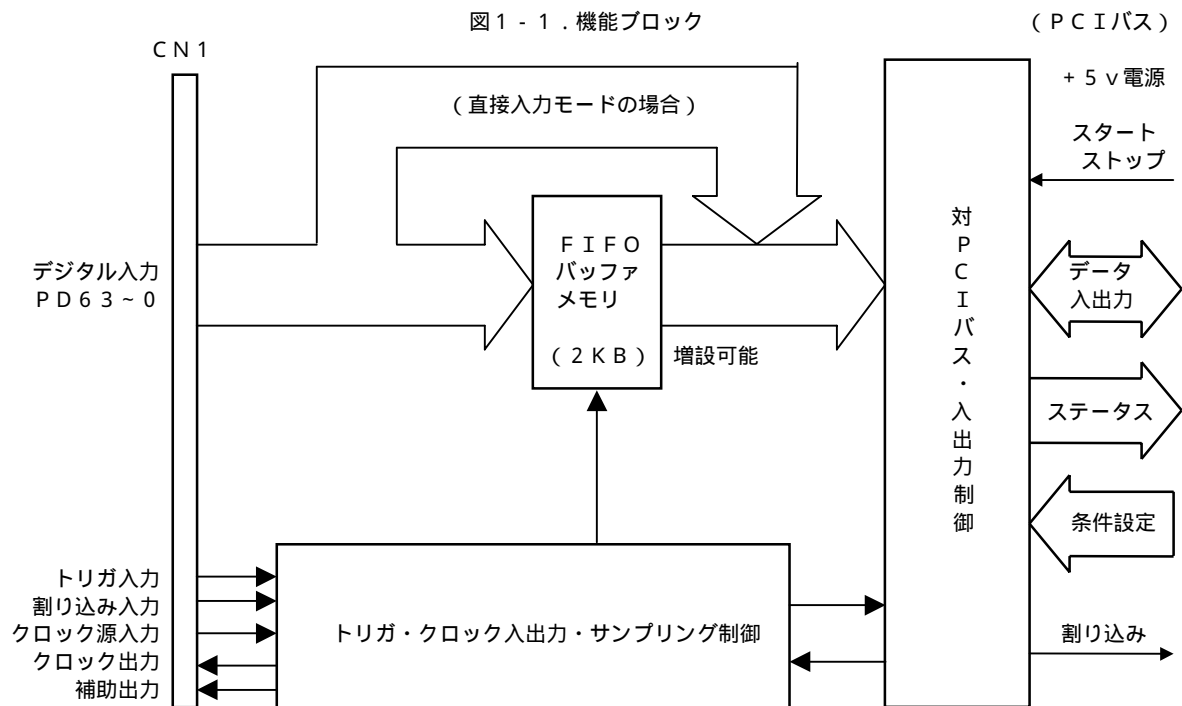
### 1-1. 本機の仕様・概要

本ボードは効率のよい高速ブロックI/O転送命令も利用できるFIFOメモリを搭載しており、指定された条件（トリガ・トリガ・データ長）に従ってボード上で自動サンプリングを行う構造となっています。ソフト上では 条件設定 スタート（トリガ待ち） ステータス取得・評価 データ読み込みだけで、動作タイミング等の制御を必要としません。このような制御構造はリアルタイム/マルチタスクのFA・LAシステムやWINDOWS環境に最適です。

連続サンプリング入力モード： ソフト指定で16～64ビット入力（ワード単位指定）、  
（クロック同期・FIFO入力） 最高速度： 16ビット入力するとき4.0MHz  
32ビット入力するとき2.00MHz  
48ビット入力するとき1.33MHz  
64ビット入力するとき1.00MHz

データ読み出し速度：パソコン能力：CPU・クロックによる。（入力動作と併行可能）  
サンプリング点数を制限しないFIFOメモリ搭載。（標準2KB/最大64MB増設可能）  
マルチ・クロック源：内部20MHz/外部入力。（外部イベントに同期して入力可能）  
マルチ・トリガ源：ソフト上の即トリガ/外部入力。（外部イベントで動作スタート可能）  
クロック入出力機能により複数ボードの同期運転可能（マスタスレーブ動作）。

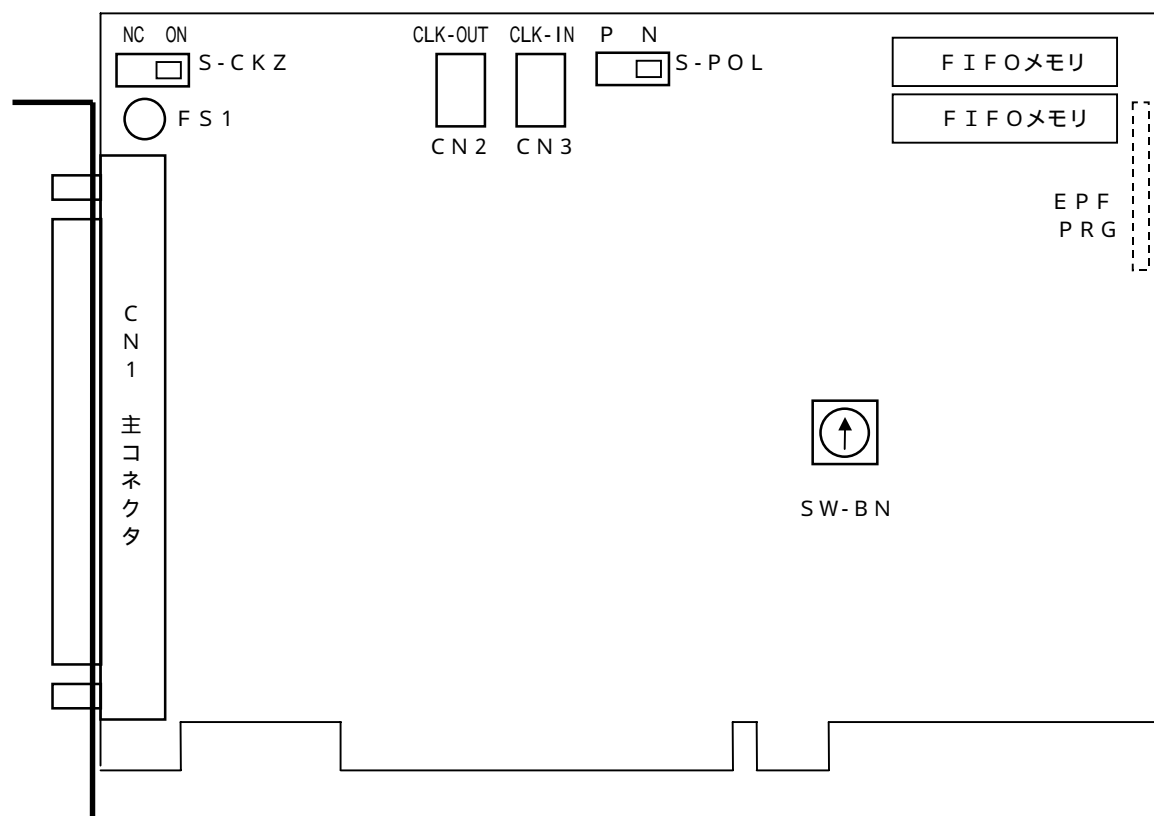
動作温度範囲：0～+45℃、保存温度範囲：-10～+80℃（各結露しないこと）  
基板寸法：174.3×98.4mm（PCIショートサイズ）  
消費電流：+5V/600mA



【注】 入出力：全てTTLレベル。

## 1-2. ボード上の設定

図 1 - 2 A . ボード上の部品配置



C N 1 : 入出力コネクタ ( 9 6 ピン・ハーフピッチ ) / 1 - 3 項

C N 2 : ( 同期動作 ) クロック出力コネクタ / 3 - 1 項、 3 - 1 4 項

C N 3 : ( 同期動作 ) クロック入力コネクタ / 3 - 1 項、 3 - 1 4 項

S - P O L : 補助デジタル出力論理選択スイッチ【出荷時 : N 側 ( 負論理 ) 】 / 2 - 3 項

S - C K Z : 外部クロック終端抵抗接続スイッチ【出荷時 : O N 】 / 3 - 1 4 項

S W - B N : ボード番号設定スイッチ【出荷時 : 0 】 / 3 - 4 項

F S 1 : + 5 v 電源出力保護ヒューズ ( F R P U - 2 . 0 A : 浜井電球製 ) / 回路図

E P F - P R G : 保守用 ( 出荷時 : 未実装 )



## 1-3. 入出力コネクタ・ピン接続

適合プラグ：PCR-E96F（本多通信工業）  
 シェル：PCS-E96LKPA（同上）  
 ボード側コネクタ：PCR-E96LMD（同上）

図1-3A. CN1ピン接続（実際のピン配置は4列構造）

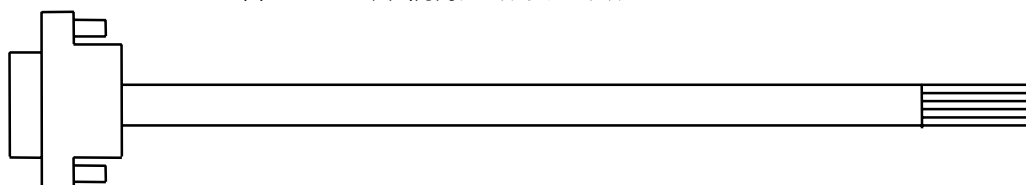
信号	番号	ピン	番号	信号
(ブロック0) デジタル入力 PD-0	A 1	O O	B 1	PD-32 デジタル入力 (ブロック2)
( " ) " PD-1	A 2	O O	B 2	PD-33 " ( " )
( " ) " PD-2	A 3	O O	B 3	PD-34 " ( " )
( " ) " PD-3	A 4	O O	B 4	PD-35 " ( " )
( " ) " PD-4	A 5	O O	B 5	PD-36 " ( " )
( " ) " PD-5	A 6	O O	B 6	PD-37 " ( " )
( " ) " PD-6	A 7	O O	B 7	PD-38 " ( " )
( " ) " PD-7	A 8	O O	B 8	PD-39 " ( " )
( " ) " PD-8	A 9	O O	B 9	PD-40 " ( " )
( " ) " PD-9	A 10	O O	B 10	PD-41 " ( " )
( " ) " PD-10	A 11	O O	B 11	PD-42 " ( " )
( " ) " PD-11	A 12	O O	B 12	PD-43 " ( " )
( " ) " PD-12	A 13	O O	B 13	PD-44 " ( " )
( " ) " PD-13	A 14	O O	B 14	PD-45 " ( " )
( " ) " PD-14	A 15	O O	B 15	PD-46 " ( " )
( " ) " PD-15	A 16	O O	B 16	PD-47 " ( " )
(ブロック1) デジタル入力 PD-16	A 17	O O	B 17	PD-48 デジタル入力 (ブロック3)
( " ) " PD-17	A 18	O O	B 18	PD-49 " ( " )
( " ) " PD-18	A 19	O O	B 19	PD-50 " ( " )
( " ) " PD-19	A 20	O O	B 20	PD-51 " ( " )
( " ) " PD-20	A 21	O O	B 21	PD-52 " ( " )
( " ) " PD-21	A 22	O O	B 22	PD-53 " ( " )
( " ) " PD-22	A 23	O O	B 23	PD-54 " ( " )
( " ) " PD-23	A 24	O O	B 24	PD-55 " ( " )
( " ) " PD-24	A 25	O O	B 25	PD-56 " ( " )
( " ) " PD-25	A 26	O O	B 26	PD-57 " ( " )
( " ) " PD-26	A 27	O O	B 27	PD-58 " ( " )
( " ) " PD-27	A 28	O O	B 28	PD-59 " ( " )
( " ) " PD-28	A 29	O O	B 29	PD-60 " ( " )
( " ) " PD-29	A 30	O O	B 30	PD-61 " ( " )
( " ) " PD-30	A 31	O O	B 31	PD-62 " ( " )
( " ) " PD-31	A 32	O O	B 32	PD-63 " ( " )
汎用割り込み入力 INT-IN	A 33	O O	B 33	GND グランド
トリガ入力 TRG-IN	A 34	O O	B 34	GND "
クロック源入力 CLK-IN	A 35	O O	B 35	GND "
補助デジタル出力 Q0-OUT	A 36	O O	B 36	GND "
全入力同時更新出力 UPD-OUT	A 37	O O	B 37	GND "
リセット出力 RST-OUT	A 38	O O	B 38	GND "
入力ストローブ出力 STB-OUT	A 39	O O	B 39	GND "
クロック出力 CLK-OUT	A 40	O O	B 40	GND "
内部信号出力 (ユーザ使用不可)	A 41	O O	B 41	GND "
" ( " )	A 42	O O	B 42	GND "
" ( " )	A 43	O O	B 43	GND "
" ( " )	A 44	O O	B 44	GND "
" ( " )	A 45	O O	B 45	GND "
" ( " )	A 46	O O	B 46	GND "
電源出力 +5v	A 47	O O	B 47	+5v 電源出力
" +5v	A 48	O O	B 48	+5v "

【注】 当コネクタには手ハンダ用のユニバーサルプラグがありません。  
 本ボードを御利用の際はオプションのケーブル（片方：プラグ、他方：パラ）、または  
 端子台&接続ケーブルのセットを御利用ください。

## 1 - 4 . 入出力接続オプション

本機のコネクタにはハンダ付作業で利用できるユニバーサルプラグがありませんが、オプションでケーブル、または端子台などがありますので御利用ください。

図1 - 4 A . 入出力用シールドケーブル : DX96S - 150



## 1-5. ボードのインストール

本製品はプラグアンドプレイに対応したPCIボードです。

御使用に先立ち、組み込むパソコンシステムにインストール（認識・リソース割り当て）される必要があります。この作業はシステムを上げたとき（電源投入直後）に自動実行されます。

### 準備

本ボード上の諸設定は出荷時の状態（1-2項）とします。

パソコン本体または拡張I/Oボックスの電源を切った状態でカバーを外し、任意の拡張（PCIバス）I/Oスロットに本ボードを無理なく押し入れ装着します。注意することは、

パソコン本体または拡張I/Oボックスの電源を必ず切っておく。電源を入れたままで本ボードを抜き差しすることは双方の故障原因となります。

本ボードのカードエッジ（金メッキ端子）に手を触れないこと。手を触れると、（油脂成分の付着等により）接触不良の原因となることがあります。もし、触れてしまった場合はアルコール等で拭き清めてください。

イクステンダ等により本ボードをI/Oスロットから引き出した状態では誤動作を起こすこともありますから、必要以外は使用しないでください。

### 本ボード上ROM内のコンフィギュレーション情報

Vendor ID : 13FDH（インタフェース素子の製造者ID）【注1】  
 Device ID : 111H（MDI-281PCIボード自体のID）【注1】  
 Subsystem Vendor ID : 13FDH（ボード製造者＝マイクロサイエンス社のID）  
 Subsystem ID : 111H（MDI-281PCIボード自体のID）  
 Class Code : 110000H（本ボードの適合する分類コード）

リソース要求：I/Oアドレス：連続した複数アドレス。

割り込み：デフォルトでは不要求。【注2】

バスマスタ：機能なし（不要求）。

【注1】 Vendor ID / Device IDは本来、インタフェース素子メーカー／素子自体を特定するIDですが、本ボードで使用している素子は汎用品として多数の他社製品にも使用されており、（98/04/01）現在パソコンのプラグアンドプレイではVendor IDとDevice IDだけでボードを認識する機種があるので（混乱を避けるために）当社IDを記してあります。

【注2】 **割り込みを使用する場合**：本ボード上のROMに書き込まれているデフォルト（初期）のコンフィギュレーション情報では割り込みリソースを要求しません。もし要求したときに空気が無く拒否されるとI/Oアドレスの割り当ても受けられず、認識不能状態になる恐れがあるからです。割り込みを利用したいときは以下の手順を踏んでください。

本ボードを最初はデフォルト（初期）設定のままインストールし、システムから認識できる状態にしてください。

現在のシステムが使用しているリソース情報を調査してください。割り込みに空がある場合は（当社提供のユーティリティ：cf9050で）本ボード上のコンフィギュレーション情報（ROM）を割り込みリソースを要求するように修正して、一旦終了・電源を切ります。（パソコン電源部保護のため1分以上の後）、再度電源投入するとプラグアンドプレイで割り込みリソースが割り当てられます。

割り込みリソースに空が無い場合は最後の手段として、既に他デバイスに割り当てられている割り込みリソースを共有する方法も考えられますが、他デバイスの動作にも影響する恐れがあるため、現時点では当社のサポート対象外としています。

**インストール(1)****(WINDOWS 98 / ME / 2000用)**

ボード装着直後の作業にはWINDOWS 2000用のインストールディスクが必要です。  
WINDOWS 98 / ME / 2000全てWINDOWS 2000用を使用します。  
添付のCDROM、または当社ホームページ[www.microscience.co.jp](http://www.microscience.co.jp)の<ダウンロード>  
アイコン以下で入手できるビジュアルな手順書も併せて参照し、注意深く行ってください。

各作業は必要により **Administrator レベル**で行ってください。

## 《操作》

パソコンシステムの電源を投入するとWINDOWSが立上り、このとき新ハードウェア  
(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

新しいハードウェアの検出ウィザードが立上り、  
[新しいハードウェアが検出されました。/必要なソフトウェアを探しています]に続いて  
ドライバの検出過程ダイアログが現れますから、添付の[ボードインストール・ディスク]  
を挿入し、ウィザードに従って(ディスクがF Dの場合は[a:¥win2K]フォルダから)読み  
込ませてください。

(CDROM<2003-03版以降>の場合は適切なドライブのフォルダ[ :¥win2K]から)

ファイルのコピーで“dms\_pci.sys”が見つからないのメッセージが出たら、コピー元に同  
上記のフォルダを指定してください。

これで本ボードの情報がWINDOWSのレジストリに登録されました。

- (1) インストールされたドライバ“**DMS\_PCI.SYS**”は、  
当社製各PCIボード(複数可能)に共通使用できるWINDOWS用のWDMドライバ  
です。(WINDOWS 2000 / XP / 98 / MEで使用可能)

インストール元: ボードインストールディスク。

インストール先: ¥WINDOWS¥SYSTEM32¥DRIVERS

- (2) 御利用に先立ち、4-1項に従い各種ソフトウェアのインストール作業を行って下さい。  
(専用インストーラによる解凍・展開)

インストール元: 添付のCDROM。

インストール先: ¥MSCIENCE 以下。

以後、アプリケーションからの利用が可能になります。

プラグアンドプレイによる本ボードの認識とリソース割り当てが有効に実施された場合、本機の  
制御・操作は全てPCIバス上のハードウェアI/O空間(連続したアドレス)に割付けられてい  
ます。【3-3項参照】

## 《割り当てリソースの調査》

WINDOWSの【スタート】メニューから 【設定】 【コントロールパネル】  
【システム】 【ハードウェア】 【デバイスマネージャ】 【MSCIENCE】  
【ボード名】 【プロパティ】 【リソース】で調べます。

**インストール(2) (WINDOWS-XPの場合)**

ボード装着直後の作業にはWINDOWS 2000用のインストールディスクが必要です。基本的な手順は前ページに記したWINDOWS 2000の場合と同様ですが、**WINDOWS-XP**のウィザードは間違い易い表現が多いので作業には**注意が必要です**。添付のCDROM、または当社ホームページ[www.microscience.co.jp](http://www.microscience.co.jp)の<ダウンロード>アイコン以下で入手できるビジュアルな手順書も併せて参照し、注意深く行ってください。

《手順》----- オリジナルXPの場合。SP2の場合はビジュアルな手順書参照。

パソコンシステムの電源を投入するとWINDOWSが立上り、このとき新ハードウェア(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

- (1) 新しいハードウェアの検出ウィザードの開始。 / ダイアログ /  
<ハードウェアに付属のインストールCD、ディスクがある場合は挿入してください>と表示されますが、ここでは添付のCDROMを**未だ挿入しない**でください。  
下段に表示されている<インストール方法>選択肢ラジオボタン をデフォルトから<一覧または特定の場所からインストールする>に変更して【次へ】をクリックします。
- (2) 検索とインストールのオプションを選んでください。 / ダイアログ /  
デフォルトの< 次の場所で最適のドライバを検索する>チェックボックスを外し、  
< 次の場所を含める>のみをチェック、ここで添付のCDROMを挿入すると、
- (3) 自動再生 / ダイアログ / が登場してサーチを始めますが、  
これは即、【キャンセル】クリックしてください。
- さらに、
- (4) この種類のファイルのディスクを挿入したり、デバイスに接続したりするたびに  
WINDOWSが自動的に実行する動作を選択できます。 / ダイアログ / が登場したら  
これも【キャンセル】クリックします。
- これで(2)の / ダイアログ / に戻りますから、
- (5) < 次の場所を含める>を指定するためのテキストボックスを正しく埋めるために  
【参照】ボタンをクリックします。
- (6) フォルダの参照<ハードウェアのドライバを含むフォルダを選んでください>  
/ ダイアログ / が開きますから、  
< CDROMアイコン> < 0\_\_ボードインストール> < WIN2K>と指定して  
【OK】をクリックするとインストールが実行されます。

これで本ボードの情報がWINDOWSのレジストリに登録されました。

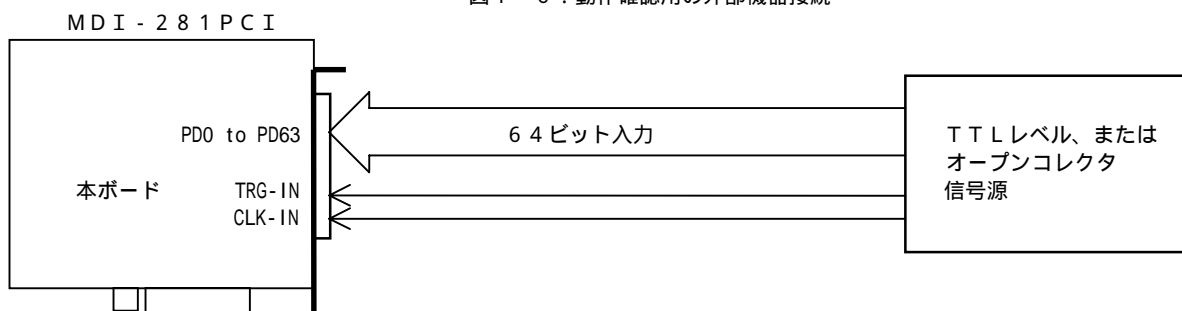
以下は前ページに記したWINDOWS 2000と同様です。  
御利用に先立ち、4 - 1項に従い各種ソフトウェアのインストール作業を行って下さい。

【注】操作ミス等でボードインストールが正しく実行されなかった場合は、  
Windows XPはボードインストール作業直前の状態を記憶しているので、  
一旦終了・電源を落としてボードを外し、再立ち上げの後、  
WINDOWSの【スタート】から【ヘルプとサポート】を選択し、  
<ヘルプとサポートセンター>ダイアログ中の  
<コンピュータへの変更をシステムの復元で元に戻す>機能で  
ボードインストールをやり直すことのできる元の状態に戻すことができます。

## 1-6. 動作確認・試運転

以下の手順で試運転してください。動作に不具合があるときは1-2項に記されたボード上の設定を確認してください。それでも不明なときは本書巻末に添付の【Q & Aフォーム】にシステム情報を御記入のうえ当社技術部までFAXしてください。迅速に応答する体制となっております。

図1-6. 動作確認用の外部機器接続



== プログラム ==

本動作確認プログラムは第5章で説明する本ボード専用のハンドラ関数DLLではなく、ボード依存性のない汎用I/Oアクセス関数DLLを使用して製作されています。

いずれのDLLも下層（ボードのアクセス）に使用するドライバは同一で、本ボードをインストールするとき同時に自動インストールされたWDMドライバです。このWDMドライバはプラグアンドプレイで認識される複数（=最大8枚）の当社製PCIボードを平行して制御することができます。/本動作確認プログラムでの動作は1枚のみ/

動作確認プログラムの位置：添付CDROM（2003年9月版以降）のルート¥から、  
 <6\_追加ソフト> <動作確認> <DIOボード> <Wdm>  
 以下です。

プログラム名：td281w2.exe  
 ts281w2.exe

内容はボードアクセスと基本動作確認で： ボードID・番号・ステータス取得、  
 内部クロック使用でのサンプリング動作、  
 サンプリング動作時のステータス変化、  
 FIFO容量のチェック、

などを実行します。

### 操作手順

(1) WINDOWSの<スタート> <プログラム> <アクセサリ> <コマンドプロンプト>、  
 または<スタート> <プログラム> <MS-DOSプロンプト>、と進み、

(2) DOS窓中で d :  (d : 実際のCDROMドライブ名に置き換える。)

c d ¥6\_追加ソフト¥動作確認¥DIOボード¥Wdm

td281w2

(ファイル名)

はスペース

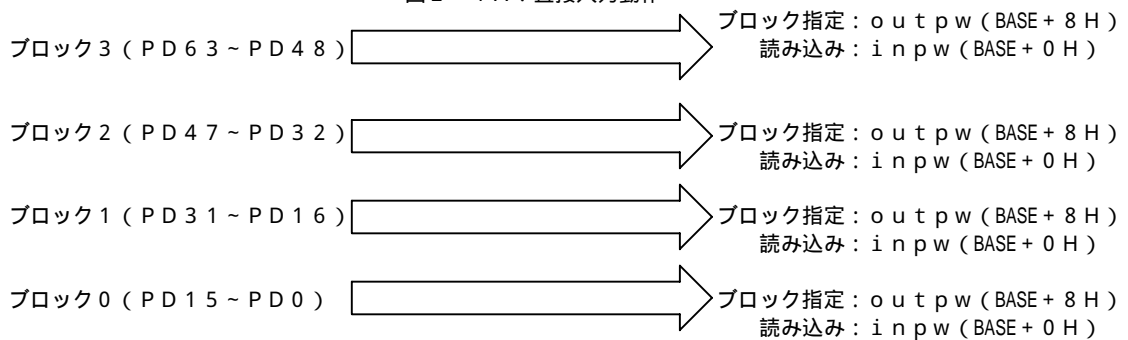
## 第2章. 信号入出力

### 2-1. データ入出力構造

本機には2種類の入力動作モードがあります。(ソフト指定)

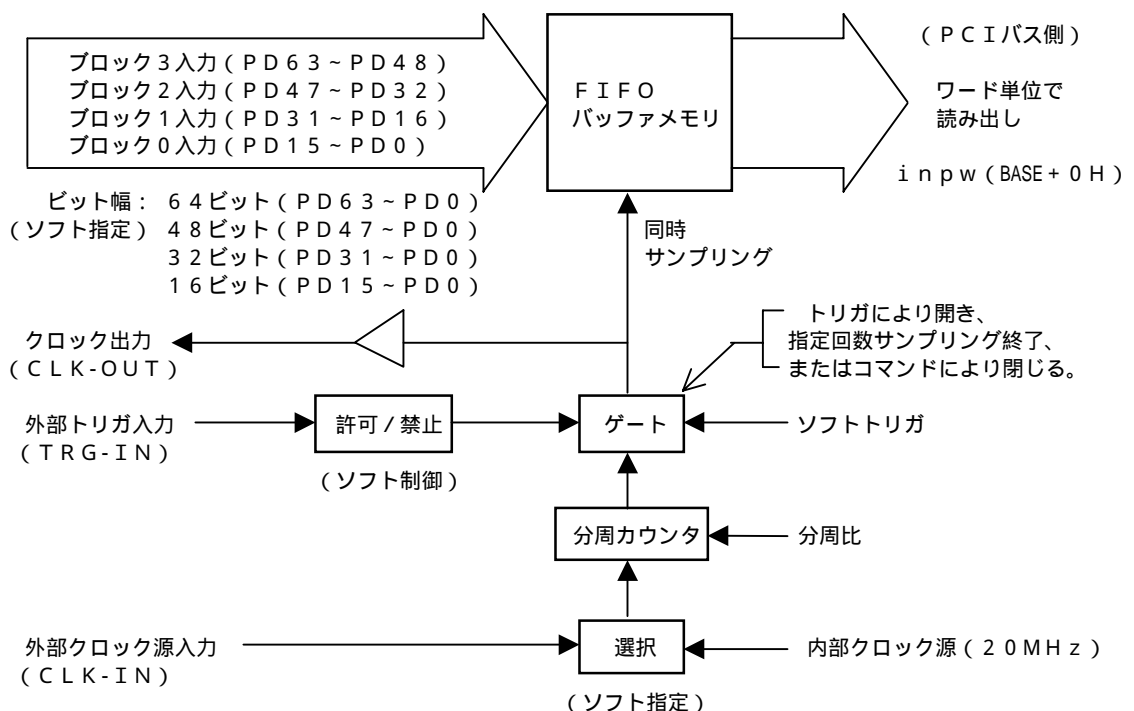
直接入力モードではFIFOバッファは使用されず各16ビット×4ブロックをIN命令で各単独に読み込むことができます。

図2-1A. 直接入力動作



連続サンプリング入力モードのときはトリガにより指定サンプリングクロックがスタート、当クロックに同期して入力データがFIFOバッファメモリに読み込まれます。トリガはプログラム上任意のプロセスから実行するソフトトリガ（即スタート）、または外部トリガ入力エッジです。クロックは内部20MHz、または外部クロック源入力を32ビットのバイナリカウンタで分周して得ます。外部クロック源で分周比=1としたときは外部イベント（ストローブ）信号に1対1で同期した入力動作となり、外部計測器などからのデータ読み込みに好適です。

図2-1B. 連続サンプリング入力動作



## 2 - 2 . 入出力制御信号

図 2 - 2 A . 基本信号入出力

信号名	記号	動作・適用
デジタル入力	PD63 ~ 48	ブロック 3 入力
" "	PD47 ~ 32	ブロック 2 入力
" "	PD31 ~ 16	ブロック 1 入力
" "	PD15 ~ 0	ブロック 0 入力
デジタルグランド	GND	P C I バス側 + 5 v 電源のリターン
外部割り込み入力	INT-IN	汎用の外部割り込み入力（ソフトで要因に設定可能）【注】
外部トリガ入力	TRG-IN	外部からの連続サンプリングスタート（ソフト指定）【注】
外部クロック源入力	CLK-IN	外部からのクロック源入力（ソフト指定）【注】
クロック出力	CLK-OUT	各回サンプリングの実行タイミング出力
補助デジタル出力	Q0-OUT	任意に使用可能な汎用 1 ビット T T L デジタル出力

【注】 外部クロック源入力、外部トリガ入力、外部割り込み入力をソフト上で積極的に利用しない場合は補助デジタル入力として使用することもできます。 / 3 - 15 項 /

図 2 - 2 B . 拡張制御信号入出力

信号名	記号	動作・適用
全入力同時更新出力	UPD-OUT	全入力を同時にラッチするタイミング信号。
入力ストロブ出力	STB-OUT	選択された入力を読み込むタイミング信号
リセット出力	RST-OUT	リセット信号



## 2 - 3 . デジタル入出力回路

全ての入力はTTLレベル・10K でプルアップされています。  
 また各制御信号、補助1ビット・デジタル出力もTTLレベルです。  
 なお電源投入直後の補助デジタル出力は“0”となりますがリセット操作(3 - 4項)では変化しません。

図2 - 3 A . 全てのデジタル入力

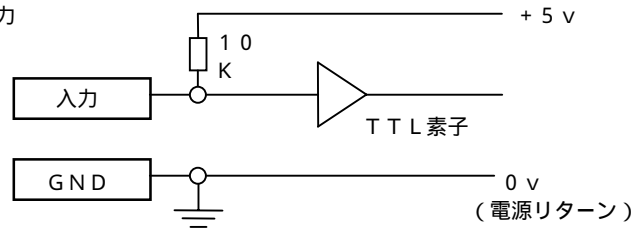
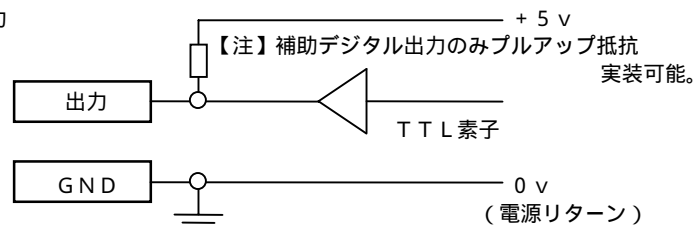


図2 - 3 B . 全てのデジタル出力



【注】 補助デジタル出力の論理はボード上のスイッチS - POLにより任意に設定することができます。

出荷時は《N》側に設定 = “負論理” で、電源投入・ハードウェアリセット直後の状態はHighレベル(出力 = 0)です。

なお《P》側 = “正論理” モードでは(回路の性格から)電源投入・ハードウェアリセット時に約100msのHighレベル期間が発生するので御注意ください。



## 第3章. 制御・操作

### 基本操作

本機の運転・操作は各機能が割付け設定された制御レジスタ（I/Oポート）に対する入出力命令により行います。 3-1項～3-3項で制御構造・手順を、また、3-4項以下で各制御レジスタの定義を理解してください。

### 3-1. サンプリング動作・トリガ動作の様子

本機には（クロックによる）連続サンプリング入力モードと直接入力モードがあります。

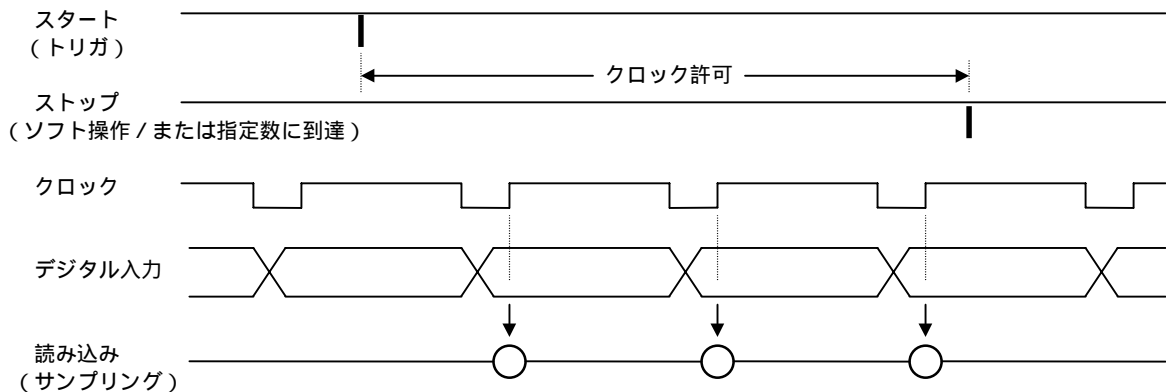
連続サンプリング入力モードではサンプリングされた結果のデータは順番にFIFOバッファメモリに書き込まれて行きます。CPU側からはFIFOメモリの充満状態を示すフラグを参照しながらデータを古い順に読み込みます。【3-2項参照】

FIFOメモリの充満状態を示すフラグは、割り込み要求発生に使用することもできます。

FIFOメモリ容量は標準1K語実装（8M語まで増設可能）ですから、CPU側の読み込み速度がボード自体のサンプリング速度に追いつかずオーバーフローを起こしたような場合でも、その時点でFIFOメモリ容量だけの有効データを確保することができます。

（添付のWINDOWS用ハンドラ関数のデータ読み込み速度はCPU能力に依存）

図3-1A. 連続サンプリングFIFOバッファ入力動作例



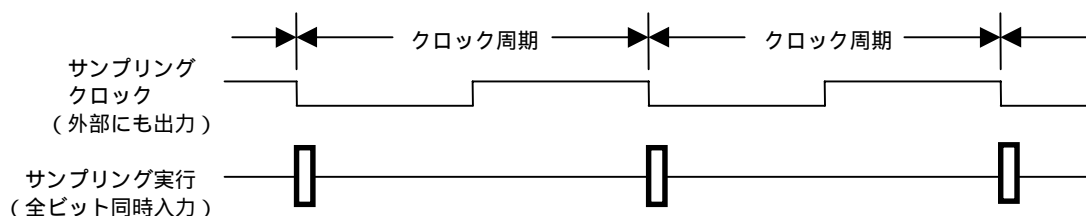
**スタート：** ソフトトリガ（即スタート）、または外部トリガ入力の指定エッジにより指定クロック（例えば外部TTLクロック入力の指定エッジ）が有効となります。

**読み込み：** 指定ビット幅（TTL入力）データは、指定クロックの指定エッジに同期してFIFOバッファメモリに読み込まれます。この動作は指定データ数に達するか、ソフト上の停止操作まで続きます。

**読み出し：** CPU側からはFIFOメモリの充満状態フラグを監視しながら、データが溢れないうちに読み出します。FIFOメモリの入力動作と出力動作は非同期、すなわち互いにタイミングを気使う必要がありません。（同時も可能）また、データは古い順に出口側に詰めて位置しており、読み出された分だけ入口側に空領域が増えるので実質的にデータ数の制限はありません。

連続サンプリグ動作： 指定したビット幅のデータに対して指定したトリガ、クロックでサンプリグ（& F I F Oメモリに転送）を連続自動的に実行するものです。 各入力ビットは同時サンプリグされ、F I F Oメモリにはワードシリアルに格納されて読み出しを待つ。（図3-2）

図3-1B. 連続サンプリグ



## 操作手順

- (1) 制御部リセット 【3-4項】：制御部リセット
- (2) 動作条件設定 【3-5項】：入力モード設定、使用入力ビット幅指定  
                                   【3-6項】：クロック源指定（内部／外部）  
                                   【3-7項】：クロック源周比（クロック値）の設定  
                                   【3-8項】：連続サンプリグ回数の設定  
                                   【3-9項】：トリガモードの設定  
                                   【3-10項】：割り込み要求発生要因の設定＜利用は任意＞
- (3) 動作開始           【3-11項】：スタート操作
- (4) ステータス検査【3-12項】：ステータスの読み込み／評価
- (5) データ取得       【3-13項】：データを（F I F Oから）読み出す

最高サンプリグ速度はビット幅： 16ビットのとき 4.00MHz  
 32ビットのとき 2.00MHz  
 48ビットのとき 1.33MHz  
 64ビットのとき 1.00MHz

データ転送速度（本ボード～パソコン）はパソコン搭載のCPU能力に依存し、P3/1GHzのとき900KHz（K語／秒）、P2/400MHzのとき200KHz程度です。 本ボード搭載のF I F Oバッファメモリ容量以上のサンプリグを行うときはこの速度がボトルネックになることがありますので御注意ください。

トリガ機能： 本機のトリガは連続サンプリグを開始させるものです。【3-9項参照】ソフトトリガはプログラム上・任意のプロセスで実行できる即トリガ（即スタート）機能。外部トリガは外部TTL入力信号の指定エッジ、または指定アクティブ期間で機能します。

図3-1C. デジタル・エッジトリガ

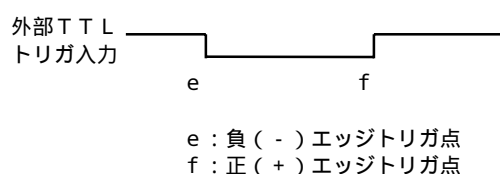
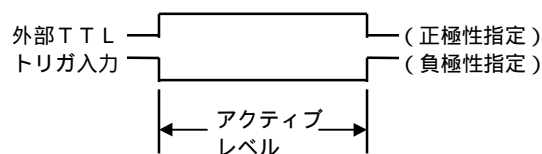


図3-1D. デジタル・レベルトリガ



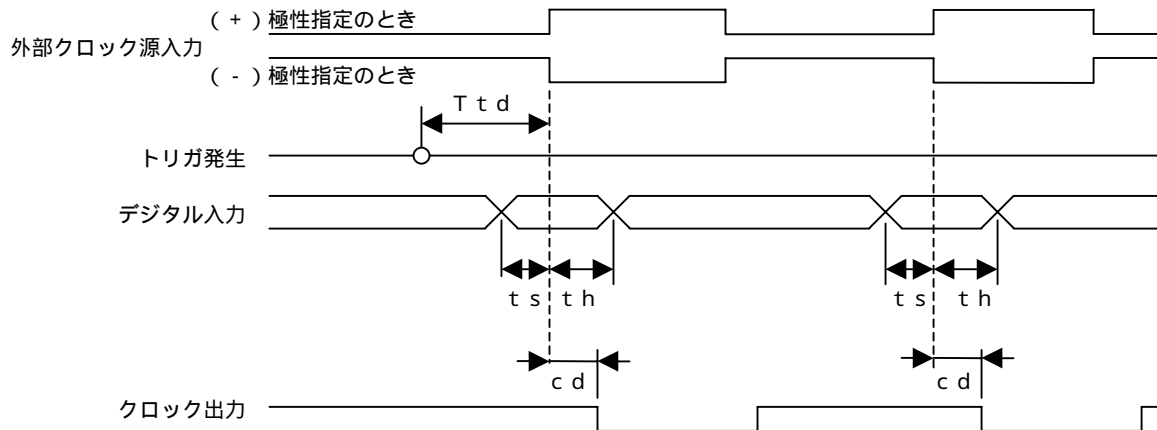
デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリグを行う。

トリガ動作遅れ： 本ボード上で自動的に行われるトリガ検出から連続サンプリグ開始までの遅れ時間は最大100nsです。

内部クロックによる入力タイミング = トリガ検出直後 100 ns 以内に最初のサンプリングが実行され、以後は指定周期で実行される。

外部クロック（非分周）による入力タイミング = 外部イベントに 1 対 1 で同期した入力。

図 3 - 1 E .

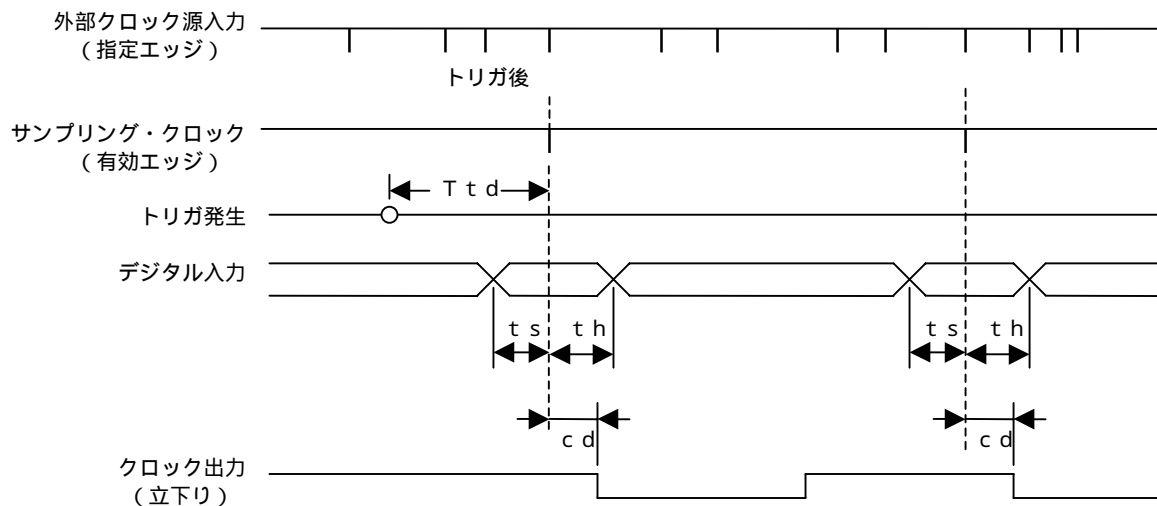


$ts$  = 最小 0 ns (入力データ・セットアップ時間)  
 $th$  = 最小 150 ns (入力データ・ホールド時間)  
 $cd$  = 最大 100 ns (外部クロック源入力～クロック出力遅れ時間)  
 $Ttd$  = 最小 100 ns (トリガ・セットアップ期間)

【注】 $Ttd$  は最初のサンプリングに限り必要。

外部クロック（任意分周）による入力タイミング

図 3 - 1 F . ( 1 / 5 分周の例 )



$ts$  = 最小 0 ns (入力データ・セットアップ時間)  
 $th$  = 最小 150 ns (入力データ・ホールド時間)  
 $cd$  = 最大 100 ns (クロック出力遅れ時間)  
 $Ttd$  = 最小 100 ns (トリガ・セットアップ期間)

【注】 $Ttd$  は最初のサンプリングに限り必要。

クロック出力のデューティは約 1 / 2 (奇数分周のときは前半 = 負側が 1 周期分だけ短くなる)

## 3-2. F I F Oバッファメモリの構造・動作

### データ転送 ( F I F O C P U )

クロックでサンプリングされた各データはF I F Oメモリ内にあり、C P U側からの読み出しを待っています。 ソフトではF I F Oメモリの充満状態を示すフラグを監視、または割り込み等を設定してアプリケーションに適した転送方法を探ります。 いずれの場合でも、F I F Oバッファメモリがサンプリング実行とデータ転送のタイミング違いを吸収するのでマルチタスクシステムを容易に実現することができます。

ポーリング： 【Not-Empty】フラグを監視して各データをI N命令で1語ずつ読み込む方法、【Not Half-Full】フラグを監視して一群のデータをF I F Oメモリ容量の半分単位で読み込むブロックI / O転送も可能。

割り込み： 【Not-Empty】【Not Half-Full】【1回サンプリング・スキャン終了】【トリガ発生】【外部割り込み】等から選択した要因による割り込みでポーリングと同様のデータ転送を実行する。

### F I F Oメモリの動作

F I F O (first in first out) メモリは図3 - 2に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっている。

読み書きは非同期で同時も可能。 すなわちデータの書き込み（入口）と読み出し（出口）は互いに相手側のタイミングに配慮する必要がない。

F I F Oメモリ内部は出口から読み出された分だけ入口側に空領域が増えるので満杯となる前にデータを読み出す動作であればサンプリング点数を制限しない。 なお満杯時に追加書き込みされようとしたデータは消失し【E R R : エラー】フラグがセット (= 1) されるが、この後もF I F Oメモリ内のデータは有効に読み出すことができる。



上図は ( クロックによる ) 連続サンプリング、6 4 ビット幅入力モードの場合で、各回サンプリング分のデータは最下位ワード ( ブロック 0 ) から順に 4 ワードが連続して並んでいる。 4 8 ビット幅 / 3 2 ビット幅 / 1 6 ビット幅の各モードの場合は 3 ワード / 2 ワード / 1 ワードだけの並びになる。

表3 - 2 . F I F Oメモリ関連のステータス・フラグ

フラグ名	フラグの意味 ( 標準 1 K 語のとき )
N o t - E M P T Y	1 語以上。 ( 格納ワード数 1 )
N o t - H A L F - F U L L	[ 容量の半分 ] 以下。 ( 格納ワード数 5 1 2 )
D a t a L o s t	データロスト・エラー発生。 データ読み出しが遅いためメモリが溢れた。

【注】 オプションの 8 M 語 F I F O モジュールの “ N o t - H A L F - F U L L ” フラグはモジュール上のスイッチ設定で充満データが 5 1 2 語、1 K 語、2 K 語、4 K 語、8 K 語、1 6 K 語、3 2 K 語、6 4 K 語、に達しているか否かを示すものです。

### 3-3. 制御レジスタI/Oアドレス・マップ

表3-3に本ボード上の各制御レジスタI/Oアドレスを記します。  
表中の【BASE】はプラグアンドプレイで設定されるI/Oベースアドレス値です。

表3-3. 制御レジスタI/Oアドレス

I/Oアドレス	IN/OUT	ポート/レジスタ名・機能	記載項
【BASE】+1E	IN	ボード制御部リセット	【3-4】
	OUT	入力モード設定	【3-5】
【BASE】+1C	IN	補助デジタル(現在値)入力、外部制御入力モニタ	【3-15】
	OUT	補助デジタル(ラッチ)出力	
【BASE】+1A	IN	追加ステータス取得	【3-12】
	OUT	追加ステータス・クリア	
【BASE】+18	IN	基本ステータス取得	
	OUT	基本ステータス・クリア	
【BASE】+16	IN	(直接入力モードでの)同期ラッチ入力制御	【3-13】
	OUT	PCIバスへの割り込み信号出力制御(許可/禁止)	【3-10】
【BASE】+14	IN		
	OUT	割り込み制御(要因設定)	【3-10】
【BASE】+12	IN		未使用
	OUT	連続サンプリング・スタート/ストップ制御	【3-11】
【BASE】+10	IN		未使用
	OUT	トリガモード設定	【3-9】
【BASE】+E	IN	連続サンプリング回数カウンタ読み出し	【3-8】
	OUT	連続サンプリング回数カウンタ書き込み	
【BASE】+C	IN		未使用
	OUT	(クロック源)分周比設定	【3-7】
【BASE】+A	IN		未使用
	OUT	クロック源選択	【3-6】
【BASE】+8	IN	ボード番号(スイッチSW-BNの設定値)	【3-4】
	OUT	入力対象指定	【3-5】
【BASE】+6	IN		未使用
	OUT		未使用
【BASE】+4	IN		未使用
	OUT		未使用
【BASE】+2	IN		未使用
	OUT		未使用
【BASE】+0	IN	FIFOからのデータ読み出し//直接入力ポート	【3-13】
	OUT		未使用

【読み(IN)/書き(OUT)】はCPU側から見た方向。

全てのポートは1ワード。

#### 制御操作の詳細

以下【3-4項】～【3-15項】に各制御レジスタの詳細を記します。  
各ポートアドレス値は表3-3を御参照ください。

### 3-4 . ボード・リセット、認識

`rst = inpw (BASE + 0x1E) ; /* 制御部リセット操作 */`

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ (`rst`) は本ボードの ID です。 当操作は電源 ON、またはハードウェアリセットと同等の機能ですが、補助デジタル (ラッチ) 出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

サンプリング中であれば、これを中止する。

FIFOメモリをクリアする。(格納されていた読み出し待ちデータは失われる)

なお、 クロック源 / 分周比の指定は無効となる。(要再設定)

補助デジタル (ラッチ) 出力は変化せずに保持される。

表 3 - 4 A . 【BASE + 1EH】入力ポートの構成 <ビット B8 ~ B15 は未使用>

ビット	各ビットの機能・意味
B7	MDI - 281PCIのボードID = 2BH
B6	
B5	
B4	
B3	
B2	
B1	
B0	

【注】ここで読み込まれるボードIDはPCIバス上のDEVICEIDとは無関係です。  
(1-5項、参照)

<本ボードを複数使用する場合>

本ボードのI/Oアドレスはプラグアンドプレイにより(その都度)ダイナミックに割り当てられます。 複数の本ボードを同一システムにインストールして使用する場合、ハードウェアの構成・状態が変わらなければ前回立上げ時と同一アドレスが割り当てられますが、増設・交換等の変化があった後は前回立上げ時と異なるアドレスを割り当てられることがあります。

そのようなときに複数の本ボードを区別・特定する手段としてボード番号設定スイッチがあります。(本ボードを1枚のみ使用する場合は出荷時設定値 = 0としてください。)

`BN = inpw (BASE + 0x8) ; /* ボード番号設定スイッチ SW - BN読み込み */`

表 3 - 4 B . 【BASE + 8H】入力ポートの構成 <ビット B8 ~ B15 は未使用>

ビット	各ビットの機能・意味
B7	未使用
B6	
B5	
B4	
B3	ボード番号設定スイッチ SW - BNの値 (0 ~ FH)
B2	
B1	
B0	



## 3-5 . 入力動作モード、入力対象の設定

## 入力動作モード設定

```
outpw (BASE + 0x1E, MODE); /* 入力動作モードの指定 */
```

表 3 - 5 A . 【BASE + 1EH】出力ポートの構成 &lt;ビットB8～B15は未使用&gt;

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B7	未使用			0
B6				0
B5				0
B4				0
B3				0
B2				0
B1	直接入力タイミング指定	同期 (同時ラッチ)	単独入力	0
B0	入力モード指定	連続サンプリング (FIFO) 入力	直接入力	0

直接・単独入力モードは16ビット×4ブロックの各 (現在値) をIN命令で単独・個別に読み込む動作です。/ ビットB1 = 0 , B0 = 0 /

直接・同期入力モードは16ビット×4ブロックの各 (現在値) を同時ラッチした後、これをIN命令で個別に読み込む動作です。/ ビットB1 = 1 , B0 = 0 /

## 連続サンプリング入力ビット幅指定

または

## 直接入力の対象ブロック指定

```
outpw (BASE + 0x8, N); /* 各指定値 */
```

表 3 - 5 B . 【BASE + 8H】出力ポートの構成 &lt;ビットB8～B15は未使用&gt;

ビット	各ビットの機能・意味	リセット時
B7	(1) 連続サンプリング動作のときは常にクロックが全入力を同時ラッチし、ブロック0を先頭にここで指定する最終ブロック番号N (最大3) まで順に読み込む動作となる。 指定入力ビット幅 = (1 + N) × (16bit)	0
B6		0
B5		0
B4		0
B3		0
B2		0
B1	(2) 直接入力動作のときは、直後に【BASE + 0H】アドレスから読み込む“ブロック番号”を指定。	0
B0		0

### 3-6 . クロック源の選択

```
outpw (BASE+0xA, cks); /* cks : クロック源選択 */
```

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的の連続サンプリング・クロックとなります。例えば外部クロック源 (CLK-IN) 入力を選択し、分周比を 1 / 1 に設定すれば、外部イベントに同期したサンプリングとなります。

表 3 - 6 A . 【BASE + A H】出力ポートの構成 < ビット B 8 ~ B 1 5 は未使用 >

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	外部クロック源 ( 使用時 ) の有効極性指定	( + )	( - )	0
B 6 B 5	未使用			0 0
B 4	クロック源選択 ( 外部 / 内部 )	外部	内部	0
B 3 B 2 B 1 B 0	未使用			

### 3-7. (クロック源) 分周比の設定 ..... 連続サンプリングクロック値の設定。

```
outpw (BASE+0xC, div0); /* div0 = 分周比の下位ワード */
outpw (BASE+0xC, div1); /* div1 = 分周比の上位ワード */
```

クロック源の分周比データを (BASE + CHポートに) 書き込みます。

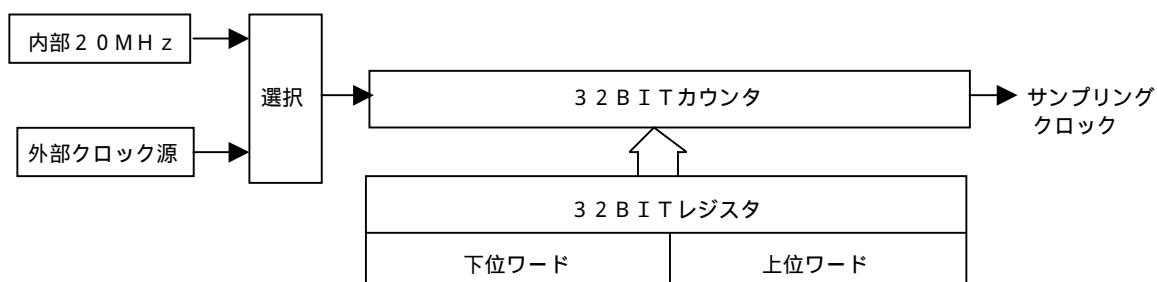
必ず2ワード続けて書き込んで下さい。

分周は32BITバイナリカウンタで行われます。

表3-7. 【BASE + CH】出力ポートの構成

ビット	分周比：下位ワード	分周比：上位ワード	リセット時
B15	(div0) b15	(div1) b31	クリア される
B14	( " ) b14	( " ) b30	
B13	( " ) b13	( " ) b29	
B12	( " ) b12	( " ) b28	
B11	( " ) b11	( " ) b27	
B10	( " ) b10	( " ) b26	
B9	( " ) b9	( " ) b25	
B8	( " ) b8	( " ) b24	
B7	( " ) b7	( " ) b23	
B6	( " ) b6	( " ) b22	
B5	( " ) b5	( " ) b21	
B4	( " ) b4	( " ) b20	
B3	( " ) b3	( " ) b19	
B2	( " ) b2	( " ) b18	
B1	( " ) b1	( " ) b17	
B0	( " ) b0	( " ) b16	

図3-7. 連続サンプリングクロックの発生構造



### 3-8. 連続サンプリング回数カウンタの読み書き / 無限サンプリングモードでは不要 /

有限サンプリング動作モード時の連続サンプリング実行回数を設定（書き込み）、また連続サンプリングの実行中は実行済み回数を取得（読み込み）することができます。

#### 設定

```
outpw (BASE + 0xE, num0); /* num0 = 回数値の下位ワード */
outpw (BASE + 0xE, num1); /* num1 = 回数値の上位ワード */
```

実行する連続サンプリング回数データを（BASE + 0xE アドレスに）書き込みます。

必ず2ワード続けて書き込んで下さい。

計数は32ビットのバイナリ・ダウンカウンタ1本で行われ、計数値が0に達すると連続サンプリングが停止します。【注】無限モードのときの当“回数”設定値は無視される。

図3-8. 連続サンプリング回数カウンタ



表3-8A. 【BASE + EH】出力ポートの構成

ビット	回数値：下位ワード	回数値：上位ワード	リセット時
B15	(num0) b15	(num1) b31	クリア される
B14	( " ) b14	( " ) b30	
B13	( " ) b13	( " ) b29	
B12	( " ) b12	( " ) b28	
B11	( " ) b11	( " ) b27	
B10	( " ) b10	( " ) b26	
B9	( " ) b9	( " ) b25	
B8	( " ) b8	( " ) b24	
B7	( " ) b7	( " ) b23	
B6	( " ) b6	( " ) b22	
B5	( " ) b5	( " ) b21	
B4	( " ) b4	( " ) b20	
B3	( " ) b3	( " ) b19	
B2	( " ) b2	( " ) b18	
B1	( " ) b1	( " ) b17	
B0	( " ) b0	( " ) b16	

## 取得

```
num0 = inpw (BASE + 0xE) ; /* num0 = 残り回数値 (下位ワード) */
num1 = inpw (BASE + 0xE) ; /* num1 = 残り回数値 (上位ワード) */
```

現在までの連続サンプリング実行済み回数データを読み出します。

必ず2ワード続けて読み込んで下さい。最初の 最位ワードの読み込み操作時に上位のワードも同時ラッチされるので両ワードデータ間に時刻差はありません。

計数は32ビットのバイナリ・ダウンカウンタ1本で行われるので、取得値は残り回数を意味します。

表3-8B. 【BASE + EH】入力ポートの構成

ビット	残り回数値：下位ワード	残り回数値：上位ワード	リセット時
B15	( num0 ) b15	( num1 ) b31	クリア される
B14	( " ) b14	( " ) b30	
B13	( " ) b13	( " ) b29	
B12	( " ) b12	( " ) b28	
B11	( " ) b11	( " ) b27	
B10	( " ) b10	( " ) b26	
B9	( " ) b9	( " ) b25	
B8	( " ) b8	( " ) b24	
B7	( " ) b7	( " ) b23	
B6	( " ) b6	( " ) b22	
B5	( " ) b5	( " ) b21	
B4	( " ) b4	( " ) b20	
B3	( " ) b3	( " ) b19	
B2	( " ) b2	( " ) b18	
B1	( " ) b1	( " ) b17	
B0	( " ) b0	( " ) b16	

### 3-9.トリガモード設定

outpw (BASE + 0x10, tgm); /\* tgm = トリガモード設定データ \*/

連続サンプリング動作のトリガモード・データを書き込みます。

表 3-9 A. 【BASE + 10H】出力ポートの構成 <ビットB8 ~ B15は未使用>

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	即トリガ制御 (ソフトトリガ)	許可	禁止	0
B 6	外部トリガ入力信号制御	許可	禁止	0
B 5	未使用			0
B 4	トリガ極性選択	+ ( )	- ( )	0
B 3	トリガ認識モード選択	エッジ	レベル	0
B 2	未使用			0
B 1	未使用			0
B 0	未使用			0

連続サンプリングは同スタート操作【3-11項】後のトリガ発生により始まり、  
(1)指定回数のサンプリング終了 (有限モード)、または(2)ストップ操作により停止します。  
複数のトリガを許可しておくで最初に発生したトリガ要素で連続サンプリングが始まります

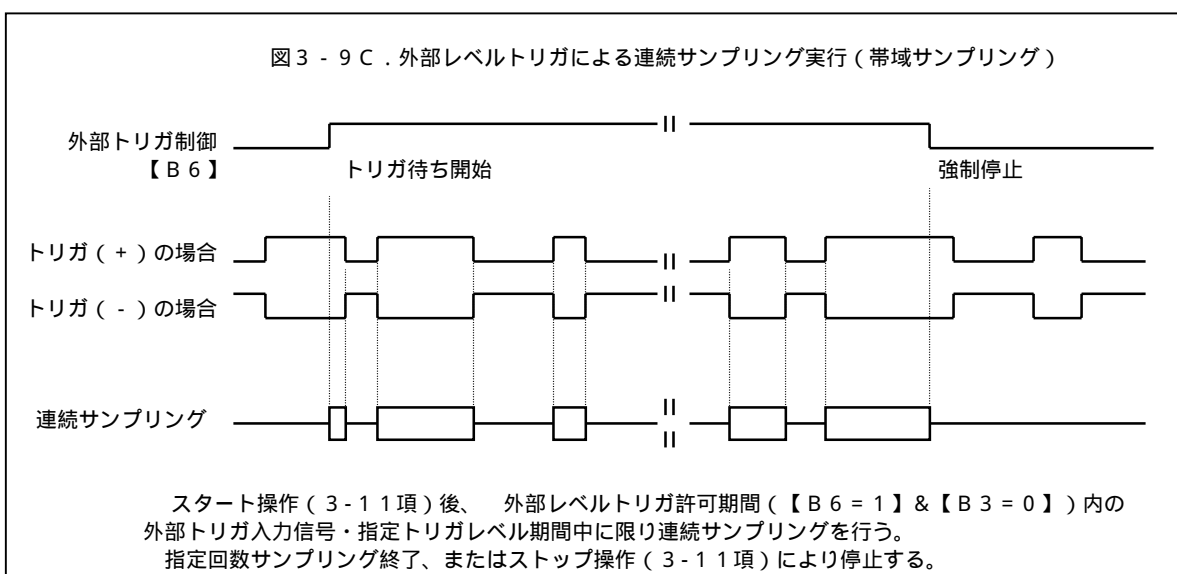
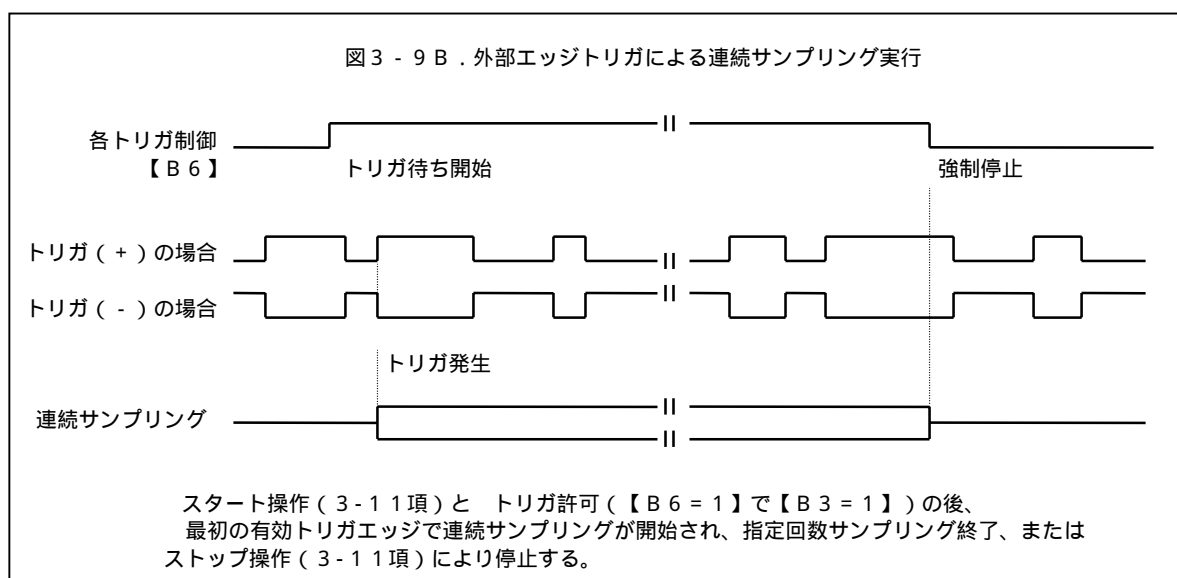
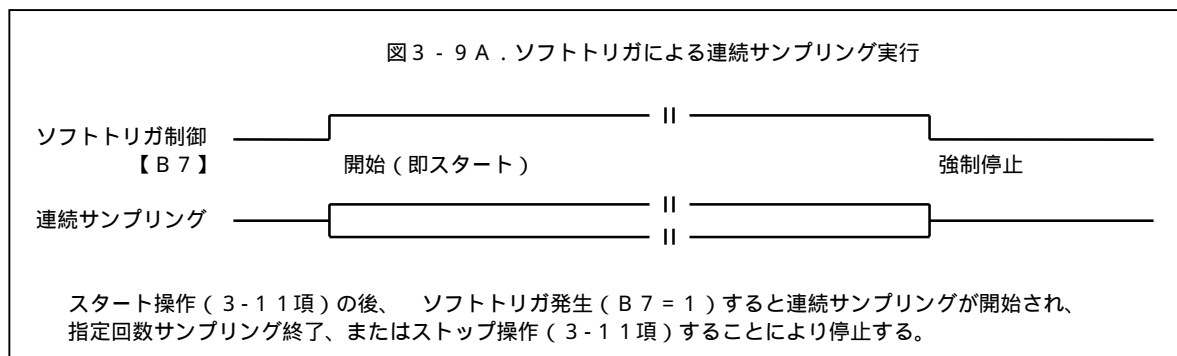
プログラム上任意のプロセスから即トリガをかけるには連続サンプリングスタート操作の後、  
**ソフトトリガ**制御ビットB7をセット (0 → 1) します。また、当B7ビットをセットした  
状態で連続サンプリングスタート操作を行っても (その時点で) 即トリガとなります。

特殊なトリガ形態として**帯域サンプリング** (デジタル・レベルトリガ) 動作があります。  
これは外部トリガ入力信号の指定レベル (極性) 期間だけ連続サンプリングを行います。

/ 図 3-9 C / 図 3-1 D 参照 /

トリガ遅れ	トリガ条件が成立したとき、本ボードがこれを検出して実際に連続サンプリングを開始するまでの遅れ時間は最大 100 ns です。
-------	----------------------------------------------------------------

図3 - 9 A , B , C に一般的なポストトリガ・サンプリング動作の様子を示します。  
(いずれもサンプリング動作開始操作 / 3 - 1 1 項 / 以後のシーケンス)



### 3-10. 割り込み制御【割り込みを使用しない場合は操作不要です。読み飛ばしてください。】

```
outpw (BASE+0x14, irm); /* inm: 割り込み要求の発生要因制御 */
```

本ボードからCPUボード側の割り込みコントローラに発信する割り込み要求発生要因を制御します。複数の要因を許可するとOR動作となります。なお本ボードが割り込みを使用するには【1-5項】同リソースを取得しておく必要があります。

(本ボード専用のWINDOWSハンドラ【第5章】では割り込みを使用していません。)

表3-10A. 【BASE+14H】出力ポートの構成 <ビットB8~B15は未使用>

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B7	外部割り込み信号 (INT-IN) の有効極性指定	(+)	(-)	0
B6	(FIFO) HALF-FULL 状態に変化 による割り込み	許可	禁止	0
B5	(FIFO) Not-EMPTY 状態に変化 による割り込み	許可	禁止	0
B4	(指定回数) サンプリング終了 による割り込み	許可	禁止	0
B3	1回サンプリング終了 による割り込み	許可	禁止	0
B2	トリガ発生 による割り込み	許可	禁止	0
B1	外部割り込み信号 (INT-IN) による割り込み	許可	禁止	0
B0	連続サンプリング・クロック による割り込み	許可	禁止	0

#### 《補助説明》

B7: 外部割り込み信号 (INT-IN) が許可された場合の信号エッジ極性 ( ) 指定。

B6: FIFOメモリ内の待機データが半分 (標準1K語のとき=512語) を超えた状態が発生したタイミングによる割り込み制御。

B5: FIFOメモリ内が空から1データ入ったタイミングによる割り込み制御。

B3: 各回サンプリング終了タイミングによる割り込み制御。

B0: 指定クロックの有効エッジによる割り込み制御。  
(各回サンプリング開始タイミングによる割り込み制御。)

【注】 各回サンプリング終了タイミングによる割り込みを使用している場合で、FIFOメモリ中のデータ全てを読み出さないうちに次のサンプリングが開始され、データがFIFOメモリに書き込まれたときは、このサンプリング終了タイミングによる新たな割り込み要求は発生せず、割り込みオーバーラン・エラーフラグ (3-12項) がセットされます。/ 連続サンプリング動作は続行される。/ その後、FIFOメモリ内のデータ全てを読み出してしまえば以後のサンプリング終了タイミングでは新たな割り込み要求が発生します。



### 割り込み要求出力許可 / 禁止 (クリア)

```
outpw (BASE + 0x16, 0x0); /* 割り込み要求信号クリア (出力禁止) */
outpw (BASE + 0x16, 0x1); /* 割り込み要求信号出力許可 */
```

本ボードからパソコン本体内部割り込みコントローラに発信する割り込み要求信号出力はソフト (ボードのドライバ) 上でクリア操作する必要があります。すなわち、PCIバスの割り込み信号はクリア操作まで割り込み要求状態を保持する“レベル動作”です。

また当ポートはラッチポートですからビットB0で出力禁止 (クリア) 操作を行うと当状態は保持され、次の割り込み信号が出力できない状態です。これを解消するには再度ビットB0をセット (= 1) する操作が必要です。

《WINDOWSでは通常、この操作はデバイスドライバ内で行います。》

表3-10B. 【BASE + 16H】出力ポートの構成 <ビットB8 ~ B15は未使用>

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B7	未使用			0
B6				0
B5				0
B4				0
B3				0
B2				0
B1				0
B0	PCIバス上への割り込み信号出力制御	出力許可	出力禁止 (クリア)	0

### 3-11. サンプリング動作のスタート/ストップ制御

クロック同期・動作の制御（連続サンプリングのスタート/ストップ）

outpw (BASE+0x12, str); /\* str: クロック同期動作の制御データ \*/

: 各種クロック同期動作モードの中から1モードを選択・スタートさせます。  
これにより指定された動作モードで動作開始&トリガ待ち状態になります。  
当操作実行前にトリガモード【3-9項】を設定しておきます。

: 動作を強制停止させます。

: 指定回数の連続動作終了（カウントアップ）により自動停止した場合、  
再度スタートさせるときは  
一旦、ストップ操作してからあらためてセットします。

表3-11A. 【BASE+12H】出力ポートの構成 <ビットB8～B15は未使用>

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	セット時
B7	クロック同期動作制御データ	クロックのみ動作	連続サンプリング動作	0
B6 ～ B2	未使用			0 ～ 0
B1	有限/無限モード選択	有限回数動作	無限回数動作	0
B0	スタート/ストップ制御	スタート（トリガ待ち）	強制ストップ	0

表3-11B. クロック同期動作モード選択データ

B7	B1	B0	動作モード
1	1	1	ポストトリガ <b>有限</b> ・連続クロックのみ スタート【注1】
1	1	0	各動作停止 ストップ
1	0	1	ポストトリガ <b>無限</b> ・連続クロックのみ スタート【注1】
1	0	0	各動作停止 ストップ
0	1	1	ポストトリガ <b>有限</b> ・連続サンプリング スタート
0	1	0	各動作停止 ストップ
0	0	1	ポストトリガ <b>無限</b> ・連続サンプリング スタート
0	0	0	各動作停止 ストップ

【注1】 “クロックのみ動作モード” ではサンプリングは行われず、クロックのみが走ります。  
ステータス監視や割り込みを使用してクロックを検出し、任意の処理を行うような  
使い方が可能です。

【注2】 有限モードのときは3-8項で設定した値に達すると自動停止、また  
無限モードのときは停止操作まで無限に動作します。

## 3-12 . ステータスの取得、クリア

## 取得

```
sts1 = inpw (BASE + 0x18) ; /* sts1 = 基本ステータスデータ */
sts2 = inpw (BASE + 0x1A) ; /* sts2 = 追加ステータスデータ */
```

本ボードのステータスデータを読み込みます。

表 3-12 A . 【BASE + 18H】基本ステータス入力ポートの構成 &lt;ビットB8～15は未使用&gt;

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	END : 指定回数の連続サンプリング終了 【注 1】	終了済み	実行中	0
B 6	EOS : 各回サンプリング終了 【注 1】	終了済み	実行中	0
B 5	IRE : 割り込みオーバーラン・エラーフラグ 【注 1】	発生済み	未発生	0
B 4	ORE : オーバーラン・エラーフラグ 【注 1】	発生済み	未発生	0
B 3	LST : データロスト・エラーフラグ 【注 1】	発生済み	未発生	0
B 2	FUL : Not FULL 【注 2】	未満杯	満杯	1
B 1	HLF : Not Half-full 【注 2】	1 / 2 未満	1 / 2 以上	1
B 0	EMP : Not Empty 【注 2】	データ有	データ無	0

【注 1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注 2】現在状態を刻々反映する状態フラグ。

## 《補足説明》

- (B 7) END : 指定回数の連続サンプリングが実行完了したときにセット (= 1) される。  
強制的に連続サンプリングが止められたときには変化しない。。
- (B 6) EOS : 各回のサンプリングが終了するたびにセット (= 1) される。  
すなわち、後述のTIMからサンプリング実行時間だけ遅れてセットされる。
- (B 5) IRE : 各回のサンプリングが、同終了による割り込み処理が追いつかなくなったときに  
セット (= 1) される。 / 詳細は前 3 - 10 項【注】参照。 /
- (B 4) ORE : 本機の仕様以上のクロックで連続サンプリングが実行されるとセット (= 1) される。  
 / スピード違反、取得データは無効 /
- (B 3) LST : F I F Oバッファが満杯になった状態で、次のデータ書き込みが成らず消失した。  
ときにセット (= 1) される。
- (B 2) FUL : F I F Oバッファ内のデータが《満杯》になるとセット (= 0) され、  
読み出しにより《満杯未満》になるとリセット (= 1) される。  
Not Full 定義。
- (B 1) HLF : F I F Oバッファ内のデータが《容量の半分 + 1》以上になるとセット (= 0) 、  
読み出しにより《容量の半分 + 1》未満になるとリセット (= 1) される。  
Not Half-Full 定義。
- (B 0) EMP : F I F Oバッファ内のデータが 1 個以上になるとセット (= 1) され、読み出し  
により空になるとリセット (= 0) される。。  
Not Empty 定義。

表 3-12 B. 【BASE + 1 A H】追加ステータス入力ポートの構成 &lt;ビット B 8 ~ 15 は未使用&gt;

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	セット時
B 7	未使用			0
B 6	未使用			0
B 5	未使用			0
B 4	未使用			0
B 3	未使用			0
B 2	INT : 割り込み要求発生 【注 1】	発生	未発生	0
B 1	TIM : 各回サンプリング・クロック先端【注 1】	発生	未発生	0
B 0	TGD : トリガ発生認識 【注 3】【注 1】	発生	未発生	0

【注 1】一旦セットされるとクリア操作まで保持するラッチフラグ。

《補足説明》

- (B 2) INT : 割り込み要求が発生 (3-10 項) するとセット (= 1) される。
- (B 1) TIM : 各回のサンプリングが開始されるたびに (連続サンプリングクロックの前縁で) セット (= 1) される。クロックのみ動作モード (3-10 項) でも有効。
- (B 0) TGD : 許可されたトリガが発生するとセット (= 1) される。  
トリガモード再設定 (3-9 項)、またはボード・リセット (3-4 項) でクリアされる。
- 【注 3】 外部デジタル入力によるレベルトリガ (帯域サンプリング) 動作のときだけは同有効レベル期間中だけセット (= 1) される、すなわち現在状態を刻々反映する状態フラグとなる。

## クリア

```
outpw (BASE + 0x18, stc1); /* stc1 = クリアビット指定データ */
```

```
outpw (BASE + 0x1A, stc2); /* stc2 = クリアビット指定データ */
```

指定したステータスビットをクリアします。（クリア対象は表3-12A, B中の【注1】）  
 なお、当出力データは保持されません。

表3-12C. 【BASE + 18H】基本ステータスクリアポートの構成 &lt;ビットB8～15は未使用&gt;

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B7	END : 連続サンプリング終了 【注1】	クリア する	クリア しない	0
B6	EOS : 各回サンプリング終了 【注1】			0
B5	IRE : 割り込みオーバーラン・エラーフラグ【注1】			0
B4	ORE : オーバーラン・エラーフラグ 【注1】			0
B3	LST : データロスト・エラーフラグ 【注1】			0
B2	未使用			0
B1	未使用			0
B0	FIFOバッファだけのリセット操作 【注4】			0

【注1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注4】FIFOバッファ内の残りデータを破棄し、同フラグをリセットする。

EMP = 0

HLF = 1

表3-12D. 【BASE + 1AH】追加ステータスクリアポートの構成 &lt;ビットB8～15は未使用&gt;

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B7	未使用	クリア する	クリア しない	0
B6	未使用			0
B5	未使用			0
B4	未使用			0
B3	未使用			0
B2	INT : 割り込み要求発生 【注1】			0
B1	TIM : 各回サンプリング・クロック先端【注1】			0
B0	TGD : トリガ発生認識 【注3】【注1】			0

【注1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注3】レベルトリガ動作のときは状態フラグ。（前ページ参照）

### 3-13. データの読み出し

FIFOバッファメモリ内のデータは図3-13に示す配置となっています。

これらを逐次読み出し、CPU側のメモリに転送する方法は通常の入力命令のほか、CPUによってはストリング入力命令もあります。

直接入力データは（読み出し対象の入力ブロック指定後）全てポート0から読み出します。  
 単独モードでのデータは各ポート読み込み実行時刻のものですが、  
 同期モードでは全ポート同時刻（ラッチ）のデータを読み込みます。

《読み込み操作例》

```

単独入力 ----- o u t p w ( BASE + 0x1E , 0x0 ) ; /* 直接・単独入力モードに指定 */
同時入力 ----- o u t p w ( BASE + 0x1E , 0x2 ) ; /* 直接・同期入力モードに指定 */
               --- d u m m y = i n p w ( BASE + 0x16 ) ; /* 全ポート同時ラッチ操作 */
読み込み ----- o u t p w ( BASE + 0x8 , 0x0 ) ; /* 読み出し対象にブロック0を指定 */
               --- DATA0 = i n p w ( BASE + 0x0 ) ; /* ブロック0データ (PD15~PD0) */
               --- o u t p w ( BASE + 0x8 , 0x3 ) ; /* 読み出し対象にブロック3を指定 */
               --- DATA3 = i n p w ( BASE + 0x0 ) ; /* ブロック3データ (PD63~PD48) */
  
```

連続サンプリング入力データ（FIFOから）もポート0から読み出します。

全データは同期して（同時刻に）FIFOメモリに入力されたものです。

- (1) 通常の入力命令の場合はワード単位で（連続して）読み出します。

ソフト上ではサンプリングされたデータがFIFOメモリ内に1個以上有るか／空かを示すステータスフラグEMP、または各回サンプリング終了EOS（前3-12項）をポーリングするか、または同ステータスによる割り込みを使用します。／EOSを推奨／

《読み込み操作例》：64ビット幅入力モードで取得した1サンプリング分。

```

o u t p w ( BASE + 0x1E , 0x1 ) ; /* 連続サンプリングモードに指定 */
o u t p w ( BASE + 0x8 , 0x3 ) ; /* 64bit入力幅に設定 */
  
```

【3-6項】クロック源選択、【3-7項】分周比の指定  
 【3-8項】連続サンプリング回数の設定  
 【3-9項】トリガモードの設定  
 【3-11項】スタート操作  
 【3-12項】ステータス取得・評価（FIFOメモリ内のデータ存在確認）

```

DATA0 = i n p w ( BASE + 0x0 ) ; /* ブロック0データ (PD15~PD0) */
DATA1 = i n p w ( BASE + 0x0 ) ; /* ブロック1データ (PD31~PD16) */
DATA2 = i n p w ( BASE + 0x0 ) ; /* ブロック2データ (PD47~PD32) */
DATA3 = i n p w ( BASE + 0x0 ) ; /* ブロック3データ (PD63~PD48) */
  
```

- (2) 80系（80286以上）のCPUでは複数のデータを連続して読み出し、CPU側のメモリに転送するストリング入力転送命令（INSW命令）を使用することができます。

この場合はFIFOメモリ内に蓄積されたADデータがFIFOメモリ容量の 半分 + 1 以上か／未満かを示すステータスフラグHLF（前3-12項）をポーリングするか、または同ステータス変化による割り込みを使用します。

## データ読み出しアルゴリズム作成上の注意

FIFOメモリからデータを読み出すときに監視・参照するフラグにはNot-Empty、Half-Full、各回サンプリング終了などがあります。Half-Full フラグはもっぱらFIFOメモリ容量の半分単位でストリング転送（INSW 命令）するときに使用し、Not-Empty と各回サンプリング終了フラグは時々刻々の読み出しに使用されます。

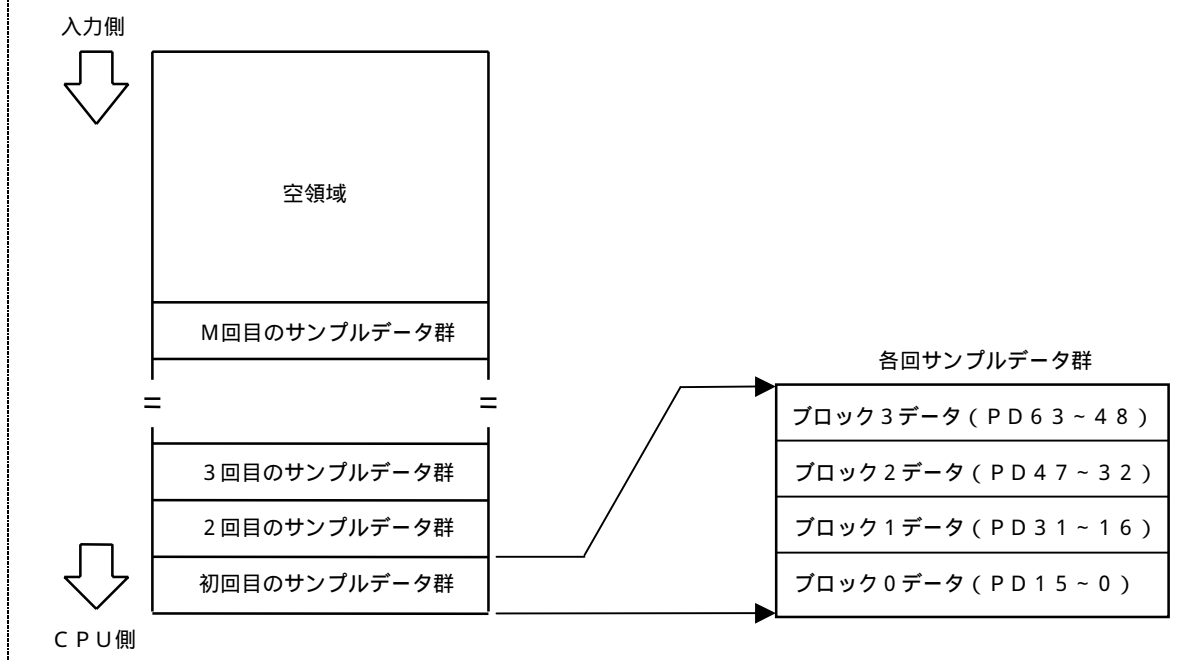
【注】 オプションの8M語FIFOモジュールの“Not-HALF-FULL”フラグは、モジュール上のスイッチ設定で充満データが512語、1K語、2K語、4K語、8K語、16K語、32K語、64K語、に達しているか否かを示すものです。

エラーが発生するときは、

本ボード搭載のFIFOメモリ入力速度（使用ワード数×サプリング周波数）が出力側の読み出し速度（CPU側へのデータ転送速度）より速いときは、同メモリの充満量が次第に増えて行き、ついにはオーバーフローを起こしてデータロス・エラーフラグが立ちます。

当時点以降にサンプリングされた新データは全て消失されますが【ここで連続サンプリング停止操作により動作を止めれば】FIFOメモリ内の残りデータは全て有効に読み出すことができます。 【注】オーバーフロー発生がストリング転送実行タイミングと重なった場合はFIFOメモリ末尾側に最大1転送単位分の空領域を残すような形となります。

図3-13. FIFOメモリ内のデータ配置（64ビット幅入力モードの場合）



### 3-14. マスタスレーブ動作（複数ボードの同期・並行動作）

複数の本ボード（最大7枚）を同一クロックで同期運転することもできます。  
この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。  
スレーブはマスタからのクロックを受けて同期をとりますが、サンプリングタイミングに最大  
100nsの遅れが生じます。 接続・操作は以下のとおり。

#### ボード上の設定

クロック源入力終端用スイッチS - CKZは1枚のみ【ON】、その他は【OFF】とする。  
スレーブボードが無いときはマスタ自体、スレーブボードがあるときはスレーブの中で  
どれか1枚を【ON】、ほかは全て【OFF】に設定する。

#### ボード間の接続等

マスタ機のクロック出力《CLK-OUT》をスレーブ各機のクロック入力《CLK-IN》に接続する  
だけである。（図3-14参照）

マスタ機は外部クロック源、外部（デジタル）トリガを使用することもできる。

#### ソフトウェア

スレーブ各機のクロック源は外部に設定（3-6項）、またクロック源の分周比は1/1に  
設定（3-7項）しておく。

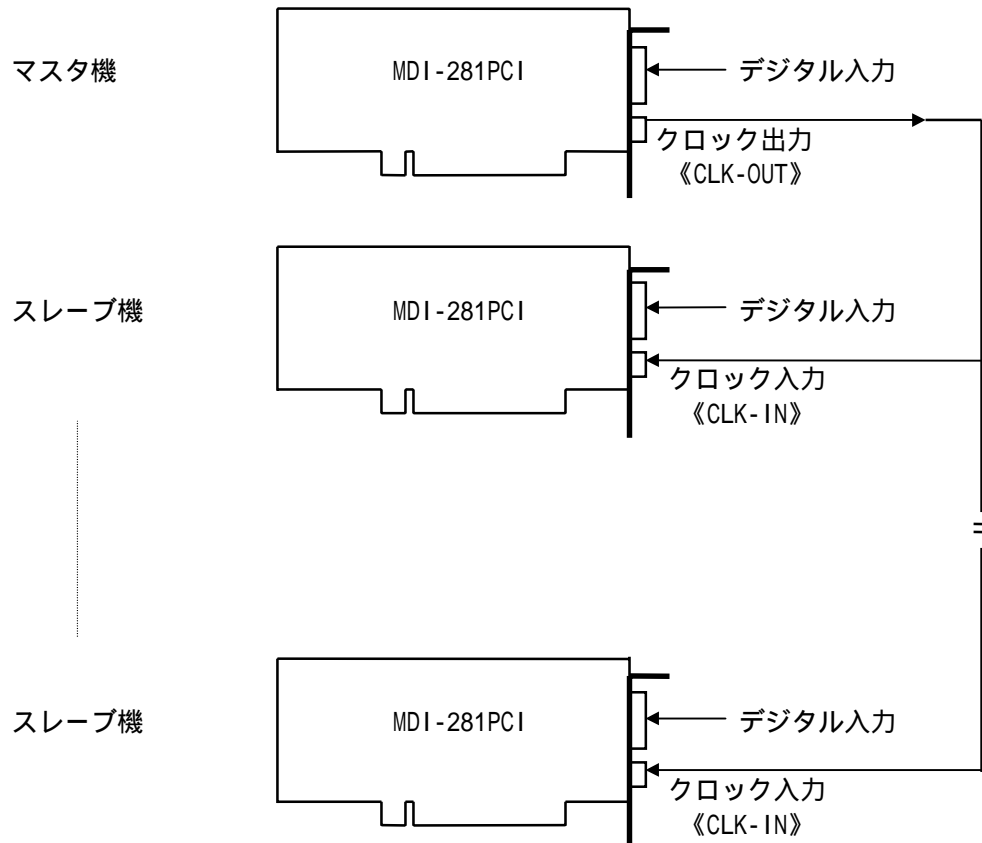
スレーブ各機の外部トリガは禁止としておく。

マスタ機は単独動作時と同様に（何の制限もなく）条件設定できる。

連続サンプリング動作のスタート操作はスレーブ各機を（ソフトトリガで）先に、最後に  
マスタ機を（任意のトリガ条件で）行う。 連続サンプリング開始後はマスタ機のステータ  
スを監視しながら適時、各機からのデータを読み出す。



図3-14. マスタスレーブ接続による複数ボードの並列・同期運転



### マスタスレーブ動作の概要

- (1) スレーブ各機をソフトトリガで即スタートさせると外部クロック入力による連続サンプリング動作となるが、この時点ではマスタ機からのクロック入力待ち状態である。
- (2) マスタ機が（設定した）トリガにより連続サンプリングが開始されるとマスタ機から有効なクロック信号が出力され、これがスレーブ各機（最大7枚）に入力されて同期サンプリングが実行される。/この間の遅れ時間は最大100nsである。/
- (3) 以後はマスタ機のステータスを監視して適時、各機のFIFOバッファからデータを読み出す。マスタを含めて各機は自身の最高速度で連続サンプリングできる

### 3-15．補助デジタル入出力

本機には外部制御入力が3本（外部クロック源入力／外部トリガ入力／外部割込み入力）ありますが、これらの中で本来の外部制御機能として使用しないビットは汎用のデジタル入力として利用することができます。

入力

```
d i n = i n p w ( B A S E + 0 x 1 C ) ; /* 補助TTL（現在値）入力 */
```

表3-15A．【BASE+1CH】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7	未使用		
B 6	未使用		
B 5	未使用		
B 4	未使用		
B 3	未使用		
B 2	CLK-IN：外部クロック源入力	H i g h（開放）	L O W（0Vレベル）
B 1	TRG-IN：外部トリガ入力	H i g h（開放）	L O W（0Vレベル）
B 0	INT-IN：外部割込み入力	H i g h（開放）	L O W（0Vレベル）

出力

```
o u t p w ( B A S E + 0 x 1 C , d o u t ) ; /* 補助1ビットTTL（ラッチ）出力 */
```

表3-15B．【BASE+1CH】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用			
B 6				
B 5				
B 4				
B 3				
B 2				
B 1				
B 0	Q 0：補助デジタル出力ビット0	H i g h	L o w	0

【注1】 電源投入、またはハードウェアリセット直後の補助デジタル出力は“0”ですが、ソフト的な制御部リセット操作（3-4項）ではクリアされません。

【注2】 補助デジタル出力の論理はボード上のスイッチS-POLにより任意に設定することができます。

出荷時は《N》側に設定＝“負論理”で、電源投入・ハードウェアリセット直後の状態はH i g hレベル（出力＝0）です。

なお《P》側＝“正論理”モードでは（回路の性格から）電源投入・ハードウェアリセット時に約100msのH i g h期間が発生するので御注意ください。

（1-2項、2-3項参照）