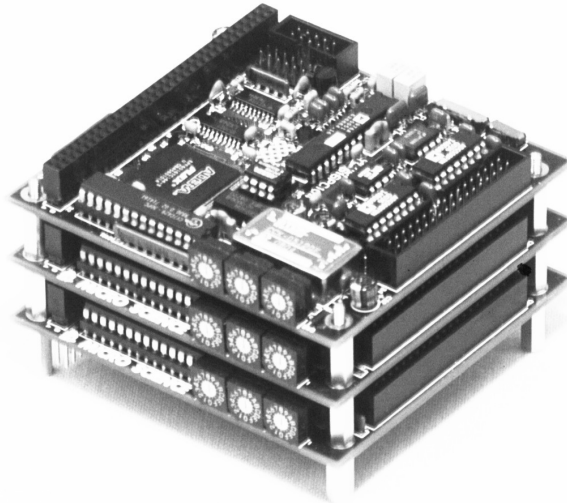


Real Solution for FA/LA



12bit / 4ch / バス絶縁型 D/A変換
QDA - 724PC104

取扱説明書

PC104
ISA互換バス

マイクロサイエンス（株）

〒167-0042 東京都杉並区西荻北2丁目37番12号

TEL 03(3396)8362 代表

FAX 03(3301)5593

Email: welcome@microscience.co.jp

Mar 04, 2002

目 次

使用・適用上の注意	3
本製品の構成・価格表	4

第 1 章．導入・試運転

1-1. 本製品の仕様・概要	5
1-2. ボード上の設定	6
1-3. I / O ベースアドレスの設定	7
1-4. 入出力コネクタ・ピン接続	8

第 2 章．信号入出力

2-1. アナログ出力端	9
2-2. アナログ出力範囲	10
2-3. 入出力信号の定義	12
2-4. デジタル入出力回路	12

第 3 章．制御・操作

3-1. 制御・操作とアナログ出力の様子	13
3-2. 制御レジスタ I / O アドレス・マップ	17
3-3. ボード・リセット（初期化）、認識	18
3-4. アナログ（D A）出力モードの設定	19
3-5. 外部制御入力・割り込み関連の設定	20
3-6. アナログ出力範囲の設定	21
3-7. ステータスデータの取得	22
3-8. D A 更新データの書き込み	23
3-9. 汎用デジタル入出力	24

第 4 章．保守・その他

4-1. 故障・トラブル等の原因と対処	25
4-2. 修理のときは	26
4-3. 再調整	27

付録．Q & A フォーム（質問 / トラブル・故障に対する相談用）	28
------------------------------------	----

本製品の使用・適用についての注意

- 【１】 本製品はP C / 1 0 4バス（８ビット）に装着して使用するものですが、コネクタの電流容量は３Ａ仕様の部品を使用することで＋５ｖ電源ピン（計２本）の供給能力が標準規格の（１Ａ仕様×２ピン）より大きくなっています。
但し、標準規格に忠実な他社製品と組み合わせて使用するときは低能力側の仕様を採用しなければならない場合もありますので御注意ください。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システムの設計・制作に別途付加・反映させてください。 本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。 これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。 御利用の場合は同システムの設計・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第３者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。 但し、当社製ソフトウェアのソースコードを含むソフトウェアを第３者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

故障・修理・サポート方法について

- 【１】 納入後１年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品に対して無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【２】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰する故障品に対しては実費にて修理をお願いします。
- 【３】 修理は宅配便によるセンドバックで行います。 なお、運賃は互いに発送する側が負担するものとします。（無償修理の場合も含む／着払い不可。）
- 【４】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社宛に直接御相談・御用命ください。 その際は、客観情報の整理・評価を行うために必ずF A X等でレポートを御送付ください。（解決速度が格段に上ります。）
本書末尾の《Q & A フォーム》が便利です。

製品構成

本体 D A ボード、
入出力プラグ・ヘッダ (各 1 個)
スペーサ & ネジ (1 5 mm 長、 4 個)
ソフトウェア (当社ホームページ www.microscience.co.jp からダウンロード)
プレーンな C サンプル、
当社製 P C I 、 U S B 各インターフェース上でのサンプル。

価格表

製品名	当社直販価格	製品の概要
Q D A - 7 2 4 P C 1 0 4	¥ 3 6 , 0 0 0	1 2 ビット 4 チャンネル (パス絶縁型) D A 変換ボード
(オプション) 取扱説明書	1 , 0 0 0	印刷された取扱説明書

《 言語 》 英文を御希望の場合は “ 英文取扱説明書 ” と御指定ください。(本製品は当社・日本製です。)
なお両版共、 P D F ファイルは無償配布の C D R O M に格納されているほか、
当社ホームページからダウンロードもできます。 / 新製品はダウンロードのみ /
www.microscience.co.jp

第1章. 導 入

1-1. 本機の仕様・概要

フォトカブラ共通（バス）絶縁型の電圧出力DA変換ボードです。

アナログ（DA変換）出力は単独、または同期して（一斉に）更新出力でき、さらに複数の当ボード間でも（タイミング信号の外部接続により）同期更新することができます。

分解能 : 12ビット
 正確度 : 0.07%FS（出荷時、当社調整環境にて）
 非直線性 : 0.004%FS（回路・素子の性能）
 グリッチ : 400mV（±10V範囲のとき）
 温度ドリフト : 0.002%FS / （typ）
 出力電圧範囲 : 0 ~ +10V、±10V（ソフト切り替え）
 セトリング時間 : 16.5μs（0.1%FS到達 / 負荷容量100pF、10V変化のとき）
 負荷駆動能力 : 容量500pF、抵抗2K 以上（負荷電流2mA以下）。
 DA更新出力 : 全チャンネル同期（複数ボード同期可能）、または各チャンネル単独更新。
 割り込み機能 : 同期更新入力を汎用割り込みとして使用可能。
 デジタル入出力 : 汎用2ビットTTL入力 & 汎用1ビットTTLラッチ出力。
 パワーON（ハードウェア）リセットによる強制0Vアナログ出力機能。

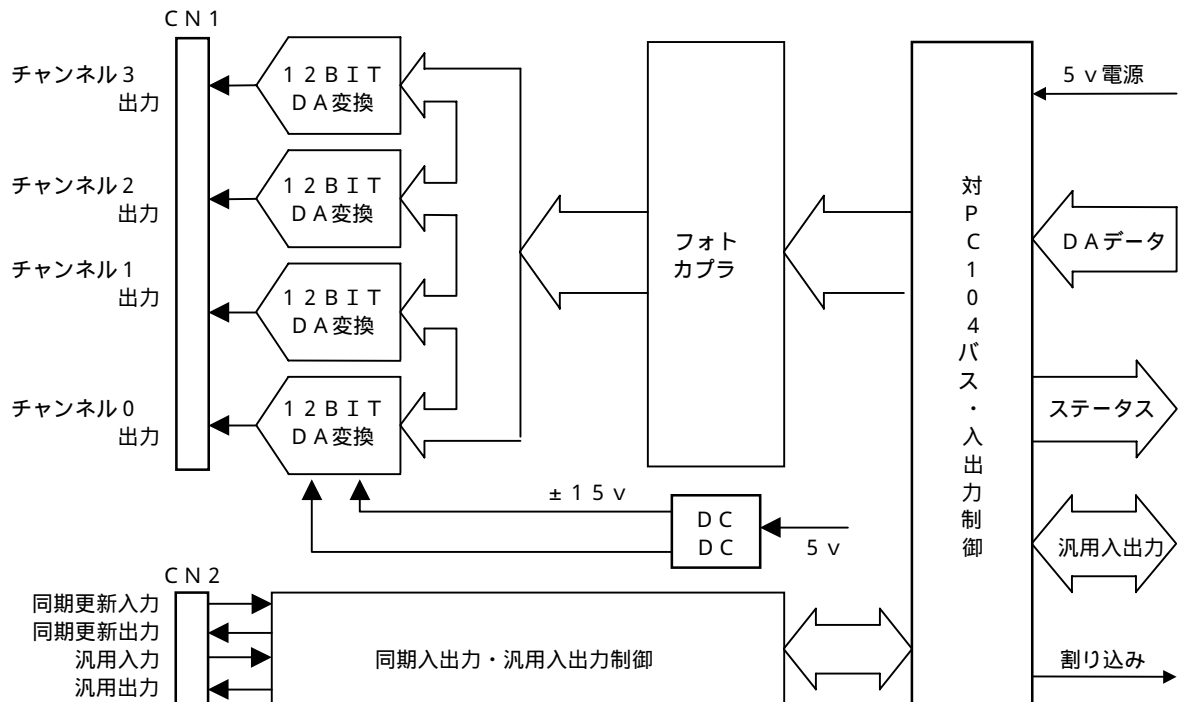
I/Oアドレス : 上位12ビットをディップスイッチ設定（16ポート占有）

電源・消費電流 : 5V / 0.6A

動作温度範囲 : 0 ~ +55 （結露しないこと）

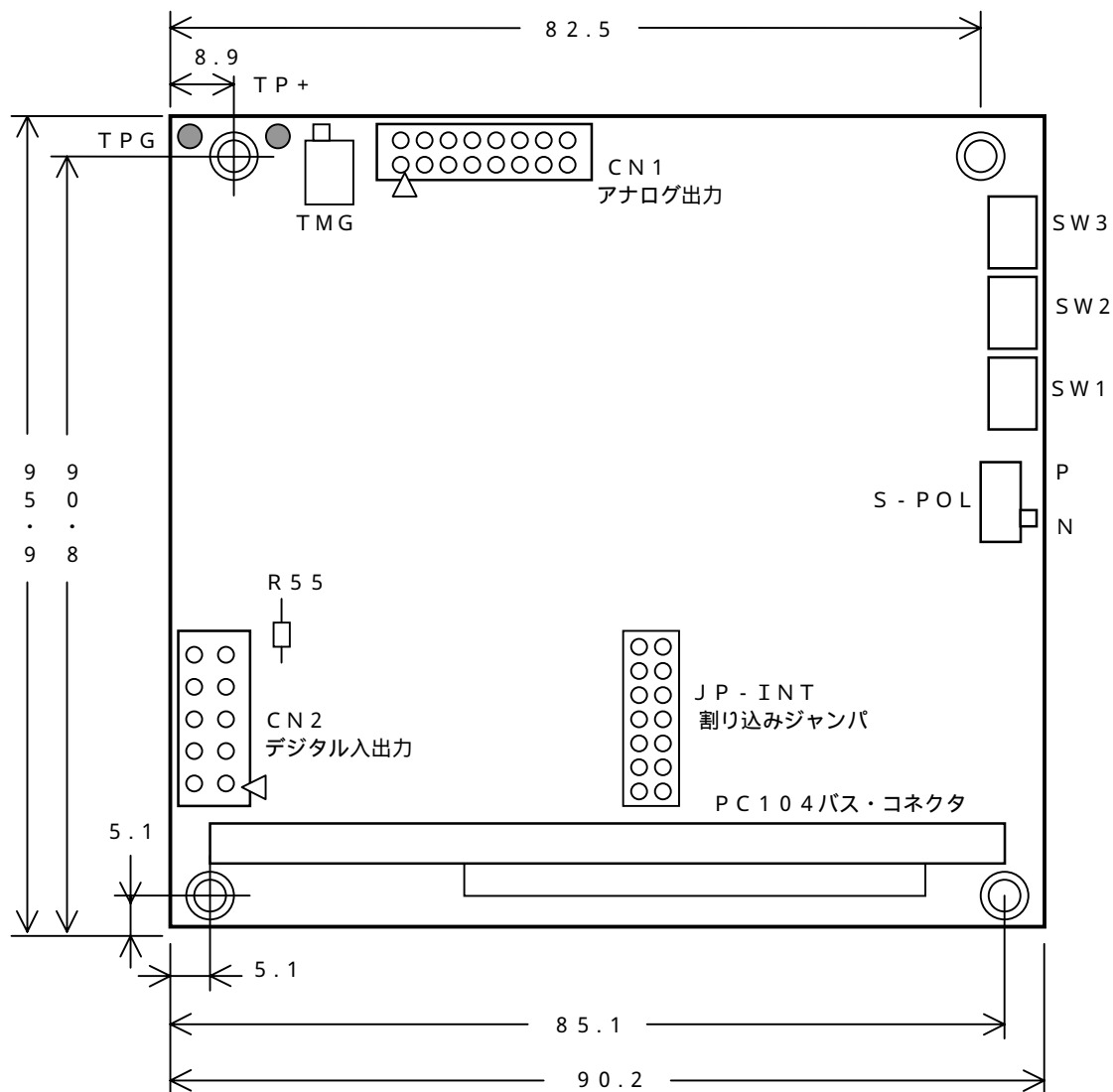
保存温度範囲 : -10 ~ +80 （ " " " ）

図1-1. QDA-724PC104機能ブロック



1-2. ボード上の設定

図1-2A. QDA - 724PC104ボード上の部品配置



SW1 ~ SW3 : I/Oベースアドレス設定【出荷時：0, 1, E】 / 1 - 3項

S - POL : 汎用デジタル出力極性選択【出荷時：N（負論理）】 / 2 - 4項

JP - INT : 割り込み番号選択 【出荷時：NC（非接続）】 / 3 - 5項

TMG : アナログ出力調整トリマ。（再調整用） / 4 - 3項

CN1 : アナログ出力コネクタ（16ピンFRC） : 1番ピン / 1 - 4項

CN2 : デジタル入出力コネクタ（10ピンFRC） : 1番ピン / 1 - 4項

R55 : 汎用デジタル出力プルアップ抵抗【出荷時：未実装】

1-3. I/Oベースアドレスの設定

本機の制御・操作は全てPC104バス上のハードウェアI/O空間に割り付けられます。

I/Oアドレス割り付けは使用するCPU、周辺デバイスの都合で決定・設定してください。

参考までにIBM PC/AT互換機ではパソコン本体内部デバイスおよび重要な周辺機器・拡張ボードの使用するI/Oアドレスが000h～3FFhにマッピングされています。I/Oアドレス線は16ビット（AB15～AB0）ですが、全んどのIBM PC/AT互換機ではAB9～AB0のみをデコード（AB15～10を無視）しているため上位のアドレス空間1KBごとにイメージが生じることに御留意下さい。本機の出荷時設定は01E、この場合は01E0～01EFのアドレスを占有します。他のボードや周辺機器と重複しない値を御使用ください。

図1-3. I/Oベースアドレスの設定



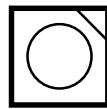
アドレス線	AB15 ~ AB12	AB11 ~ AB8	AB7 ~ AB4	AB3 ~ AB0
ディップ スイッチ SW1 ~ 3	SW1 	SW2 	SW3 	ボード内で 複数のアドレスを使用 / 3 - 3項参照 /
出荷時設定	0	1	E	(0 ~ F)

表1-3. IBM PC/AT互換機システムの(代表的な)I/Oアドレスマップ

I/Oアドレス(hex)	本体内部デバイス、主要周辺機器	本機で運用の可否	他社の使用例、等
000 ~ 01F	DMAコントローラ1	x 不可	
020 ~ 03F	割り込みコントローラ1	x 不可	
040 ~ 05F	タイマ	x 不可	
060 ~ 06F	キーボード・コントローラ	x 不可	
070 ~ 07F	リアルタイム・クロック、NMI	x 不可	某社の本体システムで使用
080 ~ 09F	DMAページレジスタ	x 不可	
0A0 ~ 0BF	NMIマスキングレジスタ	x 不可	
0C0 ~ 0DF		x 不可	DMAコントローラ2
0E0 ~ 0FF		x 不可	NDP
100 ~ 16F		【推奨】	
170 ~ 17F	IDEコントローラ2	x 不可	
180 ~ 1EF		【推奨】	
1F0 ~ 1FF	IDEコントローラ1	x 不可	
200 ~ 20F	ゲームI/O	x 不可	
210 ~ 21F	拡張ユニット	x 不可	
220 ~ 26F		【可能】	
278 ~ 27F	プリンタ2	x 不可	
280 ~ 2AF		【可能】	
2B0 ~ 2DF	EGA	x 不可	
2E1	GPIB	x 不可	
2E2 ~ 2E3	データアキュイジション	x 不可	
2F8 ~ 2FF	シリアルポート2	x 不可	
300 ~ 31F	プロトタイプ・ボード	【可能】	他社の標準設定と競合し易い
320 ~ 32F	HDDコントローラ	x 不可	
360 ~ 36F	PCネットワーク	x 不可	
378 ~ 37F	プリンタ1	x 不可	
380 ~ 38F	SDLC, バイシンク2	x 不可	
390 ~ 393	クラスタ	x 不可	
3A0 ~ 3AF	バイシンク1	x 不可	
3B0 ~ 3BF	モノクロディスプレイ、プリンタ	x 不可	
3C0 ~ 3CF	EGAディスプレイ・コントローラ	x 不可	
3D0 ~ 3DF	CGAディスプレイ・コントローラ	x 不可	
3F0 ~ 3F7	FDDコントローラ	x 不可	
3F8 ~ 3FF	シリアルポート1	x 不可	

1-4. 入出力コネクタ・ピン接続

アナログ出力には16ピンFRCコネクタ、また汎用デジタル入出力を含む制御信号の入出力には10ピンFRCコネクタ（各MIL標準規格2.54ピッチ）が使用されており、適合するプラグ・ヘッダ（各々1個）が添付されています。

アナログ出力コネクタ

適合プラグ・ヘッダ型式
基板側型式

ヒロセ製：HIF3BA-16DA-2.54R(11)

ヒロセ製：HIF3FC-16PA-2.54DSA

図1-4A. QDA-724PC104のアナログ出力コネクタ（CN1）ピン接続

信号名	機能	ピン番号	ピン番号	信号名（機能）
CH0	アナログ出力チャンネル0	1	2	A-COM（アナログコモン）
CH1	アナログ出力チャンネル0	3	4	A-COM（ " " ）
CH2	アナログ出力チャンネル0	5	6	A-COM（ " " ）
CH3	アナログ出力チャンネル0	7	8	A-COM（ " " ）
		9	10	
		11	12	
		13	14	
		15	16	

【注1】アナログコモンA-COMとデジタルグランドDGは絶縁されています。

【注2】本図のピン配置は部品面を上から見たものです。

デジタル入出力コネクタ

適合プラグ・ヘッダ型式
基板側型式

ヒロセ製：HIF3BA-10DA-2.54R(11)

ヒロセ製：HIF3FC-10PA-2.54DSA

図1-4B. QDA-724PC104のデジタル入出力コネクタ（CN2）ピン接続

信号名	（機能）	ピン番号	ピン番号	信号名	（機能）
D0-IN	汎用デジタル入力	1	2	DG	（デジタル・グランド）
D1-IN	汎用デジタル入力	3	4	DG	（ " " ）
UPD-IN	同期更新入力	5	6	DG	（ " " ）
UPD-OUT	同期更新出力	7	8	DG	（ " " ）
Q0-OUT	汎用デジタル出力	9	10	DG	（ " " ）

【注1】デジタルグランドDGとアナログコモンA-COMは絶縁されています。

【注2】各信号はTTLレベルです。（入力：10Kプルアップ、出力素子：74LS04）

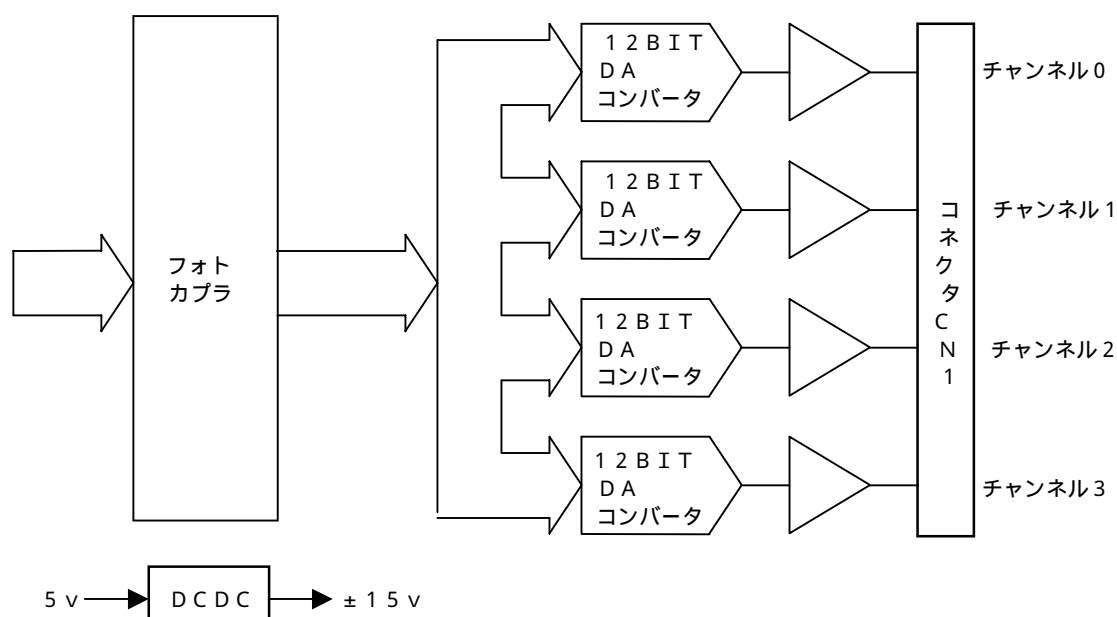
【注3】本図のピン配置は部品面を上から見たものです。

第2章 信号入出力

2-1. アナログ出力端

本機のアナログ出力回路は各チャンネルごとに専用のD/A変換器、出力バッファがあります。PC104バス側とアナログ出力側回路はフォトカプラで絶縁されています。

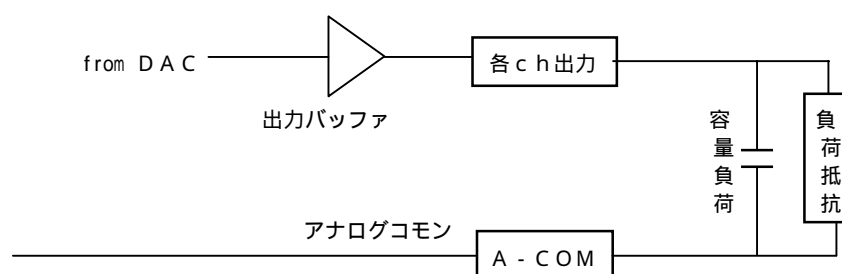
図2-1A. アナログ出力構造



過負荷に注意

電圧出力に接続できる負荷は抵抗5K以上（最大負荷電流2mA）、また、本機は容量性負荷（最大500pFまで）にも強い出力回路になっていますが、長距離をシールドケーブル等で接続するときは御注意ください。駆動能力を超えた容量性負荷を接続すると出力電圧が不安定になったり、発振することがあります。

図2-1B. アナログ出力構造



《参考》 一般的なツイストペア線やシールド線は1m当り、50～70pF程度の容量があります。

2-2. アナログ出力範囲

表 2 - 2 A . アナログ出力範囲

公称出力範囲	実際の出力範囲	分解能 [mv/digit]
0 ~ +10 v	0 ~ + 9.9976	2.44.....
±10 v	-10.000 ~ + 9.9951	4.88.....

伝達関数

12ビットDAの分解能は“2の12乗分の1”ですから、DAデータとアナログ出力電圧の関係は以下ようになります。

分解能 $Res = 10 \div 4096$ [v/digit] (0 ~ +10 v 範囲) のとき
 $Res = 20 \div 4096$ [v/digit] (±10 v 範囲) のとき

DAデータ $Dda = Vout \div Res$ [digit] (0 ~ +10 v 範囲) のとき
 $Dda = (Vout \div Res) + 2048$ [digit] (±10 v 範囲) のとき

出力電圧 $Vout = Dda \times Res$ [v] (0 ~ +10 v 範囲) のとき
 $Vout = (Dda - 2048) \times Res$ [v] (±10 v 範囲) のとき

図 2 - 2 A . バイポーラ出力

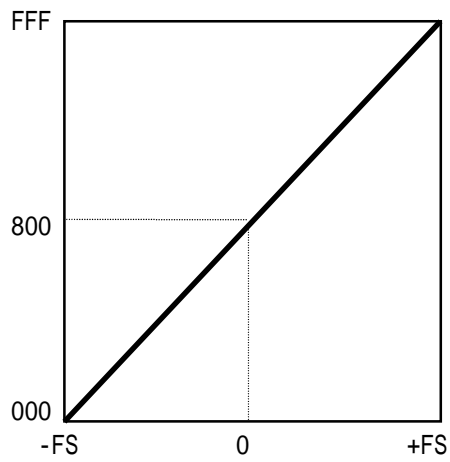


図 2 - 2 B . ユニポーラ出力

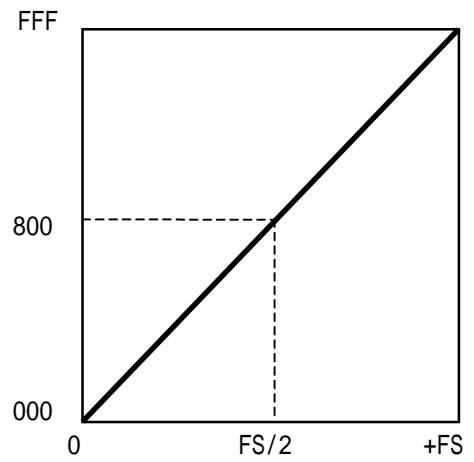


表 2 - 2 B . 12ビットDAデータ vs アナログ出力

D A データ hex / 10 進	アナログ出力範囲 (表 2 - 2 A 参照)					
	±10v	±5v			0 ~ +10v	0 ~ +5v
FFF / 4095	+9.99512	+ 4.99756			+ 9.99756	+ 4.99878
801 / 2049	+ 0.00488	+ 0.00244				
800 / 2048	0.00000	0.0000			+ 5.00000	+ 2.50000
7FF / 2047	- 0.00488	- 0.00244				
001 / 1	- 9.99512	- 4.99756			+ 0.00244	+ 0.00122
000 / 0	- 10.00000	- 5.00000			0.00000	0.00000

2 - 3 . 入出力信号の定義

表 2 - 3 .

信号名	記号	動作・適用
アナログ出力	CH 0	アナログ (D A) 出力チャンネル 0
" "	CH 1	アナログ (D A) 出力チャンネル 1
" "	CH 2	アナログ (D A) 出力チャンネル 2
" "	CH 3	アナログ (D A) 出力チャンネル 3
アナログコモン	A - COM	アナログ・グランド。【注 1】
デジタルグランド	DG	PC104 バス側 + 5 v 電源出力のリターン。
(TTL) 同期更新入力	UPD-IN	外部からの同期更新タイミング入力。【注 2】
(TTL) 同期更新出力	UPD-OUT	同期更新タイミング出力。
(TTL) 汎用デジタル入力	D0-IN, D1-IN	任意に使用可能。
(TTL) 汎用デジタル出力	Q0-OUT	任意に使用可能。

【注 1】 アナログコモン A - COM を含むアナログ出力回路側はデジタルグランドを含む PC104 バス制御回路側とフォトカプラで直流的に絶縁されています。

【注 2】 同期更新入力はソフト指定により汎用割り込み入力としても使用可能です。

2 - 4 . デジタル入出力回路

全ての入力は TTL レベル・10 K でプルアップされています。

また全てのデジタル出力も TTL レベルです。(使用素子は CMOS : 74HCT244)

なお電源投入直後の汎用デジタル出力は“0”となりますがリセット操作(3 - 3 項)では変化しません。汎用デジタル出力はボード上のスイッチで論理を選択することができます。

図 2 - 4 A . 全てのデジタル入力

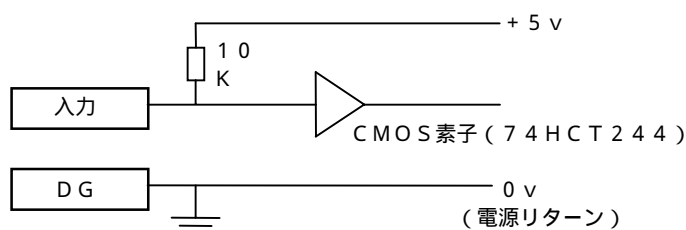
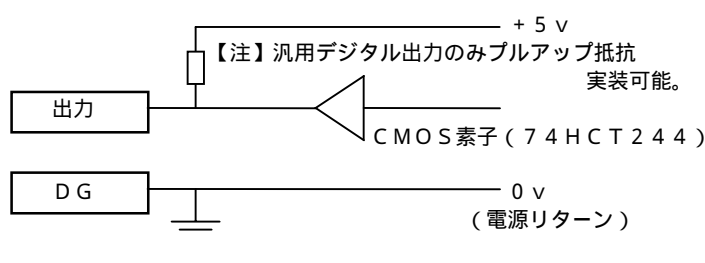


図 2 - 4 B . 全てのデジタル出力



【注】 汎用デジタル出力の論理はボード上のスイッチ S - POL により任意に設定することができます。

出荷時は《N》側に設定 = “負論理” で、電源投入・ハードウェアリセット直後の状態は High レベル (出力 = 0) です。

第3章. 制御・操作

基本操作

本機の運転・操作は各機能が割付け設定された制御レジスタ（I/Oポート）に対する入出力命令により行います。 3-1項～3-2項で制御構造・手順を、また、3-3項以下で各制御レジスタの定義を理解してください。

3-1. 制御・操作とアナログ出力の様子

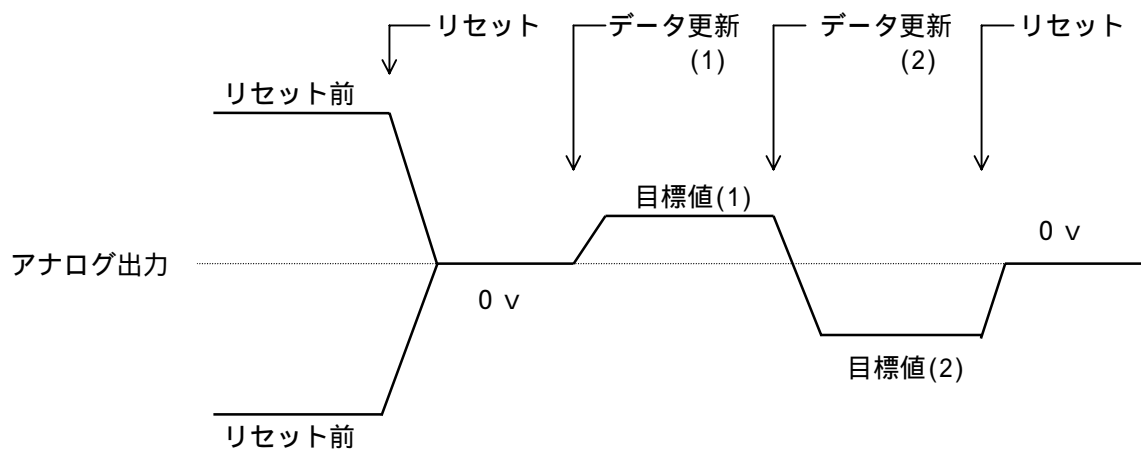
リセット時

電源投入、システム（ハードウェア）リセット操作、または本ボードの制御部リセット操作（3-3項）直後のアナログ出力は両チャンネル共に0Vとなります。

更新出力後

任意のデータがD/A素子に書き込まれる（更新される）とアナログ出力は対応する値（2-2項/表2-2A, B）となり、以後は次更新まで同値を保持します。

図3-1A. アナログ（D/A）出力の様子



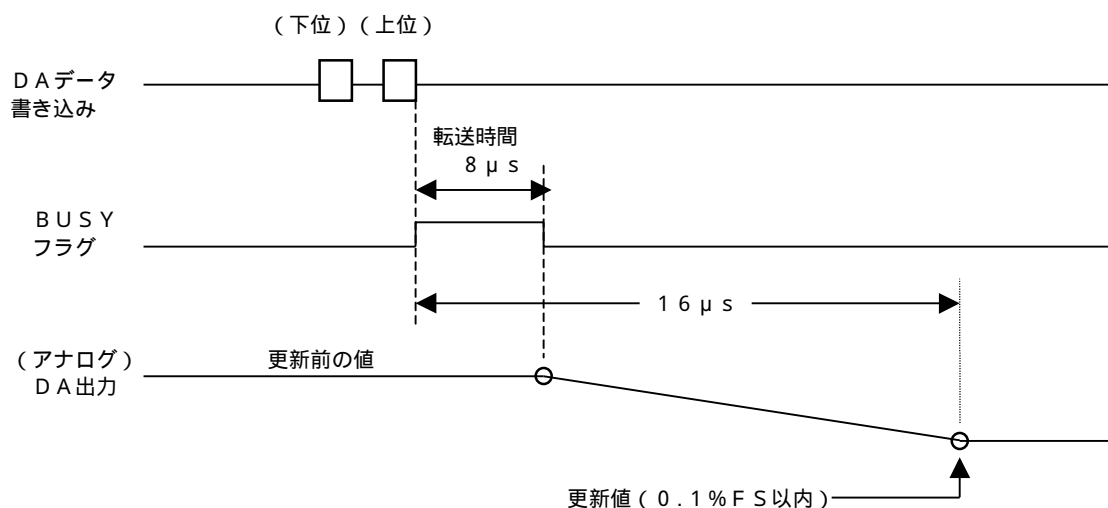
セトリング時間： データが更新されると、D/A素子のアナログ出力は新たな目標値に向かって変化を始めます。本機では10Vの変化幅を0.1%FS精度で到達するセトリング時間 = 16.5 μ sです。

本機のアナログ出力動作には 単独更新動作、 同期更新動作があります。

単独更新

各D/A出力チャンネルが非同期に（互いに時間的連携なく）独立して更新制御される動作モードです。【3-4項参照】

図3-1B. 単独更新（非同期）……… 1チャンネル分のみ示す。



= 操作手順 = 詳しくは3-3項以下、およびサンプルプログラム・ソースを併せて御参照ください。 下記OUT命令中の《BASE》はボード上のスイッチで設定されたI/Oアドレスのベース値です。 また 内の番号は図3-1Bのタイミングに対応しています。

最初に外部制御および割込み関連の《制御データ》、続いてD/A出力更新モードやD/Aデータコードを指定する《モードデータ》、各チャンネルの出力範囲を書き込みます。

```
outp (BASE+0x2, CNT); /* 割込み制御データ【3-5項】 */
outp (BASE+0x4, DAM); /* D/A出力モード・データ【3-4項】 */
outp (BASE+0x5, RAL); /* CH0~3出力範囲選択データ【3-6項】 */
```

各チャンネルごとのD/A更新データを下位バイト、上位バイトの順に書き込みます。

【注】

```
outp (BASE+0x8, DA0-L); /* CH0更新出力（下位）データ【3-8項】 */
outp (BASE+0x9, DA0-U); /* CH0更新出力（上位）データ【  "  】 */
```

【注】ボード内のD/Aデータ転送（フォトカプラ通過）に8 μsを要するので、次チャンネルのデータ（下位）を書き込む前にBUSYフラグをチェックする。

ここでD/A素子（内蔵ラッチ）が更新される。

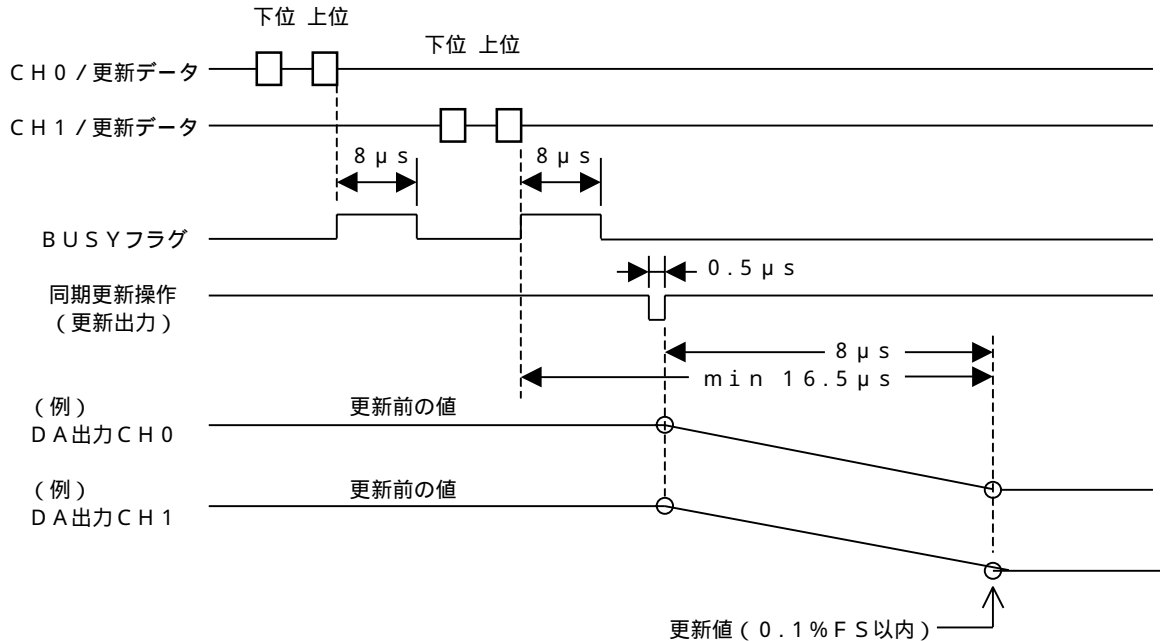
D/Aデータ書き込みから16 μsで目標値の0.1%以内に到達。

【注】D/A更新（下位）データの書き込み時にはBUSYフラグのチェックが必要です。BUSYフラグ【3-7項】がREADY（=0）状態のときに限ります。

同期更新

各チャンネルのD/A出力データ書き込み後、同期更新操作により全チャンネルのD/A出力が一斉に同時更新制御される動作です。【3-4項参照】

図3-1C. 同期更新（2チャンネル使用例）



= 操作手順 = 詳しくは3-3項以下、およびサンプルプログラム・ソースを併せて御参照ください。下記OUT命令中の《BASE》はボード上のスイッチで設定されたI/Oアドレスのベース値です。

(1) 最初にD/A出力更新モード、各チャンネルの出力範囲を指定します。

```
outp (BASE+0x2, CNT); /* 割り込み制御データ【3-5項】 */
outp (BASE+0x4, DAM); /* D/A出力モード・データ【3-4項】 */
outp (BASE+0x5, RAL); /* 出力範囲選択データ【3-6項】 */
```

(2) 各チャンネルごとのD/A出力データを書き込みます。(全チャンネル使用例)

```
outp (BASE+0x8, DA0-L); /* CH0更新(下位)データ【3-8項】 */
outp (BASE+0x9, DA0-U); /* CH0更新(上位)データ【  】 */
outp (BASE+0xA, DA1-L); /* CH1更新(下位)データ【  】 */
outp (BASE+0xB, DA1-U); /* CH1更新(上位)データ【  】 */
outp (BASE+0xC, DA2-L); /* CH2更新(下位)データ【  】 */
outp (BASE+0xD, DA2-U); /* CH2更新(上位)データ【  】 */
outp (BASE+0xE, DA3-L); /* CH3更新(下位)データ【  】 */
outp (BASE+0xF, DA3-U); /* CH3更新(上位)データ【  】 */
```

(3) 全チャンネルを同時更新します。

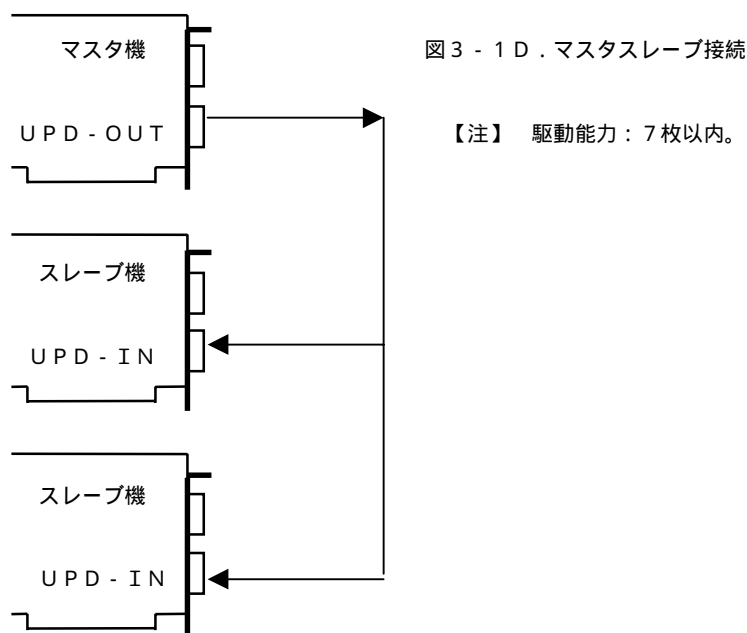
```
upd = outp (BASE+0x7); /* 同時更新実行【3-8項】 */
```

【注】D/A更新(下位)データの書き込み時にはBUSYフラグのチェックが必要です。BUSYフラグ【3-7項】がREADY(=0)状態のときに限ります。

複数ボードの同期更新 (マスタスレーブ動作)

ボード間の接続とソフト上の設定により、複数ボードの同期更新動作も可能です。

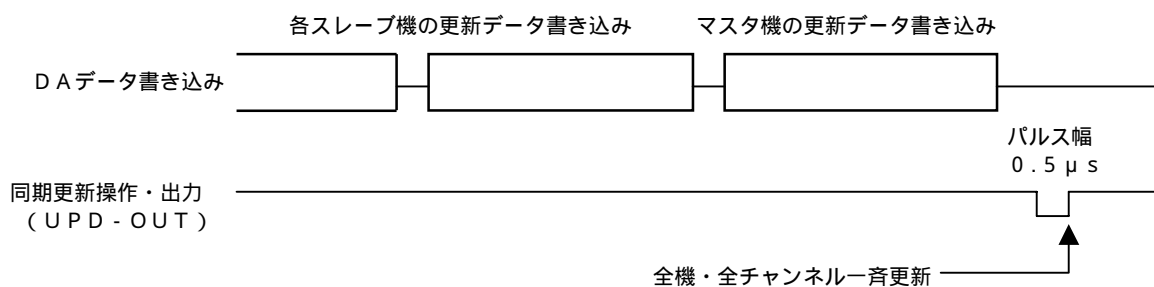
ボード間の接続： マスタ機の同期更新出力UPD - OUTをスレーブ機の同期更新入力 (UPD - IN) に接続しておきます。



ソフト事前設定： 各スレーブ機の更新モード選択ビットを同期にセットし、また更新実行要素ビットを外部更新入力にセット【3-4項】、マスタ機の更新モード選択ビットを同期にセットし、また更新実行要素ビットをマニュアル動作にセット【3-4項】しておきます。

DA出力更新操作： スレーブ機、マスタ機、各々のDAデータ書き込み操作を全て行い、最後にマスタ機のマニュアル同期更新操作【3-6項】を行います。当操作により全機・全チャンネルのDA素子が同時に更新され、各新目標値に向かって変化を開始します。タイミングは図3-1Cと同様です。

図3-1E: DAデータ書き込み/一斉更新タイミング



3-2. 制御レジスタ I/O アドレス・マップ

表 3 - 2 に本ボード上の各制御レジスタ I/O アドレスを記します。

表中の【BASE】はボード上のスイッチで設定される I/O ベースアドレス値です。【1-3 項】

表 3 - 2 . 制御レジスタ I/O アドレス

I/O アドレス	IN/OUT	ポート / レジスタ名・機能	記載項
【BASE】+ F	IN		
	OUT	CH3 アナログ出力 (DA) データ上位バイト	【3-8 項】
【BASE】+ E	IN		
	OUT	CH3 アナログ出力 (DA) データ下位バイト	【3-8 項】
【BASE】+ D	IN		
	OUT	CH2 アナログ出力 (DA) データ上位バイト	【3-8 項】
【BASE】+ C	IN		
	OUT	CH2 アナログ出力 (DA) データ下位バイト	【3-8 項】
【BASE】+ B	IN		
	OUT	CH1 アナログ出力 (DA) データ上位バイト	【3-8 項】
【BASE】+ A	IN		
	OUT	CH1 アナログ出力 (DA) データ下位バイト	【3-8 項】
【BASE】+ 9	IN		
	OUT	CH0 アナログ出力 (DA) データ上位バイト	【3-8 項】
【BASE】+ 8	IN		
	OUT	CH0 アナログ出力 (DA) データ下位バイト	【3-8 項】
【BASE】+ 7	IN	ボード制御部リセット	【3-3 項】
	OUT	全アナログ出力の同期更新操作	【3-8 項】
【BASE】+ 6	IN		未使用
	OUT		未使用
【BASE】+ 5	IN		未使用
	OUT	アナログ出力範囲の設定	【3-6 項】
【BASE】+ 4	IN		未使用
	OUT	アナログ出力更新モード設定	【3-4 項】
【BASE】+ 3	IN	汎用デジタル入力 (2 ビット)、更新入力モニタ	【3-9 項】
	OUT	汎用デジタル出力 (1 ビット)	【3-9 項】
【BASE】+ 2	IN	ステータス取得	【3-7 項】
	OUT	アナログ出力更新制御、割り込み制御、フラグクリア	【3-5 項】
【BASE】+ 1	IN		未使用
	OUT		未使用
【BASE】+ 0	IN		未使用
	OUT		未使用

【読み (IN) / 書き (OUT)】は CPU 側から見た方向。

全てのポートは 1 バイト。

制御操作の詳細

以下【3-3 項】～【3-9 項】に各制御レジスタの詳細を記します。
各ポートアドレス値は表 3-3 を御参照ください。

3-3 . ボード・リセット、認識

```
r s t = i n p ( B A S E + 0 x 7 ) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ (r s t) は本ボードの I D です。 当操作は電源 O N、またはハードウェアリセットと同等の機能ですが、汎用デジタル (ラッチ) 出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

なお、 全てのアナログ出力は 0 v になる。

汎用デジタル (ラッチ) 出力は変化せずに保持される。

表 3 - 3 . 【BASE + 7 H】入力ポートの構成

ビット	各ビットの機能・意味
B 7	QDA - 7 2 4 P C 1 0 4 のボード I D = 2 1 H
B 6	
B 5	
B 4	
B 3	
B 2	
B 1	
B 0	

3-4. アナログ(DA)出力モードの指定

outp(BASE+0x4, MD); /* DA出力モードデータ */

DA出力データ更新モードの設定を行います。(全チャンネル共通)

表3-4. 【BASE+4H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	DA出力データ更新モード	同期更新	単独更新	0
B 6	DA出力データ同期更新実行要素	外部更新入力	ソフト操作	0
B 5 ~ B 0	未使用	(= 0) とします。		

《補助説明》

B 7 : 当ビットをセット(= 1)すると、両チャンネルのDA出力更新はビットB 6で指定する要素(外部入力、またはソフト操作)により同時に行われます。

また更新時に【UPD-OUT】信号を出力します。この信号は複数ボードの同期更新(マスタスレーブ)動作に使用できます。/ 3-1項. 参照。

当ビットがクリア(= 0)されている場合、各チャンネルのDA出力更新は各チャンネルのデータ書き込みごとに独立して行われます。

B 6 : ビットB 7がセット(= 1)されており、かつ当ビットB 6がセット(= 1)されているときは外部入力【UPD-IN】により、また、クリア(= 0)されているときは3-8項のソフト操作 outp(BASE+0x7, UP)により全チャンネルが同時更新されます。

3-5 . 外部制御入力・割り込み関連の設定

o u t p (B A S E + 0 x 2 , C N T) ; / * 制御データ * /

本機のアナログ (D A) 出力更新を外部入力信号【UPD - I N】で行う場合の信号極性、および同信号を汎用割り込みに利用するときの許可・禁止、および割り込み入力発生フラグクリアを行います。

いずれの機能も使用しない場合は当ポート操作の必要がありません。

表 3 - 5 . 【BASE + 2 H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	外部入力制御 (割り込みとして)	許可	禁止	0
B 6	外部入力信号の有効エッジ指定	立上り ()	立下り ()	0
B 5	未使用			0
B 4	未使用			0
B 3	割り込み入力発生認識 (I N T) フラグ	クリアする	クリアしない	0
B 2 ~ B 0	未使用			0

《補助説明》

B 7 : 外部入力信号【UPD - I N】を汎用割り込み要求として使用するときには当ビットをセット (= 1) します。

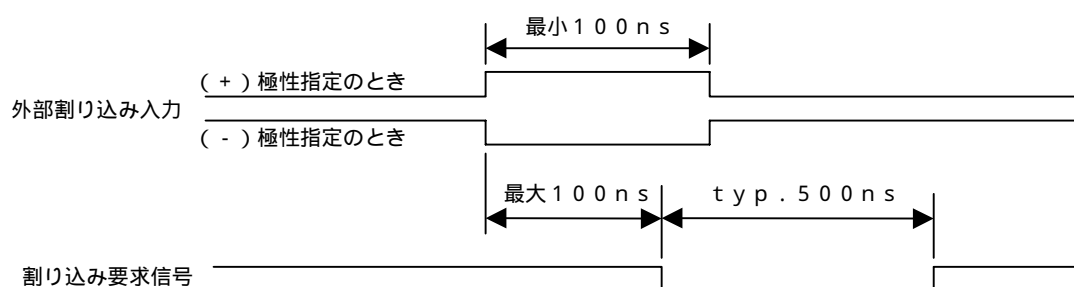
B 6 : 外部入力信号【UPD - I N】の有効極性を指定するものです。 汎用の割り込みとして許可されている (B 7 = 1) とときは当ビットで指定された極性 (エッジ) でボードステータスの外部割り込み入力認識フラグ【3-7 項の B 3】がセットされます。

割り込み信号

本ボードから P C 1 0 4 バス上への割り込み要求信号は t y p 5 0 0 n s の負パルスです。

外部割り込み入力の場合： 最小 1 0 0 n s のパルスを入力します。

図 3 - 1 0 .



3-6. アナログ出力範囲の設定

o u t p (B A S E + 0 x 5 , r n g) ; /* r n g : 出力範囲指定データ */

各 D A 出力チャンネルの範囲を選択・指定します。

表 3 - 6 A . 【BASE + 5 H】出力ポートの構成

ビット	コード	各ビットの機能・意味	リセット時
B 7		未使用	0
B 6			0
B 5			0
B 4			0
B 3	R D 3	チャンネル 3 出力範囲指定	0
B 2	R D 2	チャンネル 2 出力範囲指定	0
B 1	R D 1	チャンネル 1 出力範囲指定	0
B 0	R D 0	チャンネル 0 出力範囲指定	0

表 3 - 6 B . 出力範囲指定コード

R D x	アナログ出力範囲
1	± 1 0 V
0	0 ~ 1 0 V

【注】アナログ出力範囲は出力データ更新のたびに（出力データと共に）更新されます。
すなわちアナログ出力範囲だけを更新しても次の出力データ更新までは変化しません。

3-7. ステータスデータ取得

s t s = i n p (B A S E + 0 x 2) ; / * ステータス・データ * /

本ボードに書き込まれたD Aデータが（絶縁用フォトカプラを通して）D A出力素子に転送中であることを示すB U S Yフラグ、および（U P D - I N端子に）有効な割り込み信号が入力されたことを示すI N Tフラグを読み込みます。

表3-7. 【BASE + 2 H】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	未使用			0
B 6	外部入力（U P D - I N）現在状態	H i g h	L O W	0
B 5	未使用			0
B 4	未使用			0
B 3	割り込み要求認識フラグ（I N T）	発生	未発生	0
B 2	未使用			0
B 1	未使用			0
B 0	B U S Yフラグ	転送中	未転送・転送終了	0

《補助説明》

- B 6 : 外部入力【U P D - I N】の現在状態を反映します。
 割り込みを禁止（3 - 5 項）に加えてD A出力モードを単独とした状態（3 - 4 項）
 では汎用の1ビット入力として利用することもできます。
- B 3 : 当割り込み要求認識フラグは外部入力信号【U P D - I N】を割り込みとして許可
 しているとき、その指定極性エッジでセット（= 1）され、同時に割り込み要求信号が
 P C 1 0 4 バス上に発信されます。【3 - 5 項・参照】
- B 0 : 本機にD A出力更新データを書き込む（3 - 8 項）ときはB U S Yフラグが“ 0 ”
 （= データ転送中ではない）でなければなりません。【3 - 1 項 / 図3 - 1 B , C 参照】
 D A出力を連続して更新するような場合は当B U S Yフラグが“ 0 ”であることを
 確認してから更新データを書き込む手順としてください。

3-8. DA更新データの書き込み

```

o u t p ( B A S E + 0 x 8 , D A 0 - L ) ; / *   D A チャンネル 0 下位データの書き込み   * /
o u t p ( B A S E + 0 x 9 , D A 0 - H ) ; / *   D A チャンネル 0 上位データの書き込み   * /
o u t p ( B A S E + 0 x A , D A 1 - L ) ; / *   D A チャンネル 1 下位データの書き込み   * /
o u t p ( B A S E + 0 x B , D A 1 - H ) ; / *   D A チャンネル 1 上位データの書き込み   * /
o u t p ( B A S E + 0 x C , D A 2 - L ) ; / *   D A チャンネル 2 下位データの書き込み   * /
o u t p ( B A S E + 0 x D , D A 2 - H ) ; / *   D A チャンネル 2 上位データの書き込み   * /
o u t p ( B A S E + 0 x E , D A 3 - L ) ; / *   D A チャンネル 3 下位データの書き込み   * /
o u t p ( B A S E + 0 x F , D A 3 - H ) ; / *   D A チャンネル 3 上位データの書き込み   * /

```

```

o u t p ( B A S E + 0 x 7 , U P ) ; / *   マニュアル同期更新 ( U P : ダミー )   * /

```

更新モードが単独動作のときは上位データ書き込み直後（フォトカプラ転送時間 $8\mu s$ 後）に DA 出力素子内蔵のラッチが更新されます。同期動作のときは、前 3 - 4 項で指定された要素（操作、または外部入力）により全チャンネル DA 素子内蔵のラッチが同時に更新されます。本動作の様子は 3 - 1 項 / 図 3 - 1 B / 図 3 - 1 C を御参照ください。

【注 1】 なお、上記（各チャンネルの DA 出力データ下位を書き込む）o u t 命令実行前に 3 - 7 項に記すステータスデータ中の B U S Y フラグのクリアを確認してください。

表 3 - 7 A . 【BASE + 9 H】【BASE + B H】【BASE + D H】【BASE + F H】出力ポートの構成

ビット	ビット機能	適 用	リセット時
B 7 B 6 B 5 B 4		未使用	
B 3 : D 11 (MSB) B 2 : D 10 B 1 : D 9 B 0 : D 8		DA データ上位バイト	【注 2】

表 3 - 7 B . 【BASE + 8 H】【BASE + A H】【BASE + C H】【BASE + E H】出力ポートの構成

ビット	ビット機能	適 用	リセット時
B 7 : D 7 B 6 : D 6 B 5 : D 5 B 4 : D 4 B 3 : D 3 B 2 : D 2 B 1 : D 1 B 0 : D 0 (LSB)		DA データ下位バイト	【注 2】

【注 2】 電源 ON、パソコン本体のハードウェア・リセット操作、または本ボードのリセット操作により DA 出力は初期値 = 0 v になります。
（全チャンネル共）

【注 3】 DA データコード：ストレートバイナリ（0 ~ 10 v 範囲のとき）。
オフセットバイナリ（ ± 10 v 範囲のとき）

3-9 . 汎用デジタル入出力

本機には汎用デジタル入力2ビット、および外部制御入力（UPD-IN）があります。

外部制御入力（UPD-IN）は本来のアナログ出力更新同期入力として使用しない場合は汎用のデジタル入力として利用することができます。

入力

```
d i n = i n p ( B A S E + 0 x 3 ) ; /* 汎用3ビット（現在値）入力 */
```

表3-9A . 【BASE+3H】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4 B 3	未使用		
B 2	外部入力（UPD-IN）現在状態	H i g h（開放）	L O W（0vレベル）
B 1	汎用デジタル入力D 1	H i g h（開放）	L O W（0vレベル）
B 0	汎用デジタル入力D 0	H i g h（開放）	L O W（0vレベル）

出力

```
o u t p ( B A S E + 0 x 3 , d o u t ) ; /* 汎用1ビット（ラッチ）出力 */
```

表3-9 . 【BASE+3H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用			
B 0	Q 0 : 汎用デジタル出力ビット0	H i g h	L o w	0

【注1】 電源投入、またはハードウェアリセット直後の補助デジタル出力は“0”ですが、ソフト的な制御部リセット操作（3-3項）ではクリアされません。

【注2】 汎用デジタル出力の論理はボード上のスイッチS-POLにより任意に設定することができます。（1-2項、2-3項参照）
出荷時は《N》側に設定＝“負論理”で、電源投入・ハードウェアリセット直後の状態はH i g hレベル（出力＝0）です。

第4章．保守・その他

4-1. 故障・トラブル等の原因と対処

本機は全数検査のうえ出荷されています。

動作に不具合等が見られるときは以下の諸点を再点検してください。

それでも不明なときは巻末の【Q & A フォーム】にシステム構成（特に外部機器の接続回路）等の動作条件を御記入のうえ、技術部宛 FAX してください。

迅速に応答する体制となっています。なお TEL いただく場合も、客観情報の整理・評価は問題解決のスピードアップにつながりますから、事前に【Q & A フォーム】を FAX してください。

再点検・確認ポイント

- | | |
|--------------|---|
| (1) I/O アドレス | 他のデバイスと重複・競合はないか？ (1 - 3 項) |
| (2) 割り込みレベル | 他のデバイスと重複・競合はないか？ (1 - 2 項) |
| (3) デジタル入出力 | 本ボードのデジタル入力（更新制御入力、汎用デジタル入力）に接続できる信号源は TTL（LS、CMOS 等の 5V 電源素子）に限ります。現場で不適切な信号源を接続したために本ボード内の入力素子を破損する事故が頻発していますので御注意ください。 |
| (4) アナログ出力 | 負荷容量が大きくないか？ (2 - 1 項)
複数チャンネル使用時は各信号源の GND 間電位差に注意。 |

動作確認方法

当社では原則として、ユーザ作成のソフトウェアについては評価しません。

動作確認は無償配布の当社製プログラム実行結果について推測・適否・判定を行います。

QA リクエスト時には当プログラムの実行結果をレポートしてください。

4-2. 修理のときは

入手経路の如何にかかわらず当社宛に直接お申しつけください。 商社等を経由されますと時間がかかるだけでなく、情報交換の不便、費用の面でも不利になります。 なお当社では修理依頼を受けた製品が検査の結果、良品と判定された場合は（保証期間内でも）手数料を申し受けます。

特に最初からの不具合には誤解や情報不足によることが多いので、事前に御相談ください。

【Q & A フォーム】が便利です。

無償修理

納入後1年以内の自然故障、および当社製造上の問題に起因した故障に対しては無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。

なお当社では保証書を発行していませんが、社内では製造番号と出荷年月日の記録を基に判定しています。

有償修理

落雷等の自然現象、漏電・過電圧印加・機械的破損・その他、ユーザ側の責に帰する故障品、または納入後1年間を経過した製品の自然故障に対しては実費・有償にて修理をお請けします。 性格上、事前見積もりは不可能ですが、制限額を事前通知いただければ、作業過程で制限を超えそうな見通しがたった時点で連絡・相談させていただきます。

受け渡し : 通常の授受は宅配便で行います。

修理期間 : 全んどの場合、当社内で24時間以内に完了・返送しています。時間を要するような場合は御連絡いたします。

費用の目安 : 修理費用は事務管理手数料、技術者の所要時間（1時間単位）手数料、および交換部品代の合計です。 2002年3月現在（時勢により変動します）では、

事務管理手数料（1件当り、返送運賃含）：＝ ¥ 4,000

修理時間手数料：＝（時間単価 ¥ 6,000）× 所要時間

交換部品代 : ＝ ¥ 実費

故障経緯、システム客観情報の添付は時間の節約・コストダウンに有効です。典型的な事例では費用合計が ¥ 20,000 を超えることは希れです。

【注2】 当社製品に対してユーザが改造を行った場合は、当社サポートの対象外になります。 改造とは製品に新たな部品を追加実装、または実装部品を削除したり、回路パターン・接続に変更を加えることです。 なお、当社がオプションとして供給、または指定した部品の追加実装・交換はこの限りではありません。

4-3. 再調整

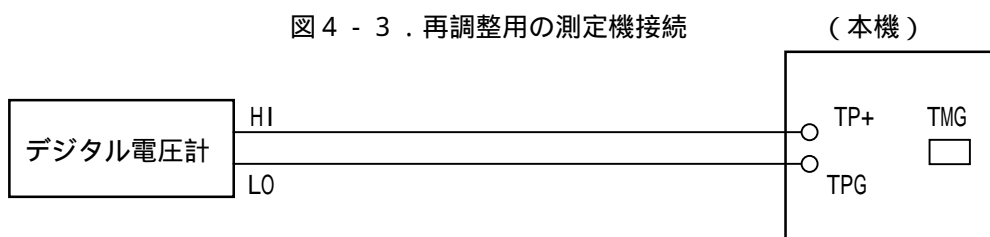
得られる値に出力範囲の変化やオフセットが認められるときは再調整が必要です。

アナログ回路は経年・環境変化に対する保守を定期的に行うことが望ましく、夏冬の使用環境（周囲温度）に差がある場合は季節単位、通年安定した使用環境の場合は1～2年に1度は校正することが理想的です。

再調整の方法・手順を以下に記します。

本ボードの基準電圧出力テスト端子（TP+ / TPG）をデジタル電圧計に接続します。

図4-3. 再調整用の測定機接続



本ボード上の基準電圧出力テスト端子をデジタル電圧計で測定・モニタしながら、10.00Vとなるようにボード上のトリマTMGを調整します。

得られる正確度（当社製造・調整環境・常温にて）

- (a) 非直線性 = 0.004% FS : 使用されるDA変換素子に固有の性能。
- (b) 相対正確度 = 0.058% FS : 非直線性を含む回路全体の性能。（＝校正可能限度）
- (c) 絶対正確度 = 0.070% FS : 相対正確度に校正測定器の正確度を加算した値。

【注1】 当製品は正確度0.012%の測定器を使用し、常温で最終調整を行っています。

上記した相対正確度と絶対正確度の差はこれによるものです。

なお、周囲温度の変化が大きいときは温度ドリフト（typ. 20 ppm/ ）による誤差も加算されます。 また経年変化のデータや保証はありません。

【注2】 本機のアナログ調整は全チャンネル共通のゲイン（基準電圧）だけで、各チャンネル個別のゲイン、およびオフセット調整はありません。 ここで定義されている正確度はゲイン、オフセット誤差を含めたものです。 特定のチャンネルに最適化した再調整を行うと、他のチャンネルの正確度が当仕様を超えて悪化することがありますので御注意ください。

【注3】 上記の値にはCPUを含むシステム全体から発生する雑音が含まれていません。

マイクロサイエンス（株）行

FAX : 03 (3301) 5593

Q & A フォーム

発信： 年 月 日 / 時 分

製品名	QDA-724PC104		購入時期	年	月	
ボード上の 設定、 使用状況	SW1 = SW2 = SW3 =	JP - INT = S - POL =				
その他						
I / O、 周辺状況	同時使用の 他ボード		I / Oアドレス 割り込み、等			
本体 システム	CPU					
	本体メモリ					
	OS ()					
ソフト	言語		コンパイラ		(vr)	
	プログラム名					
(動作状況)						

《 60分以内に応答のないときはお叱りください。》 TEL : 03 (3396) 8377

御使用者		(所属部・課)
団体名		
TEL		(所在地)
FAX		