

### 3-12.マニュアル(1回)サンプリング開始

```
s t r = i n p ( B A S E + 5 ) ; /* s t r = ダミー (無効) データ */
```

当操作により指定チャンネル群に対するマニュアル(1回)サンプリングが開始されます。

変数 `s t r` には意味が無く、当操作の実行時に発生するI/O制御信号で動作します。

プログラム上任意のプロセスで指定チャンネル群に対する各1回サンプリングを実行したいときに利用します。

サンプリングされたADデータは(連続サンプリングと同様に)FIFOバッファメモリに自動転送されます。 実行時間は 約  $1\mu s \times$  指定チャンネル数 と高速ですから、当操作の後はFIFOメモリのNot-Emptyフラグ(次3-13項)を検出するループを経てADデータ読み込み(3-14項)を実行するのが普通です。

#### マニュアル(1回)サンプリング操作の全手順

```
r s t = i n p ( B A S E + 7 ) ; /* 制御部リセット【3-4項】:制御部リセット */
o u t p ( B A S E + 0 , t e e ) ; /* 条件設定【3-5項】:使用チャンネル、データ転送、コード設定 */
o u t p ( B A S E + 2 , 0 x 0 ) ; /* 【3-11項】:トリガモード設定(マニュアルに指定) */
s t r = i n p ( B A S E + 5 ) ; /* 動作開始【3-12項】:マニュアル(1回)サンプリング開始 */
w h i l e ( ( i n p ( B A S E + 3 ) & 0 x 8 0 ) ! = 0 x 8 0 )
; /* ステータス検査【3-13項】:ステータスの読み込み/評価 */
f o r ( c h = 0 ; c h <= n ; c h + + ) ; /* チャンネル0~nまで */
{
a d ( n ) = i n p w ( B A S E + 0 ) ; /* ADデータ取得【3-14項】:FIFOから読み出す */
}
```

### 3-13. ステータスデータの取得

`sts = inp (BASE + 3); /* sts = ステータスデータ */`

本ボードのステータスデータを読み込みます。

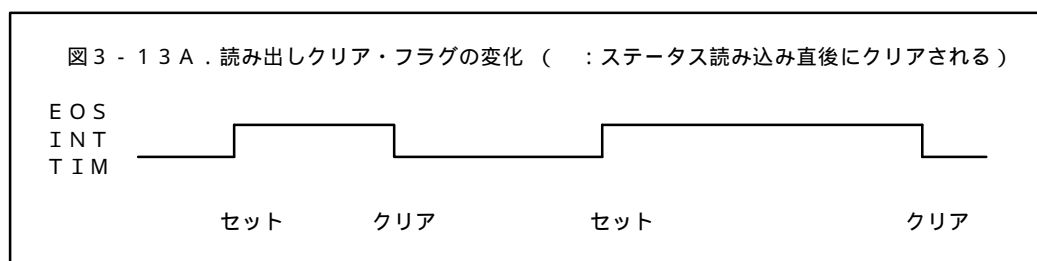
表 3-13. 【BASE + 3】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	セット時
B 7	EOS: 各回サンプリング・スキャン終了【注 2】	終了済み	実行中、その他	0
B 6	INT: 割り込み要求発生【注 2】	発生済み	未発生、その他	0
B 5	TIM: 各回サンプリング・スキャン開始【注 2】	開始済み	未開始、その他	0
B 4	TGD: トリガ発生認識	発生済み	未発生	0
B 3	SMP: サンプリング実行状態	実行中	停止、待機中	0
B 2	ERR: エラーフラグ【注 1】	発生	未発生	0
B 1	HLF: Not Half-full (3-2 項参照)	1 / 2 未満	1 / 2 以上	1
B 0	EMP: Not Empty (3-2 項参照)	データ有	データ無	0

#### 《補足説明》

【注 1】ERR: エラーフラグは一度セット (= 1) されると制御部リセット操作まで保持されます。

【注 2】EOS, INT, TIM: これらのフラグはステータス読み込み操作 (本項) によりクリア (= 0) されます。



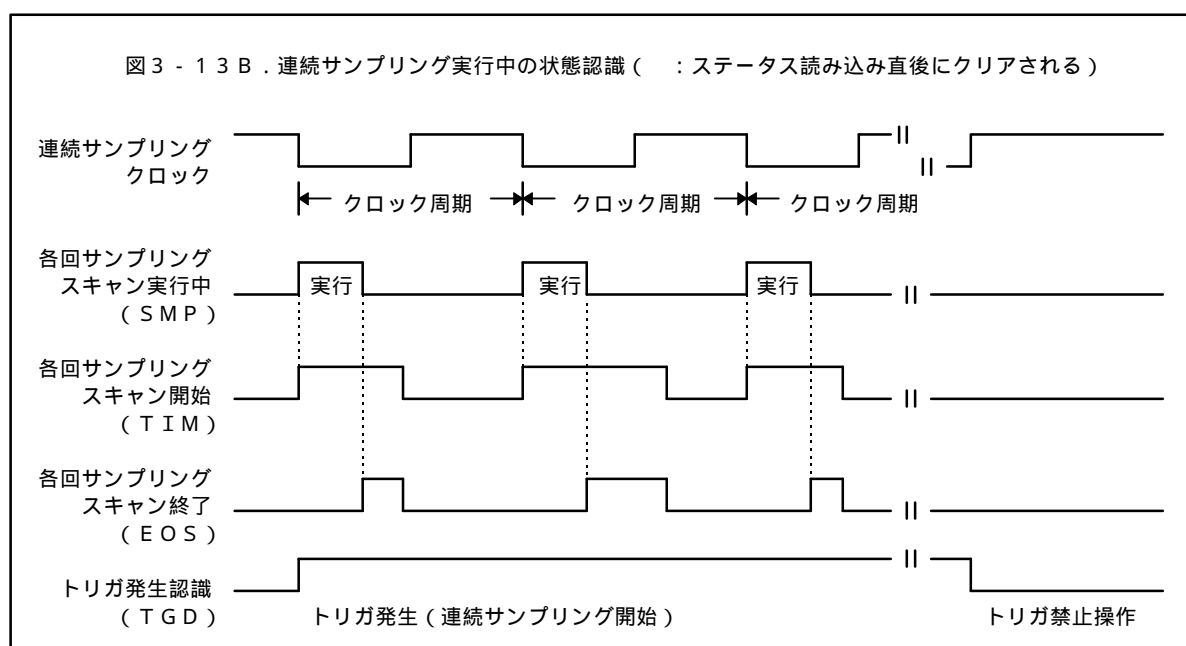
TIM: 各回のサンプリング・スキャンが開始されるたびに (連続サンプリングクロックの前縁で) セット (= 1) され、当ステータスが読み出されるたびにクリア (= 0) される。

EOS: 各回のサンプリング・スキャンが終了するたびにセット (= 1) され、当ステータスが読み出されるたびにクリア (= 0) される。すなわち、前述のTIMからサンプリング・スキャン実行時間だけ遅れてセットされ、TIMと同時にクリアされる。

INT: 割り込み要求が発生 (3-7 項) するとセット (= 1) され、当ステータスが読み出されるたびにクリア (= 0) される。

- TGD :** 許可されたトリガ（内部／外部／ソフト）が発生するとセット（＝１）され、トリガ禁止操作（or トリガモード設定操作：３－１１項）によりクリアされる。  
すなわち（通常の操作では）連続サンプリング実行期間中だけセットされる。
- SMP :** 各回のサンプリング・スキャン実行期間中だけセット（＝１）されている。
- ERR :** サンプリング動作エラー（以下の３ケースのいずれか）発生時にセット（＝１）され、制御部リセット操作（３－４項）まで保持される。
- FIFOバッファメモリが満杯になった状態で、次のデータは書き込みが成らず消失された。《データロス・エラー》
- 本機の（実力）最高サンプリング速度以上のクロック値を指定して連続サンプリングを実行した。《オーバーラン・エラー》
- 各回サンプリング・スキャン終了タイミングによる割り込みを使用している場合で、FIFOメモリ中のデータ全てを読み出さないうちに次のサンプリングが開始され、データがFIFOメモリに書き込まれたときは、このサンプリング・スキャン終了タイミングでの新たな割り込み要求は発生せず、エラーとなる。
- その後、FIFOメモリ内のデータ全てを読み出してしまえば、以後のサンプリング・スキャン終了タイミングでは新たな割り込み要求が発生する。
- HLF :** FIFOバッファメモリ内がサンプリングされたデータで《半分＋１》以上になった時にセット（＝０）され、読み出しの実行で《半分＋１》未満になるとリセット（＝１）される。／Not Half-full／
- 本機は１Ｍ語の大容量FIFOと読み出し用のFIFO（標準１０２４語）が直列接続されているが、当ステータスは後者のものである。
- したがって、容量の《半分＋１》＝５１２語。
- EMP :** FIFOバッファメモリにサンプリングされたデータが１個でも書き込まれるとセット（＝１）され、空になるとクリア（＝０）される。／Not Empty／

図 3 - 13 B . 連続サンプリング実行中の状態認識（ : ステータス読み込み直後にクリアされる）



### 3-14. ADデータの読み出し(含DMA)

FIFOバッファメモリ内のADデータは図3-14に示す配置となっています。 これらを逐次読み出し、パソコン側のメモリに転送する方法は通常の入力命令のほかにブロック入力命令、およびDMA転送があります。

通常の入力命令の場合はワード単位またはバイト単位で読み出しできます。 バイト単位の場合は下位、上位の順に連続して読み出してください。

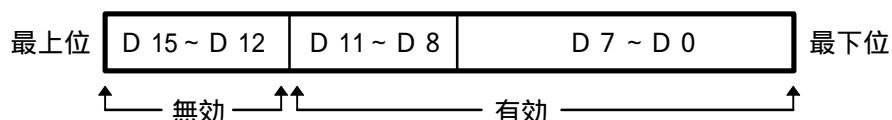
ソフト上ではFIFOメモリ内に蓄積されたADデータが読み出し側FIFOメモリ内に1個以上有るか/空かを示すステータスフラグEMP(前3-13項)をポーリングするか、または同ステータスによる割り込みを使用します。

**ワード単位の読み込み** `ADW = inpw (BASE + 0) ; /* ADW = 1ワードADデータ */`

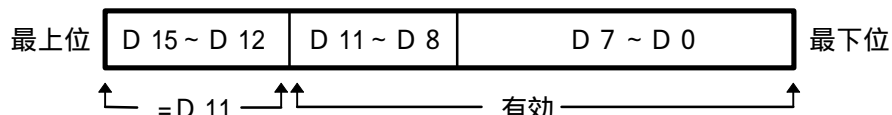
**バイト単位の読み込み** `ADL = inp (BASE + 0) ; /* ADL = ADデータ下位バイト */`  
`ADH = inp (BASE + 0) ; /* ADH = ADデータ上位バイト */`

#### ADデータコード(3-5項参照)

バイナリ指定の場合：ADデータ1語(16BIT)中、上位4BITは無効です。



2の補数指定の場合：ADデータ1語(16BIT)中、上位4BITは有効な12BITデータの最上位D11と同一値となります。



80286以上のCPU搭載パソコンでは複数のデータを連続して読み出し、パソコン側メモリに転送するブロック入力転送命令(INSW or INSB)を使用することができ、これによりDMAより速い転送速度が実現できます。//プログラムは機械語に限る//。

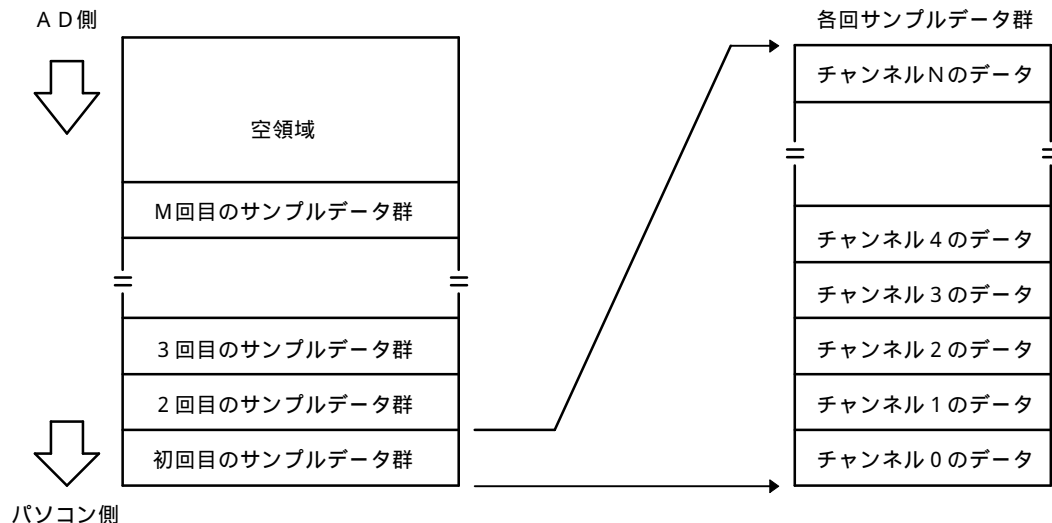
この場合はFIFOメモリ内に蓄積されたADデータが読み出し側FIFOメモリ容量の半分+1以上か/未満かを示すステータスフラグHLF(前3-13項)をポーリングするか、または同ステータスによる割り込みを使用します。

**【注】読み出し側FIFOメモリ容量：**標準出荷時1024語(3-2項参照)

本ボード搭載のFIFOメモリ入力側速度(使用チャンネル数×サンプリング周波数)が出力側の速度(パソコン側へのデータ転送速度)より速いときは、同メモリの充満量が次第に増えてゆき、ついにはオーバーフローを起こしてエラー(ERR)フラグが立ちます。

当時点以降にサンプリングされた新データは全て消失されますが【ここでトリガ禁止操作によりサンプリングを止めれば】FIFOメモリ内の残りデータは全て有効に読み出すことができます。【注】オーバーフロー発生がブロック転送実行タイミングと重なった場合はFIFOメモリ末尾側に最大1ブロック転送分の空領域を残すような形となります。

図3-14. FIFOメモリ内のADデータ配置



(追伸) FIFOバッファメモリ容量はメインの1M語FIFOと読み出し側に連結されたFIFO容量(標準1K語)との和ですが、充満状態を反映するHLFおよびEMPは読み出し側FIFOのものです。(3-2項参照)

**DMAを使用する場合**もワード単位またはバイト単位で転送することができます。

ADデータ転送方法指定ビット(3-5項)をセット=1しておくと、FIFOバッファメモリにデータが入るたびにDMA要求が発信されます。もちろん事前にパソコン本体内のDMAコントローラ(8237A)をプログラムしておく必要があります。

なおDMA自体はハード的動作ですから機械語やC言語を使用しなくてもBASIC文でプログラム可能です。

- 【注1】 使用条件     DMAコントローラの設定: パソコン本体(8237A)  
                               【BASE+0】出力ポート設定: DMA転送使用を指定(3-5項)  
                               【BASE+7】出力ポート設定: DMAチャンネル指定(3-6項)

- 【注2】 本機のDMA動作は1回(1語)DMA転送終了のたびにDMA要求信号を元に戻すシングルモードです。ブロックデータを連続して(バスを占有して)DMAを実行するバーストモードは使用できません。

- 【注3】 本機の使用するDMAチャンネルがDMAを使用する他のI/Oボードや、周辺機器と重複・競合しないように御注意ください。特にハードディスク等のシステム・メインの機器と重複・競合した場合は計り知れない程の大被害も考えられます。(3-6項)

なお、速度だけなら前述のブロック転送の方がより高速です。

### 3-15 . マスタスレーブ動作 (複数ボードの同期・並行動作)

複数の本ボード (最大7枚) を同一クロックで同期運転することもできます。  
この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。  
スレーブはマスタからのクロックを受けて同期をとりますが、サンプリングタイミングに最大  
125nsの遅れが生じます。 接続・操作は以下のとおり。

#### ボード上の設定

各ボードのI/Oアドレスが重複しないようにロータリースイッチSW1, 2, 3を設定する。(ベースアドレスの設定/1-3項)

付属のサンプルプログラムではマスタ機のベースアドレスを01D0、以下スレーブ機を11D0、21D0……71D0としている。/SW1の値を+1刻みで増加させている/

SW-CZ: 全てのスレーブ機中、1機だけを終端【PU側】する。(1-2項)

各ボード/各アナログ入力チャンネルの入力範囲は任意で、一致している必要はない。

#### ボード間の接続等

マスタ機のクロック出力《CLK-OUT》をスレーブ各機のクロック入力《CLK-IN》に接続するだけである。(図3-15参照)

マスタ機は外部クロック源、外部(デジタル)トリガを使用することもできる。

#### ソフトウェア

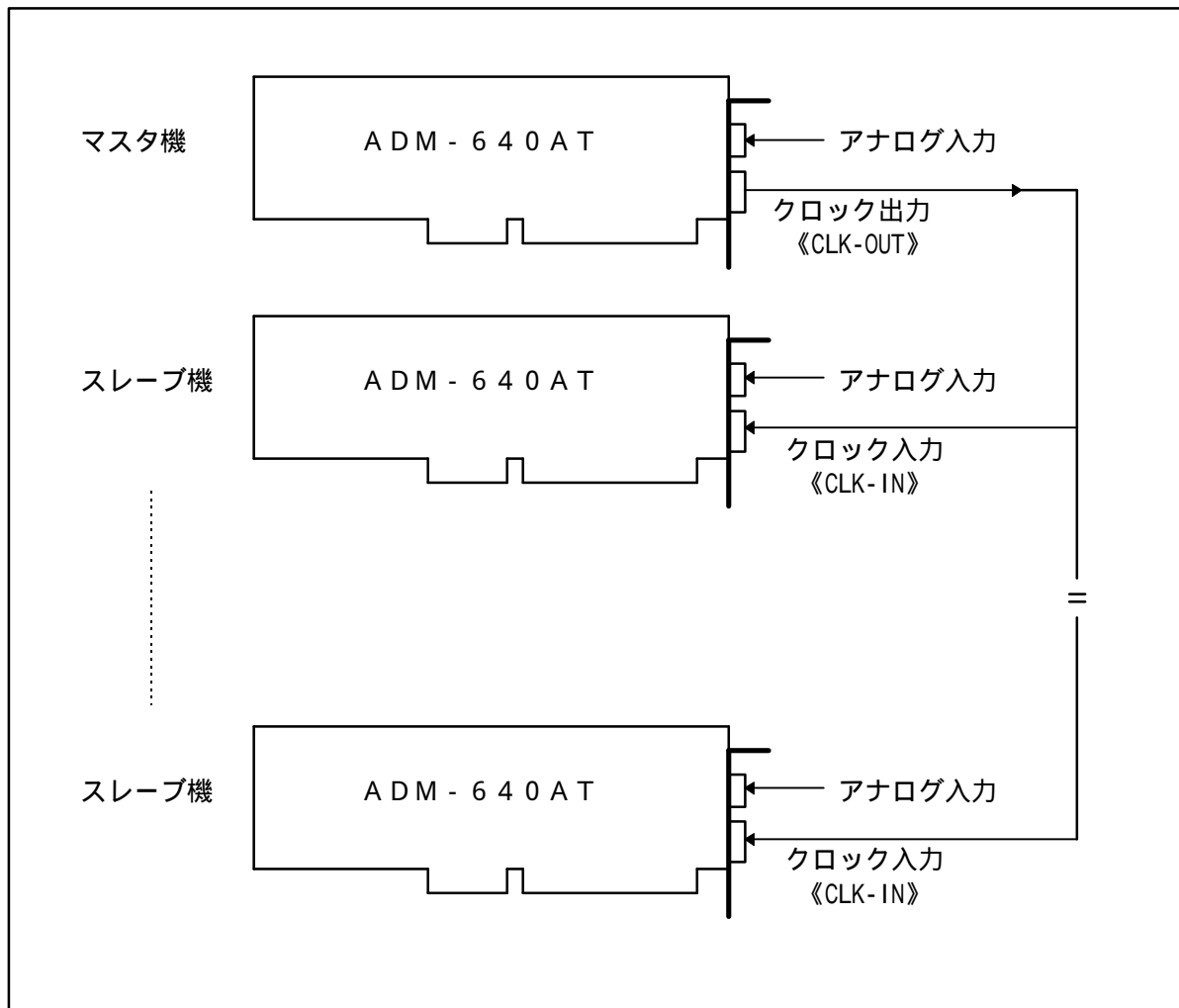
スレーブ各機のクロック源は外部に設定(3-8項)、またクロック源の分周比は1/1に設定(3-9項)しておく。

スレーブ各機の内部(アナログ)トリガ、および外部トリガは禁止としておく。

マスタ機は単独動作時と同様に(何の制限もなく)条件設定できる。

連続サンプリング動作のスタート操作はスレーブ各機を(ソフトトリガで)先に、最後にマスタ機を(任意のトリガ条件で)行う。 連続サンプリング開始後はマスタ機のステータスを監視しながら適時、各機からのADデータを読み出す。

図3-15. マスタスレーブ接続による複数ボードの並列・同期運転



### マスタスレーブ動作の概要

- (1) スレーブ各機をソフトトリガで即スタートさせると外部クロック入力による連続サンプリング動作となるが、この時点ではマスタ機からのクロック入力待ち状態である。
- (2) マスタ機が(設定した)トリガにより連続サンプリングが開始されるとマスタ機から有効なクロック信号が出力され、これがスレーブ各機(最大7枚)に入力されて同期サンプリングが実行される。/ この間の遅れ時間は最大125nsである。/
- (3) 以後はマスタ機のステータスを監視しながら適時、各機のFIFOバッファメモリからADデータを読み出す。マスタを含めて各機は自身の最高速度で連続サンプリングできるが、ISAバスの現実的な転送速度(約1M語/sec程度)による制限と各機の搭載メモリ容量(標準=1M語+1K語)で実際に可能な最高サンプリング速度が決まる。/ 搭載メモリ容量までは無条件にボード自体の最高速度で動作可能/

## 3-16 . 汎用デジタル入出力

```
din = inp (BASE + C) ; /* 汎用TTL (現在値) 入力 */
```

表3-16A . 【BASE + C】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4	《未使用》		
B 3	I 3 : 汎用デジタル入力ビット 3	High ・ ( 開放 )	LOW ・ ( DG に接続 )
B 2	I 2 :   "   "   "   "   2	" ・ ( " )	" ・ ( " " )
B 1	I 1 :   "   "   "   "   1	" ・ ( " )	" ・ ( " " )
B 0	I 0 :   "   "   "   "   0	" ・ ( " )	" ・ ( " " )

```
outp (BASE + C , dout) ; /* 汎用TTL (ラッチ) 出力 */
```

表3-16B . 【BASE + C】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4	《未使用》			0 0 0 0
B 3	Q 3 : 汎用デジタル出力ビット 3	High	LOW	0
B 2	Q 2 :   "   "   "   "   2	"	"	0
B 1	Q 1 :   "   "   "   "   1	"	"	0
B 0	Q 0 :   "   "   "   "   0	"	"	0

【注1】 電源投入、またはハードウェア・リセット直後の汎用デジタル出力は“0”ですが、本ボードの制御部リセット操作（3-4項）ではクリアされません。

【注2】 標準出荷時の汎用デジタル出力はTTLレベル/正論理（74LS04）ですが、当出力素子はソケット実装なので表3-16Cの各素子に交換可能です。

なお74ALS34は入手困難ですが、74LS06とプルアップ抵抗（RA6）で代用できます。（1-2項、回路図参照）

表3-16C .

適用	論理 / レベル	出力素子名
出荷時実装	正論理 / TTLレベル	74LS04
オプション	負論理 / TTLレベル	74ALS34A
" "	正論理 / オープンコレクタ	74LS07
" "	負論理 / オープンコレクタ	74LS06