

Real Solution for FA/LA

(無償ダウンロード配布の)

高性能ADデータ収集ソフト：L a B D A Q - A Qで即使用できます。

ツインバッファメモリ (RAM&FIFO) 付
高速・4チャンネル同時サンプリング
14ビット/12ビットAD変換ボード

A D M - 6 7 0 P C I

取扱い説明書

対応パソコン

I B M P C / A T 互換機
(P C I - b u s)

マイクロサイエンス (株)

〒167-0042 東京都杉並区西荻北2丁目37番12号

TEL 03 (3 3 9 6) 8 3 6 2 代表

FAX 03 (3 3 0 1) 5 5 9 3

Email: welcome@microscience.co.jp

Jul 12, 2004 (第2版)

目 次

使用・適用上の注意	4
本製品の仕様一覧	5
本製品の構成・価格表	6

第1章．導入・試運転

1-1. 本製品の概要	7
1-2. ボード上の設定	8
1-3. 入出力コネクタ・ピン接続	9
1-4. 入出力接続オプション	10
1-5. ボードのインストール	11
1-6. 動作確認・試運転	16

第2章．信号入出力

2-1. アナログ入力回路	19
2-2. アナログ入力範囲	20
2-3. アナログ入力特性（誤差・ドリフト・雑音・保護対策）	25
2-4. デジタル入出力回路	26

第3章．制御・操作

3- 1. A Dサンプリング動作・トリガ動作の様子	28
3- 2. F I F Oバッファメモリの構造・動作	33
3- 3. R A Mバッファメモリの構造・動作	34
3- 4. 制御レジスタI / Oアドレス・マップ	37
3- 5. ボード制御部リセット、ボード番号取得	38
3- 6. 分解能 / データコード指定	39
3- 7. チャンネル数 / 入力範囲の設定	40
3- 8. クロック源の選択	41
3- 9. (クロック源)分周比の設定	42
3-10. トリガ後サンプリング回数の設定・取得	43
3-11. F I F Oバッファ書き込みの間引き設定	45
3-12. 内部(アナログ)トリガレベルの設定	46
3-13. トリガモードの設定	48
3-14. 割り込み制御	51
3-15. サンプリング動作のスタート / ストップ制御	53
3-16. ステータスデータの取得・クリア	55
3-17. R A Mバッファ・アドレスの設定・取得	57
3-18. R A MバッファからのA Dデータ読み出し	58
3-19. F I F OバッファからのA Dデータ読み出し	60
3-20. マスタスレーブ動作（複数ボードの同期運転）	62
3-21. 汎用デジタル入出力	64

第4章．ソフトウェア

4-1. ソフトウェアのインストール	65
4-2. W I N D O W Sドライバについて	68
4-3. ボードアクセス関連ライブラリ	69
4-4. 割り込みについて	73
4-5. Q u i c k - B a s i cサンプル	74
4-6. Cのサンプル	76
4-7. A Dデータ収集ソフト L a B D A Q	78
/ データ数 8 K 語までの評価版は無償 /	

第5章．D O Sハンドラ： 本製品にはありません。

M S - D O Sで御利用の場合は前 4 - 6 項に記しました
Cサンプルを参考にしてください。

第6章．W I N D O W Sハンドラ（関数ライブラリ&ドライバ）

6-1. システム構成・ソフトウェア構造	83
6-2. サンプリングの様子とデータバッファ構造	84
6-3. 使用準備	86
6-4. 関数仕様、エラーコード	87
6-5. サンプルプログラム、使用上の注意	98

第7章．保守・その他

7-1. 故障・トラブル等の原因と対処	99
7-2. 修理のときは	101
7-3. アナログ入力範囲の再調整	102
7-4. 外部制御信号・タイミング等	104
7-5. 付録（W I N D O W S 2 0 0 0について）	106

付録． Q & A フォーム（質問／トラブル・故障に対する相談用）	108
-----------------------------------	-----

本製品の使用・適用についての注意

- 【１】 本製品はIBMPC/AT互換機のPCIバス拡張I/Oスロット、またはPCIバス拡張I/Oボックスに装着して使用するものです。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システムの設計・制作に別途付加・反映させてください。 本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。 これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。 御利用の場合は同システムの設計・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第三者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。 但し、当社製ソフトウェアのソースコードを含むソフトウェアを第三者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

故障・修理・サポート方法について

- 【１】 納入後１年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品に対して無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【２】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰する故障品に対しては実費にて修理をお願いします。
- 【３】 修理は宅配便によるセンドバックで行います。 なお、運賃は互いに発送する側が負担するものとします。（無償修理の場合も含む／着払い不可。）
- 【４】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社宛に直接御相談・御用命ください。 その際は、客観情報の整理・評価を行うために必ずFAX等でレポートを御送付ください。（解決速度が格段に上ります。）
本書末尾の《Q&Aフォーム》が便利です。

本機の仕様一覧

アナログ入力部

項 目	仕様・条件・選択肢・概要
入力数 (ソフト選択)	4 c h シングルエンド (普通の2線式)
入力範囲 チャンネル別にソフト選択 但しバイポーラ入力範囲と ユニポーラ入力範囲の混在 は不可。	$\pm 10 \text{ V} / \pm 5 \text{ V} / 0 \sim +10 \text{ V} / 0 \sim +5 \text{ V}$ (14ビットモードでは \pm 入力のみ) 本機の入力範囲設定回路は高精度部品の使用により、出荷時設定 ($\pm 10 \text{ V}$) から 変更しても通常の用途では再調整不要の誤差範囲に収まります。《下記、正確度参照》 電流入力： 各チャンネルごとの終端抵抗 (出荷時 10 M) を交換することによ って対応可能。
入力端保護	$\pm 35 \text{ V}$
入力インピーダンス	各チャンネルごとに 10 M の終端抵抗を標準実装。(外せば 100 M 以上)

A/D変換部

【注】正確度：内部雑音を含まず。

項 目	仕様・条件・選択肢・概要
分解能	14 BIT / 12 BIT (ソフト選択)
単 c h サンプリグ速度	最高 2 MHz
複 c h サンプリグ速度	最高 2 MHz (1 ~ 2チャンネル使用時)、 1.024 MHz (3 ~ 4チャンネル使用時)
非直線性 m a x	$\pm 0.013 \% \text{ FS}$
正確度 (1)	$\pm 0.063 \% \text{ FS}$ / 常温で製造時調整 A モード $\pm 10 \text{ V}$ 範囲 (14ビット) のとき
正確度 (2)	$\pm 0.083 \% \text{ FS}$ / 常温で製造時調整 A モード $\pm 10 \text{ V}$ 範囲 (14ビット) 以外のとき
内部雑音 t y p	$\pm 4 \text{ LSB}$ (当社製造システムにて、14 BIT のとき)
温度ドリフト t y p	$\pm 25 \text{ ppm} /$
A/Dデータ・コード	バイナリ、または2の補数 (ソフト指定)

【注】 本ボードからパソコン側への実用データ転送速度は 500 KHz 程度、
 これ以上のデータ流量 (サンプリグ周波数 \times チャンネル数) となる
 ときは R A M バッファ (容量 16 M 語) を利用し、サンプリグが終了
 してから転送してください。 このサンプリグ中に平行して F I F O
 から間引きデータを転送することもできます。

制御部・その他

項 目	仕様・条件・選択肢・概要
クロック	クロック源：内部 40 MHz / 内部 32.768 MHz / 外部 T T L 入力 分周機能：32 BIT プログラマブルカウンタ (バイナリ)
トリガ (サンプリグ開始)	内部トリガ： プログラム上からの即トリガ、 アナログ入力 (先頭チャンネル) の指定エッジ、レベル、またはレンジ。 外部トリガ： 外部 T T L 入力の指定エッジ、またはレベル
バッファメモリ	16 M 語 R A M + 標準 4 K 語 F I F O (オプションで 8 M 語、または 32 M 語に増設可)
A/Dデータ転送	R A M からはサンプリグ終了後、F I F O からはサンプリグ中も平行可能。 ブロック転送：通常、F I F O の H A L F - F U L L フラグを利用して容量の半分単位で行う。 通常 I N 命令：/ Q u i c k - B A S I C の I N P からは添付のワードアクセス関数を使用。
マスタスレーブ動作	マスタのクロック出力をスレーブのクロック源入力に接続することにより可能。
割り込み (要リソース取得)	割り込み要因： トリガ後の指定回数サンプリグ終了、1回サンプリグ・スキャン終了、 サンプリグ・クロック、外部割り込み入力の指定エッジ、トリガ発生、 F I F O メモリの E M P T Y 解消、同 H A L F - F U L L フラグ。
汎用デジタル入出力	4ビット T T L 入力、4ビット T T L 出力
I/Oアドレス	組み込み対象システムのプラグアンドプレイ機能により (連続した) 32 アドレス占有。
基板寸法	P C I ロングサイズ (311.7 mm) \times (98.4 mm) / 突出部を含まず。
動作環境	周囲温度： $0 \sim +40$ (結露しないこと)、保存温度： $-10 \sim +80$ (結露しないこと)
付属品	入出力プラグ、C D R O M、印刷された取扱説明書 + 回路図 = 取説セットは別売 (¥2000)
電源消費 (5 V)	1.6 A

製品構成

本体ADボード、 入出力用プラグ（1組）
 C D R O M（添付ソフト、取扱説明書PDFファイル）
 CおよびBASICサンプルソース、
 W I N D O W S 9 x / M E / N T / 2 0 0 0 / X P 用の制御関数ライブラリ/ドライバ、
 W I N D O W S 2 0 0 0 / X P 用のADデータ収集ソフト：L a B D A Q - A Q
 （無制限版、ダウンロード配布）
 （以下、オプション）
 回路図、 印刷された取扱説明書（PDFファイルはWEBからも入手可能）

価格表

（消費税は含まれていません。）

/ 2 0 0 4 年 5 月 /

製品名	価格¥	製品の概要
ADM-670PCI	195,000	14ビット/4チャンネル高速同時サンプリングADボード（メモリ付）
（以下、オプション）		
ADM-670取説セット	2,000	印刷された取扱説明書+回路図
DS09S-150	6,000	アナログ用1.5mケーブル（片方：プラグ/他方：バラ）
DX36S-150	8,000	デジタル用1.5mケーブル（片方：プラグ/他方：バラ）
CBOX-404AIO	19,000	アナログ信号4チャンネルBNC接続箱（対ボード1mケーブル付）
CBOX-010DIO	35,000	デジタル信号接続箱/制御信号はBNC（対ボード1mケーブル付）
AIU-304BRD	26,000	外付4ch絶縁センサアンプ（5Bシリーズ）用バックプレーン
DS3709E-100	8,500	対AIU-304、UNA-416接続（1m長シールドケーブル）

ソフトウェア・オプション

製品名	価格¥	製品の概要
L a B D A Q / A Q	無償ダウンロード	ADデータ収集ソフトウェア（松山アドバンス社製）/2000~XP版
L a B D A Q / P R O	78,000	ADデータ収集・解析ソフトウェア（松山アドバンス社製）/98~XP版
A X A D M - 6 7 0	開発予定	AD入力ActiveX（松山アドバンス社製）/9x・NT・2000版
K u z i r a - 6 7 0	開発予定	L i n u xドライバ（ナリタ社製）

《 取説セット 》 印刷された取扱説明書+回路図+添付ソフト格納ディスクの3点セットは有償です。（¥2000）
 が、同一内容の取説PDFファイルと添付ソフトを格納したCDROMは無償配布しており、また
 取説PDFファイルは当社ホームページから無償ダウンロードすることができます。
www.microscience.co.jp

《 メモリ増設 》 該当容量のFIFOメモリ素子に交換して出荷します。（標準4K語搭載）
 本体製品型名の末尾にFIFOメモリ容量を示す枝番を付してください。
 選択枝番： - 8KW（8K語分/¥10,000加算）
 - 8MW（8M語分/¥27,000加算）
 - 32MW（32M語分/¥38,000加算）

第1章．導入・試運転

1-1. 本機の概要

ADM - 670PCIは2系統のバッファメモリ（16M語RAM & 4K語FIFO）を搭載した高速4チャンネル同時サンプリングADボードです。通常のADボードではボード自体のサンプリング速度が速くてもバスの実用データ転送速度（数百kHz）がボトルネックとなります。

バッファメモリにSRAMを使用するとボード自体の最高サンプリング速度を得られますが、サンプリング終了までデータ読み出しができず不便です。

本機は高速でRAMバッファに書き込みながら、同時にFIFOバッファに（必要によって）間引きしたデータを書き込む動作ですから、CPU側からはトレンドをリアルタイムに取り込みながら完全データはサンプリング終了後に取り込むような動作が可能です。

WINDOWS2000・XP版データ収集ソフトLaBDAQ-AQ（無制限版）を無償ダウンロード配布。

WINDOWS9x・ME・NT・2000・XP版のハンドラ関数ライブラリDLL / デバイスドライバを添付。

最高2MHz（2chまで）、1.024MHz（全4ch）同時サンプリング。

16M語RAM、および標準4K語（最大32M語増設可能）FIFOバッファ搭載。

マルチ・クロック源：内部40MHz / 内部32.768MHz / 外部入力。

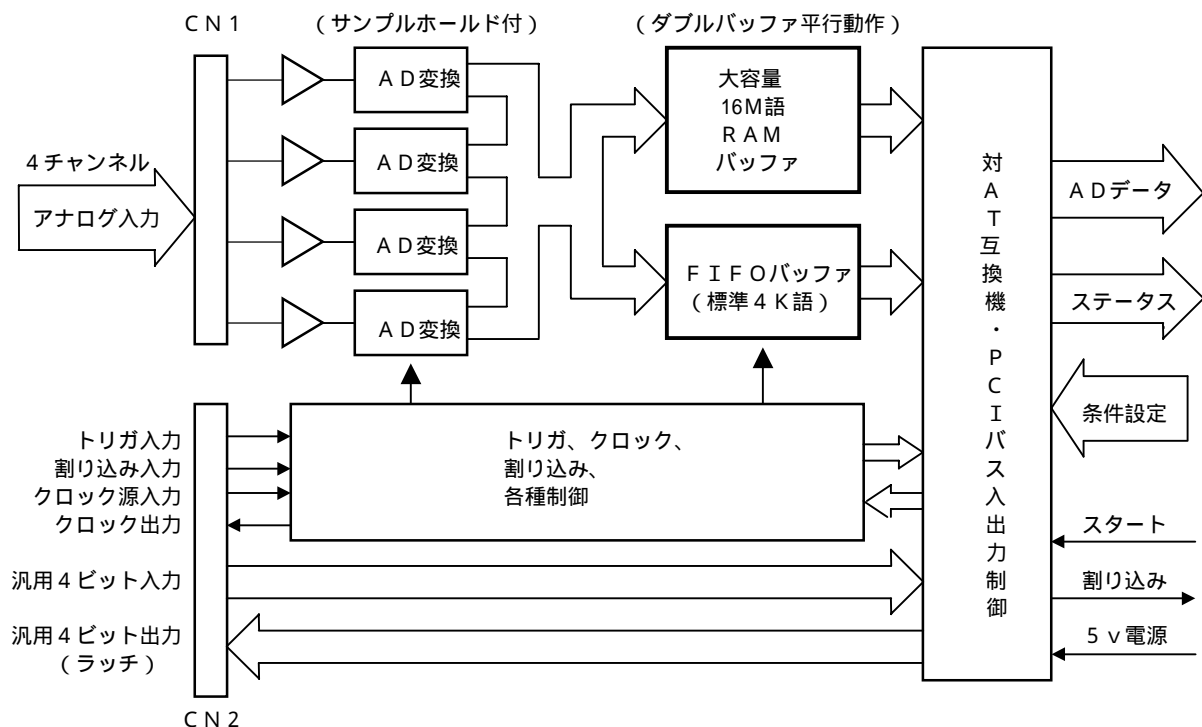
マルチ・トリガ源：ソフト上の即トリガ / アナログ（エッジ・レベル・レンジ） / 外部入力。

高精度部品の使用により、入力範囲（スイッチ）切り替え時の再調整不要。

クロック入出力機能により複数ボードの同期運転可能（マスタスレーブ動作）。

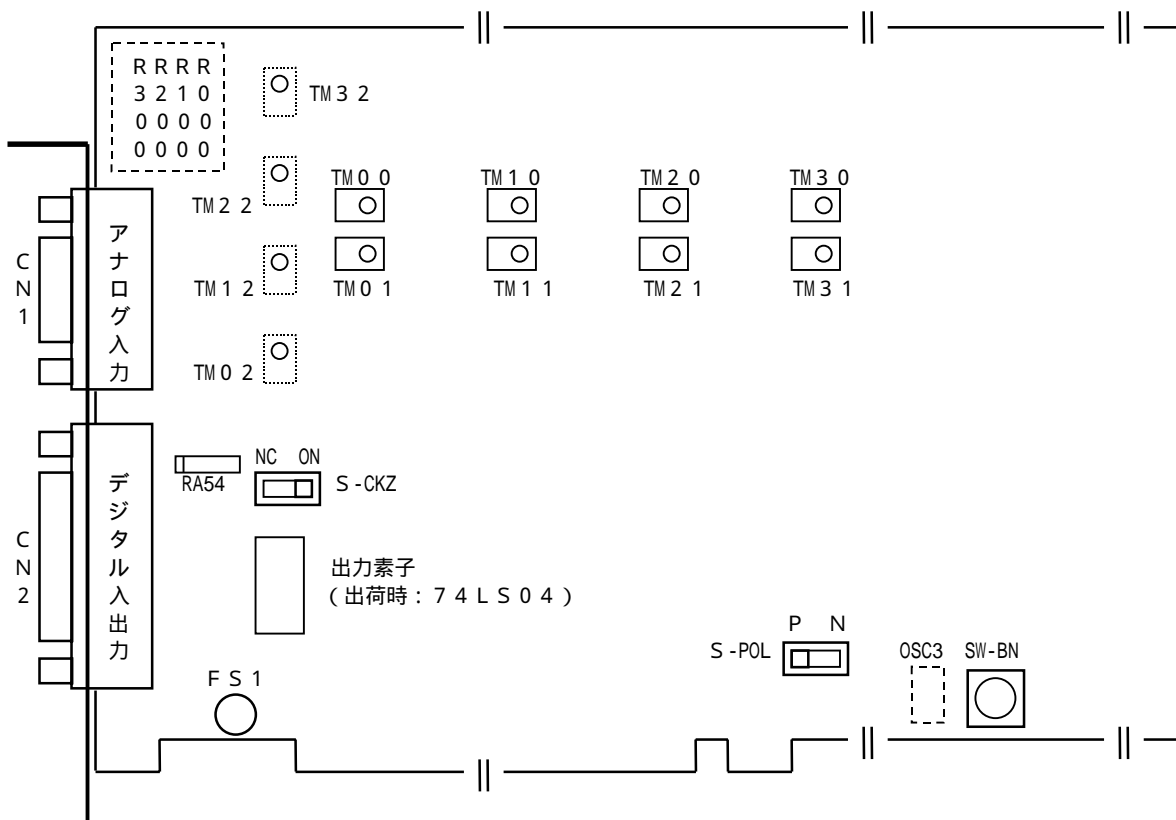
トリガ前後のデータを得られるプリトリガ機能。

図1-1. ADM - 670PCI機能ブロック



1-2. ボード上の設定

図1-2A. ADM-670PCIボード上の部品配置



R 000 : アナログ入力終端抵抗【出荷時：各10M】/ 2-1項

S - POL : 汎用デジタル出力の極性選択 【出荷時：P（正論理）】/ 2-4項。

RA54 : 汎用デジタル出力のプルアップ【出荷時：未実装】/ 2-4項。

SW - BN : ボード番号設定スイッチ 【出荷時：0】/ 3-5項。

S - CKZ : 外部クロック信号終端スイッチ【出荷時：ON】/ 3-20項。

TM 0 : (AD変換入力) オフセット調整トリマ。

TM 1 : (AD変換入力) ゲイン調整トリマ。

再調整用 / 7-3項

TM 2 : (バッファ入力) オフセット調整トリマ。

【出荷時：未実装】通常不要。

FS1 : 5V電源出力保護ヒューズ(FRPU-2A:浜井電球製)/回路図

CN1 : アナログ入力コネクタ(9ピンD-SUB) / 1-3項

CN2 : デジタル入出力コネクタ(36ピン・ハーフピッチ) / 1-3項

OSC3 : オプションの水晶発振子(出荷時：未実装)/ 3-8項

ISP - PRG : 保守用(出荷時：未実装)

1-3. 入出力コネクタ・ピン接続

本機のアナログ入力には9ピンのD - SUBコネクタ、またデジタル入出力用には36ピンのハーフピッチ・コネクタが使用されています。

表 1 - 3 . 入出力コネクタ

適 用	本ボード上のコネクタ 【製造社名】	対外部接続プラグ《標準添付》
アナログ出力	17LE-13090-27(D4AB)【DDK】	17JE-23090-02(D8A)
デジタル入出力	DX10A-36S 【ヒロセ】	DX40-36P(03)、DX36-CVI

図 1 - 3 A . アナログ出力コネクタ (CN1) ピン接続

信号名	ピン番号	ピン番号	信号名
CH0 (チャンネル0アナログ入力)	1	6	AG (アナログ・グランド)
CH1 (チャンネル1アナログ入力)	2	7	AG (" ")
CH2 (チャンネル2アナログ入力)	3	8	AG (" ")
CH3 (チャンネル3アナログ入力)	4	9	AG (" ")
(空 き)	5		

【注】アナログ・グランドAGとデジタル・グランドDGはボード内部で接続されています。

図 1 - 3 B . デジタル入出力コネクタ (CN2) ピン接続

信号名	ピン番号	ピン番号	信号名
(デジタル入力ビット 0) I 0	1	19	DG (デジタル・グランド)
(" " " 1) I 1	2	20	DG (" " ")
(" " " 2) I 2	3	21	DG (" " ")
(" " " 3) I 3	4	22	DG (" " ")
(デジタル出力ビット 0) Q 0	5	23	DG (デジタル・グランド)
(" " " 1) Q 1	6	24	DG (" " ")
(" " " 2) Q 2	7	25	DG (" " ")
(" " " 3) Q 3	8	26	DG (" " ")
(割り込み入力) INT - IN	9	27	DG (" " ")
(トリガ入力) TRG - IN	10	28	DG (" " ")
(クロック入力) CLK - IN	11	29	DG (" " ")
(空 き)	12	30	(空 き)
(空 き)	13	31	(空 き)
(空 き)	14	32	(空 き)
(空 き)	15	33	(空 き)
(空 き)	16	34	(空 き)
(クロック出力) CLK - OUT	17	35	DG (デジタル・グランド)
(PCIバス + 5 v 出力) + 5 v	18	36	DG (" " ")

【注】アナログ・グランドAGとデジタル・グランドDGはボード内部で接続されています。

1-4. 入出力接続オプション

アナログ、デジタル、各々に専用のシールドケーブルが用意されています。

デジタル用には信号接続ボックス（対ボード間ケーブル付）も用意しました。

なお本ADボード専用のBNC接続ボックスは用意されていませんが、他機種用のものをボード側プラグの交換で流用することができます。

図1-4A. アナログ用シールドケーブル：DS09S-150
デジタル用シールドケーブル：DX36S-150

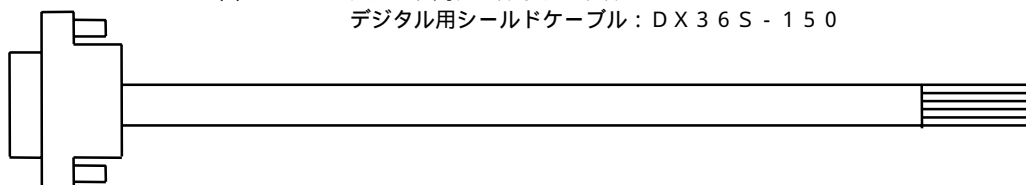


図1-4B. アナログ入力用BNC接続ボックスCBOX-404AT

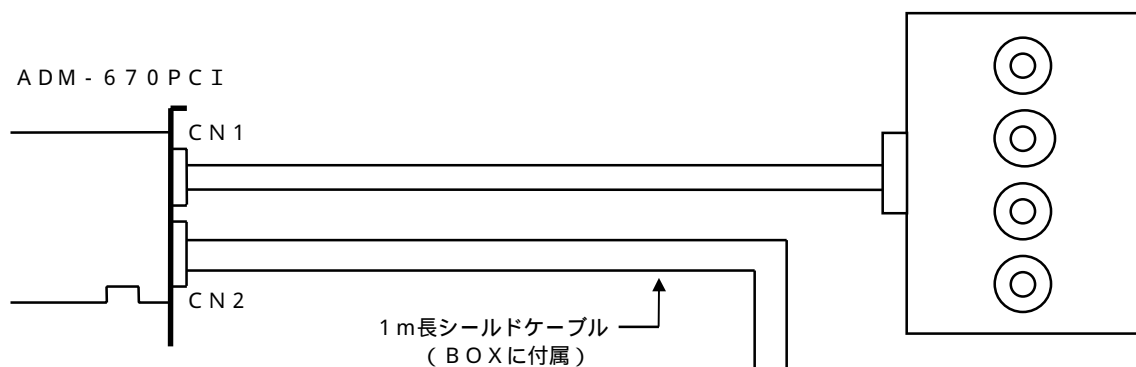
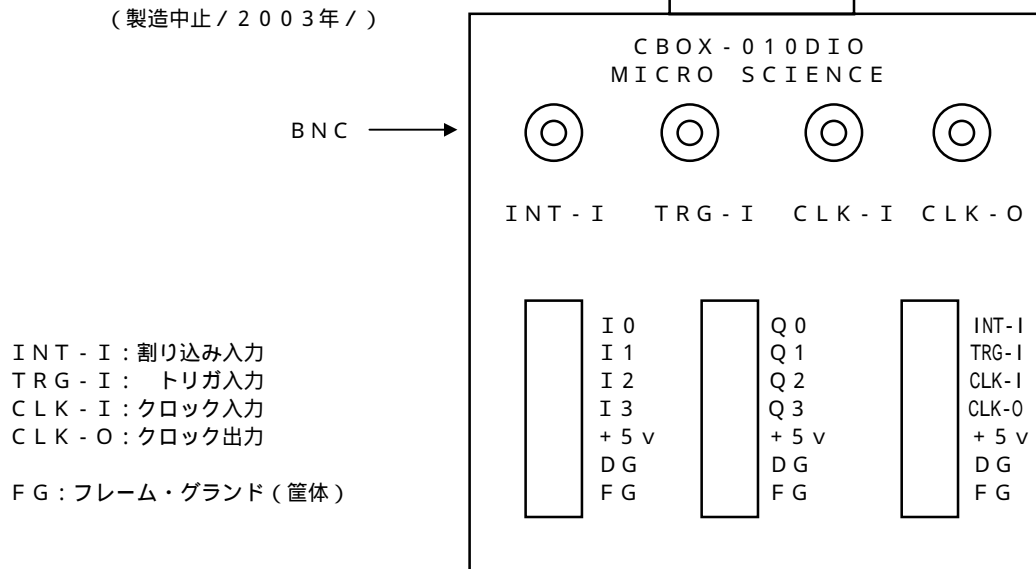


図1-4C. デジタル入出力用
端子台接続ボックス
CBOX-010DIO
(製造中止/2003年/)



寸法：120W×160L×45H（突出部を含まず）
筐体：スチール製

1-5. ボードのインストール

本製品はプラグアンドプレイに対応したPCIボードです。

御使用に先立ち、組み込むパソコンシステムにインストール（認識・リソース割り当て）される必要があります。この作業はシステムを立上げたとき（電源投入直後）に自動実行されます。

準備

本ボード上の諸設定は出荷時の状態（1 - 2項）とします。

パソコン本体または拡張I/Oボックスの電源を切った状態でカバーを外し、任意の拡張（PCIバス）I/Oスロットに本ボードを無理なく押し入れ装着します。注意することは、

パソコン本体または拡張I/Oボックスの電源を必ず切っておく。電源を入れたままで本ボードを抜き差しすることは双方の故障原因となります。

本ボードのカードエッジ（金メッキ端子）に手を触れないこと。手を触れると、（油脂成分の付着等により）接触不良の原因となることがあります。もし、触れてしまった場合はアルコール等で拭き清めてください。

本ボード上ROM内のコンフィギュレーション情報

Vendor ID : 13FDH（インタフェース素子の製造者ID）【注1】
 Device ID : 010DH（インタフェース素子自体のID）【注1】
 Subsystem Vendor ID : 13FDH（ボード製造者 = マイクロサイエンス社のID）
 Subsystem ID : 010DH（ADM - 670PCIボード自体のID）
 Class Code : 110000H（本ボードの適合する分類コード）

リソース要求：I/Oアドレス：連続した偶数の複数アドレス。（ボードにより異なる）
 割り込み：デフォルトでは不要求。【注2】
 バスマスタ：機能なし（不要求）。

【注1】 Vendor ID / Device IDは本来、インタフェース素子メーカー / 素子自体を特定するIDですが、本ボードで使用している素子は汎用品として多数の他社製品にも使用されており、（98/04/01）現在パソコンのプラグアンドプレイではVendor IDとDevice IDだけでボードを認識する機種があるので（混乱を避けるために）当社IDを記してあります。

【注2】 **割り込みを使用する場合**：本ボード上のROMに書き込まれているデフォルト（初期）のコンフィギュレーション情報では割り込みリソースを要求しません。もし要求したときに空気が無く拒否されるとI/Oアドレスの割り当ても受けられず、認識不能状態になる恐れがあるからです。割り込みを利用したいときは以下の手順を踏んでください。

本ボードを最初はデフォルト（初期）設定のままインストールし、システムから認識できる状態にしてください。

現在のシステムが使用しているリソース情報を調査してください。割り込みに空がある場合は（当社提供のユーティリティ：cf9050で）本ボード上のコンフィギュレーション情報（ROM）を割り込みリソースを要求するように修正して、一旦終了・電源を切ります。（パソコン電源部保護のため1分以上の後）、再度電源投入するとプラグアンドプレイで割り込みリソースが割り当てられます。

割り込みリソースに空が無い場合は最後の手段として、既に他デバイスに割り当てられている割り込みリソースを共有する方法も考えられますが、他デバイスの動作にも影響する恐れがあるため、現時点では当社のサポート対象外としています。

インストール(1) : **WINDOWS 95**の場合。(**WINDOWS 98 / ME**も同様)

《ボードのインストール》

パソコンシステムの電源を投入すると**WINDOWS 9x**が立ち上がり、このとき新ハードウェア(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

オリジナルの**WINDOWS 95**では、

[新しいハードウェアが検出されました/必要なソフトウェアをインストールしています]に続くダイアログボックスのデフォルトは[ハードウェアの製造元が提供するドライバ]となっていますから、添付の[ボードインストール・ディスク]を挿入、ウィザードに従って(ディスクがFDの場合は[**a:¥win9x**]フォルダから)読み込ませてください。

(CDROM<2000-08版以降>の場合は適切なドライブのフォルダ[**:¥win9x**]から)ファイルのコピーで“ms_pci.vxd”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

WINDOWS 95 / OSR2バージョンでは、

デバイスドライバ・ウィザードが立ち上がり、

[新しいハードウェアが検出されました。/必要なソフトウェアを探しています]に続いてドライバの検出過程ダイアログが現れますから、添付の[ボードインストール・ディスク]を挿入、ウィザードに従って(ディスクがFDの場合は[**a:¥win9x**]フォルダから)読み込ませてください。

(CDROM<2000-08版以降>の場合は適切なドライブのフォルダ[**:¥win9x**]から)ファイルのコピーで“ms_pci.vxd”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

これで本ボードの情報が**WINDOWS 95**のレジストリに登録されました。

《割り当てリソースの調査》

WINDOWS 95の【スタート】メニューから 【設定】 【コントロールパネル】
【システム】 【デバイスマネージャ】 【MSCIENCE】 【ボード名】
【プロパティ】 【リソース】で調べます。

《本ボード専用ドライバ/DLLのインストール》: 通常はこれを御利用ください。

本ボードの基本機能を関数化したものです。インストール方法は第6章(6-3項)参照。

《汎用ドライバ/DLLのインストール》: 前記の**専用ドライバ/DLLユーザには不要**です。

ボードに依存しない単純I/O実行用です。自作ドライバの素材に利用できます。

WINDOWS 9xではI/Oポートの読み書きをデバイスドライバを使用せず、DLLで直接実行できますから(その方が普通です。)、割り込みを使用する場合に限って当社の用意する“割り込み用の汎用デバイスドライバ”を利用してください。

インストーラはありません。必要なファイルを手作業で適切なフォルダにコピーします。

汎用ドライバ類の所在は、

(ドライバFDの場合): ドライバ本体: Win9x¥vxd¥pta95__0.vxd

汎用のDLL: Win9x¥DLL¥accs__95.dll

ドライバ説明: Win9x¥DOC¥readme.txt

(CDROMの場合): ¥INSTALL¥Driver¥Win9x以下です。

コピー先は: DLLは**WINDOWS**フォルダに、VXDは**WINDOWS**のシステムフォルダです。

インストール (2) : **WINDOWS-NT (4.0)** の場合。

各作業は必要により **Administrator レベル**で行ってください。

《ボードのインストール》

パソコンシステムの電源を投入するとプラグアンドプレイが自動実行されます。

ソフト的には新ボードの装着されたスロットとボード情報が認識され、リソースの割り当てが自動実行されます。この過程は電源投入 (ハードウェア・リセット) の毎に実行されますから、ハードウェアの構成が変化すると割り当てられるリソースが変化することもあります。

~~【ここまではWINDOWS 9.5と同様です。】~~

この後、ドライバ類の組み込みが実行され、最後にWINDOWS - NTが立ち上がりますが、NTのレジストリはプラグアンドプレイ情報に対応していないため、これで終わりです。

《本ボード専用ドライバ / DLLのインストール》 : 通常はこれを御利用ください。

本ボードの基本機能を関数化したものです。インストール方法は第6章 (6 - 3 項) 参照。

《汎用ドライバ & ユーティリティのインストール》 : 専用ドライバ / DLLユーザには不要。

ボードに依存しない単純 I / O 実行用です。自作ドライバの素材に利用できます。

WINDOWS - NTではI / Oポートの読み書きも割り込み処理にもデバイスドライバが必要です。本ドライバは最大16枚のボード (各複数I / Oアドレスおよび専用割込1本) を制御することのできる汎用デバイスドライバです。

インストールは添付のインストーラで行いますが、このとき同時にドライバの設定ユーティリティ、(プラグアンドプレイで自動設定された) リソースの調査ユーティリティ、さらにサンプルプログラムもインストールされます。

汎用ドライバ類の所在は、インストーラ : WinNT¥Setup.exe
 ドライバ本体 : WinNT¥Sys¥NtPta__?.sys
 汎用のDLL : WinNT¥DLL¥Port_nt.dll
 ドライバ設定ユーティリティ : WinNT¥Doc¥Rs__reg.exe
 リソース調査ユーティリティ : WinNT¥Doc¥PCIadr.exe
 説明ファイル : WinNT¥Doc¥Readme.txt

(CDROMの場合) ¥INSTALL¥Driver¥WinNTです。

【注1】 ? = 0 ~ 15

【注2】 ドライバとDLLは無指定でNT所定のフォルダにインストールされますが、ユーティリティとサンプルプログラムは前もってインストール先のフォルダを用意しておき、インストール実行時に指定します。

リソースの調査 / 汎用デバイスドライバの設定

当社製PCIボードのリソース (アドレス / 割り込み) 割り当て・占有状態を調査するユーティリティPCIadrを使用して、本ボードの (プラグアンドプレイで設定された) I / Oアドレス・割り込みレベル情報を取得できます。この情報にもとづいてデバイスドライバの設定ユーティリティ (Rs__reg) でデバイスドライバを設定します。

使用方法是同一フォルダ内の説明テキストファイルを御覧ください。

インストール(3) : WINDOWS 2000の場合。

WINDOWS 2000はNT4.0の上位バージョンですが、プラグアンドプレイ機能を持つため、本ボード装着直後のインストール作業にWINDOWS 2000対応のインストールディスク(当社製:FDなら/vr2.00以降、CDROMなら2000-08版以降)が必要です。

添付のCDROM、または当社ホームページwww.microscience.co.jpの<ダウンロード>アイコン以下で入手できるビジュアルな手順書も併せて参照し、注意深く行ってください。

各作業は必要により **Administrator レベル**で行ってください。

《ボードのインストール》

パソコンシステムの電源を投入するとWINDOWS 2000が立ち上がり、このとき新ハードウェア(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

新しいハードウェアの検出ウィザードが立ち上がり、
[新しいハードウェアが検出されました。/必要なソフトウェアを探しています]に続いてドライバの検出過程ダイアログが現れますから、添付の[ボードインストール・ディスク]を挿入し、ウィザードに従って(ディスクがFDの場合は[a:\win2K]フォルダから)読み込ませてください。

(CDROM<2000-08版以降>の場合は適切なドライブのフォルダ[:win2K]から)

ファイルのコピーで“dms_pci.sys”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

これで本ボードの情報がWINDOWS 2000のレジストリに登録されました。

- (1) インストールされたドライバ“DMS_PCI.SYS”は、
当社製各PCIボード(複数可能)に共通使用できるWINDOWS 2000/XP用のWDMドライバです。

インストール元: ボードインストールディスク。

インストール先: ¥WINDOWS¥SYSTEM32¥DRIVERS

- (2) 御利用に先立ち、4-1項に従い各種ソフトウェアのインストール作業を行ってください。
(専用インストーラによる解凍・展開)

インストール元: 添付のCDROM。

インストール先: ¥MSCIENCE 以下。

- (3) その後、利用する関数DLLを手作業で所定のフォルダにコピーする必要があります。
本ボード専用のハンドラ関数DLL(推奨)から使用する場合は6-3項を、また当社製全PCIボード(複数可)共通に利用できる汎用単純入出力関数DLLから利用する場合は4-2項を御覧ください。

コピー元: ¥MSCIENCE 以下。

コピー先: ¥WINDOWS¥SYSTEM32

以後、アプリケーションからの利用が可能になります。

《割り当てリソースの調査》

WINDOWS 2000の【スタート】メニューから 【設定】 【コントロールパネル】
【システム】 【ハードウェア】 【デバイスマネージャ】 【MSCIENCE】
【ボード名】 【プロパティ】 【リソース】で調べます。

インストール (4) (W I N D O W S - X P の場合)

ボード装着直後の作業にはW I N D O W S 2 0 0 0用のインストールディスクが必要です。
基本的な手順は前ページに記したW I N D O W S 2 0 0 0の場合と同様ですが、
W I N D O W S - X Pのウィザードは間違い易い表現が多いので作業には**注意が必要です**。
添付のC D R O M、または当社ホームページwww.microscience.co.jpの<ダウンロード>
アイコン以下で入手できるビジュアルな手順書も併せて参照し、注意深く行ってください。

《手順》----- オリジナルX Pの場合。S P 2の場合はビジュアルな手順書参照。

パソコンシステムの電源を投入するとW I N D O W S が立上り、このとき新ハードウェア
(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

- (1) 新しいハードウェアの検出ウィザードの開始。 / ダイアログ /
< ハードウェアに付属のインストールC D、ディスクがある場合は挿入してください >
と表示されますが、ここでは添付のC D R O Mを**未だ挿入しないで**ください。
下段に表示されている< インストール方法 > 選択肢ラジオボタン をデフォルトから
< 一覧または特定の場所からインストールする > に変更して【次へ】をクリックします。

- (2) 検索とインストールのオプションを選んでください。 / ダイアログ /
デフォルトの< 次の場所で最適のドライバを検索する > チェックボックスを外し、
< 次の場所を含める > のみをチェック、ここで添付のC D R O Mを挿入すると、

- (3) 自動再生 / ダイアログ / が登場してサーチを始めますが、
これは即、【キャンセル】クリックしてください。

さらに、

- (4) この種類のファイルのディスクを挿入したり、デバイスに接続したりするたびに
W I N D O W S が自動的に実行する動作を選択できます。 / ダイアログ / が登場したら
これも【キャンセル】クリックします。

これで (2) の / ダイアログ / に戻りますから、

- (5) < 次の場所を含める > を指定するためのテキストボックスを正しく埋めるために
【参照】ボタンをクリックします。

- (6) フォルダの参照< ハードウェアのドライバを含むフォルダを選んでください >
/ ダイアログ / が開きますから、
< C D R O Mアイコン > < 0 _ ボードインストール > < W I N 2 K > と指定して
【OK】をクリックするとインストールが実行されます。

これで本ボードの情報がW I N D O W S のレジストリに登録されました。

以下は前ページに記したW I N D O W S 2 0 0 0と同様です。

御利用に先立ち、4 - 1項に従い各種ソフトウェアのインストール作業を行って下さい。

- 【注】操作ミス等でボードインストールが正しく実行されなかった場合は、
W i n d o w s X Pはボードインストール作業直前の状態を記憶しているので、
一旦終了・電源を落としてボードを外し、再立ち上げの後、
W I N D O W S の【スタート】から【ヘルプとサポート】を選択し、
< ヘルプとサポートセンター > ダイアログ中の
< コンピュータへの変更をシステムの復元で元に戻す > 機能で
ボードインストールをやり直すことのできる元の状態に戻すことができます。

1-6 . 動作確認・試運転

以下の手順で試運転してください。動作に不具合があるときは1-2項に記されたボード上の設定を確認してください。それでも不明なときは本書巻末に添付の【Q & A フォーム】にシステム情報を御記入のうえ当社技術部までFAXしてください。迅速に応答します。

なお、TELいただく場合も客観情報の整理・評価は問題解決のスピードアップにつながりますから事前にFAXしてください。

== 準備 ==

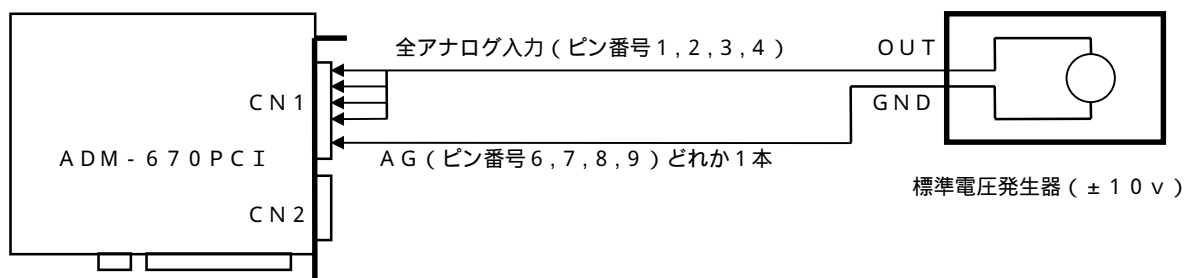
本ボード上の諸設定は出荷時の状態（1-2項）とします。

1-4項に従って本ボードをインストールし、ユーティリティ等で割り当てられたリソース（I/Oアドレス）を調べる。

本ボードのアナログ入力テスト用の信号源（ $\pm 10\text{V}$ 以内）に接続します。
（図1-6）

以上で準備完了です。電源投入順序は全機器同時、または外部機器を先にパソコン本体を最後に行います。電源切断は逆順序です。

図1-6 . 動作確認用の外部機器接続



WINDOWS NT/2000/XPでの動作確認

本項で使用するプログラムはWINDOWS 9x/ME、およびMS-DOSの環境でのみ動作します。WINDOWS 2000/NT/XPの場合は第6章で説明されている専用の関数ライブラリを使用した各言語（VB, C++, C, Delphi、C++ビルダ）用のサンプルプログラムを御利用ください。

また添付のデータ収集アプリケーションLaBDAQ-JRも利用できます。

（当社CDROMの松山アドバンス社フォルダ内に有ります。）

(1) WINDOWS 95 / 98 / ME 用

== 運 転 == 試運転・動作確認用プログラム “ 670QB2 ” を使用します。
 本プログラムはMS - DOS 版です。 御使用に先立ち、添付のソフトウェアをインストール (4 - 1 項) しておく必要があります。 また、当プログラムのソース (Quick-Basic) も同名 (拡張子 : BAS) で添付されています。

なお “ 670QB2 . EXE ” は日本語モードでは正常な表示ができないので、事前に英語モードに切り替えてから “ 670QB2 . EXE ” を呼ぶ “ 670QB2 . COM ” を使用してください。

テストシステムの電源を投入し、MS - DOS を立上げます。(WINDOWS 9 x の DOS 窓可)

試運転・動作確認用プログラム “ 670QB2 ” を読み込み、実行します。
 最初に I / O ベースアドレスの入力を要求されますから、1 - 5 項で調査した4桁のHex 値を入力します。
 スタートすると、
 全チャンネルのアナログ入力をサンプリングしては数値表示する動作を繰り返します。

【 0 】 Sampling Start ではサンプリングした生データを表示しますが、
 【 5 】 【 6 】 の調整用ではバラツキ (内部雑音) 除去のため、10 回サンプリングした値の平均を表示しています。 / これにより、ほぼ ± 1 digit 程度のバラツキに収まります。 /

操作は、

0 . Sampling Start		【Space】キー : 中断 / 再開
1 . Select Channels 【 4 】		【ESC】キー : 終了
2 . Select Range 【 + - 10V 】		
3 . Select Resolution 【 14BIT 】		
4 . A .mode / B .mode 【 A .mode 】	→	入力範囲モード : 2 - 2 項参照。
5 . Offset adjust _____	→	オフセット調整 : 7 - 3 項参照。
6 . Gain adjust _____	→	ゲイン調整 : " "

なお、本プログラムではADデータを10進数で表示します。

(2) WINDOWS 2000 / XP用

== プログラム ==

本動作確認プログラムは第 6 章で説明する本ボード専用のハンドラ関数 D L L ではなく、ボード依存性のない汎用 I / O アクセス関数 D L L を使用して製作されています。

いずれのDLLも下層（ボードのアクセス）に使用するドライバは同一で、本ボードをインストールするとき同時に自動インストールされたWDMドライバです。このWDMドライバはプラグアンドプレイで認識される複数（＝最大8枚）の当社製PCIボードを平行して制御することができます。/本動作確認プログラムでの動作は1枚のみ/

動作確認プログラムの位置：添付CDROM（2003年5月版以降）のルート¥から、
 <6_追加ソフト> <動作確認> <D I Oボード> <W d m>
 以下です。

プログラム名: t d 6 7 0 w 2 . e x e
t s 6 7 0 w 2 . e x e

内容はボードアクセスと基本動作確認で： ボード I D 取得（本書 3 - 4 項）、
ステータス取得（リセット時）、
ボード番号取得（ボード上 S W - B N 設定値）
内部クロック使用でのサンプリング動作、
サンプリング動作時のステータス変化、
F I F O 容量のチェック、
サンプリング点数カウンタ値の取得。

などを実行します。

操作手順

(1) WINDOWS の < スタート > < プログラム > < アクセサリ > < コマンドプロンプト >、
または < スタート > < プログラム > < MS - DOS プロンプト >、と進み、

(2) D O S 窓中で d :

ENTER

 (d : 実際の C D R O M ドライブ名に置き換える。)

c d ¥ 6 __追加ソフト¥動作確認¥ A D ボード¥ W d m ENTER

```
t d 6 7 0 w 2 | ENTER
```

(ファイル名)

はスペース

第2章．信号入出力

2-1. アナログ入力回路

本機のアナログ入力～A/D変換回路は各チャンネルごとに独立しており、A/D変換は同時サンプリング動作ですからチャンネル間時刻差の無いA/Dデータを得ることができます。

アナログ入力範囲の最大レンジは $\pm 10\text{V}$ （各チャンネルごとに4レンジからソフト設定）、絶対最大定格は $\pm 35\text{V}$ です。これ以上の電圧が印加される恐れがある場合は保護対策（2-3項）が必要です。なお、各チャンネル入力端には入力インピーダンスを下げるために $10\text{M}\Omega$ の終端抵抗が実装されています。（外すと $100\text{M}\Omega$ 以上となる）

図2 - 1 A . アナログ入力部の構造

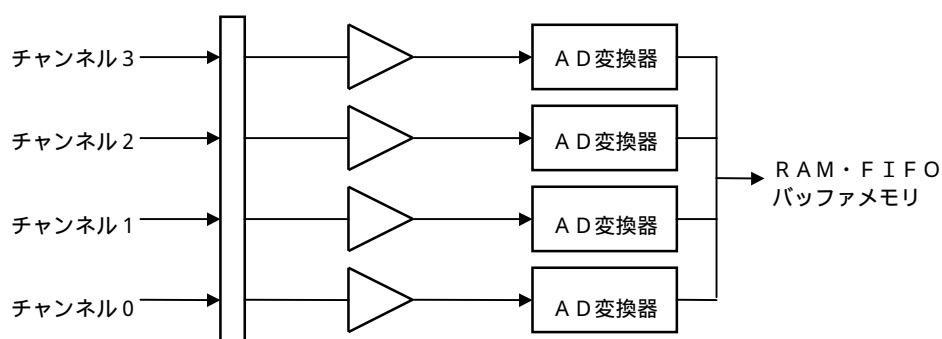
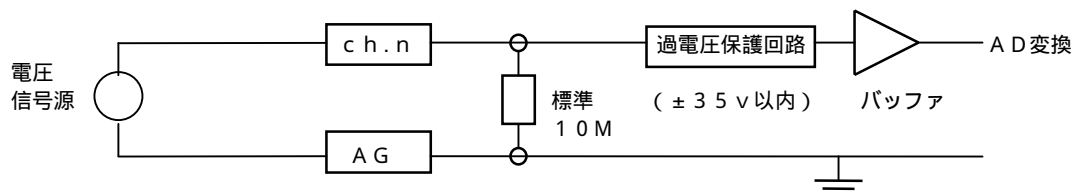
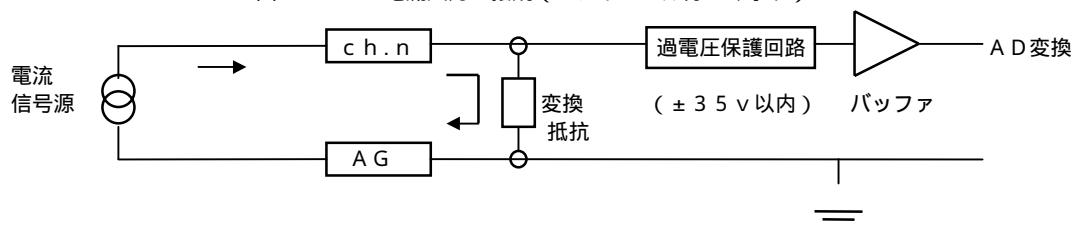


図2 - 1 B . 電圧入力の接続（1チャンネル分のみ示す）



電流入力： 信号源が $4 \sim 20\text{mA}$ 等の電流出力の場合は標準実装されている $10\text{M}\Omega$ の終端抵抗を適当な値の電流・電圧変換用抵抗に交換して使用できます。
（例： 250 なら $1 \sim 5\text{V}$ に変換）

図2 - 1 C . 電流入力の接続（1チャンネル分のみ示す）



2-2. アナログ入力範囲

本機の分解能は全チャンネル共通にソフトウェア選択です。
また、入力範囲・モードは各チャンネルごとにソフトウェア選択です。
選択方法は3 - 7項、およびサンプルプログラムを御参照ください。
なお、バイポーラ入力範囲とユニポーラ入力範囲の混在はできません。

本機は【 $\pm 10\text{V}$ 範囲 / Aモード】で最終調整されていますが、高精度部品の使用により入力範囲を切り替えても多くの用途では再調整の必要がありません。【付録7-3項・参照】
特定の入力範囲で最も正確度を良くしたいときは再調整を行ってください。
御希望により当社でも（有償で）行います。

常温で当社製造時の正確度：0.063%FS（14ビット、 $\pm 10\text{V}$ 入力範囲 / Aモード）
その他の入力範囲では：0.083%FS

公称入力範囲を正直に本機の各分解能（14 / 12 BIT）で実現すると、1digit 当りの電圧値が半端な割り切れない値【B】モードになってしまいます。当社では入力範囲を少し拡大して1digit 当りの電圧が切りのよい値となる【A】モードもサポートしています。

表2 - 2 A . 12bit モードでの入力範囲・分解能・正確度

公称 入力範囲	範囲 モード	実際の入力範囲 ($\pm 10\text{V}$ 超過は無効)	分解能 mv/digit	正確度 %FS
$\pm 10\text{V}$	A	- 10.240 ~ + 10.235 V	5	0.083
	B	- 10.000 ~ + 9.99512 V	4.88.....	
$\pm 5\text{V}$	A	- 5.120 ~ + 5.1175 V	2.5	
	B	- 5.000 ~ + 4.99756 V	2.44.....	
0 ~ + 10 V	A	0 ~ + 10.2375 V	2.5	
	B	0 ~ + 9.99756 V	2.44.....	
0 ~ + 5 V	A	0 ~ + 5.11875 V	1.25	
	B	0 ~ + 4.99878 V	1.22.....	

表2 - 2 B . 14bit モードでの入力範囲・分解能・正確度

公称 入力範囲	範囲 モード	実際の入力範囲 (±10 v 超過は無効)	分解能 mv/digit	正確度 % F S
± 1 0 v	A	- 16.384 ~ + 16.382 v	2	0 . 0 6 3
	B	- 10.000 ~ + 9.99878 v	1 . 2 2	
± 5 v	A	- 8.192 ~ + 8.191 v	1	0 . 0 8 3
	B	- 5.000 ~ + 4.99939 v	0 . 6 1	
0 ~ + 1 0 v 0 ~ + 5 v	1 4ビットモードでは不可。 (ユニポーラ入力範囲は1 2ビットモードに限る) 本A Dボードは1 4ビット動作 / 1 2ビット動作をソフトで 選択指定できる。(3 - 7 項参照)			

伝達関数

12BITの場合： 12ビットの分解能は“2の12乗分の1”ですから、変換データとアナログ入力電圧の関係は以下ようになります。

$$\text{分解能} \quad R e s = V s p a n \div 4096 \quad [v / \text{digit}]$$

$$\begin{aligned} \text{変換データ} \quad D a d &= V i o \div R e s && [\text{digit}] / \text{ユニポーラ} \text{のとき} \\ D a d &= (V i o \div R e s) + 2048 && [\text{digit}] / \text{バイポーラ} \text{のとき} \end{aligned}$$

$$\begin{aligned} \text{入出力電圧} \quad V i o &= D a d \times R e s && [v] \quad / \text{ユニポーラ} \text{のとき} \\ V i o &= (D a d - 2048) \times R e s && [v] \quad / \text{バイポーラ} \text{のとき} \end{aligned}$$

【注 12】 $V s p a n$ は入力範囲の絶対幅です。具体的には表 2 - 2 A の範囲に 1 digit 分の電圧値を加算した値です。例えば A モードの公称 $\pm 10 \text{ v}$ 範囲なら $V s p a n = 20.480 \text{ v}$ ($5[\text{mv}] \times 4096$)、また B モードなら 20 v です。

14BITの場合： 14ビットの分解能は“2の14乗分の1”ですから、変換データとアナログ入力電圧の関係は以下ようになります。

$$\text{分解能} \quad R e s = V s p a n \div 16384 \quad [v / \text{digit}]$$

$$\begin{aligned} \text{変換データ} \quad D a d &= V i o \div R e s && [\text{digit}] / \text{ユニポーラ} \text{のとき} \\ D a d &= (V i o \div R e s) + 8192 && [\text{digit}] / \text{バイポーラ} \text{のとき} \end{aligned}$$

$$\begin{aligned} \text{入出力電圧} \quad V i o &= D a d \times R e s && [v] \quad / \text{ユニポーラ} \text{のとき} \\ V i o &= (D a d - 8192) \times R e s && [v] \quad / \text{バイポーラ} \text{のとき} \end{aligned}$$

【注 14】 $V s p a n$ は入力範囲の絶対幅です。具体的には表 2 - 2 B の範囲に 1 digit 分の電圧値を加算した値です。例えば A モードの公称 $\pm 10 \text{ v}$ 範囲なら $V s p a n = 32.768 \text{ v}$ ($2[\text{mv}] \times 16384$)、また B モードなら 20 v です。

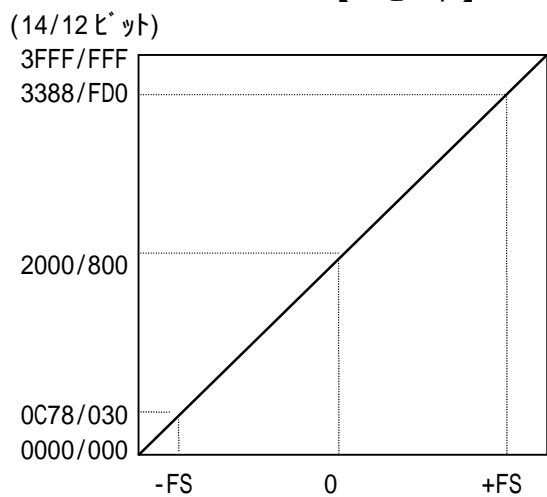
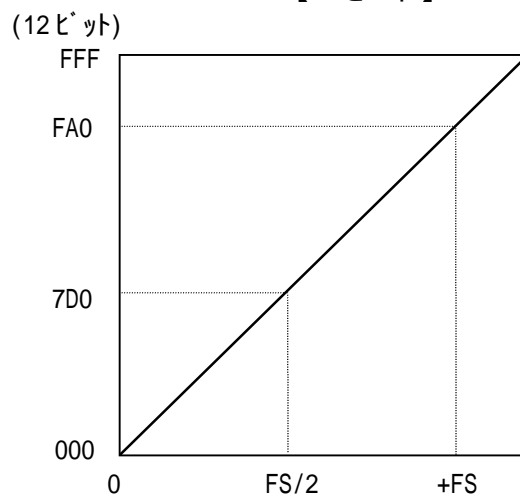
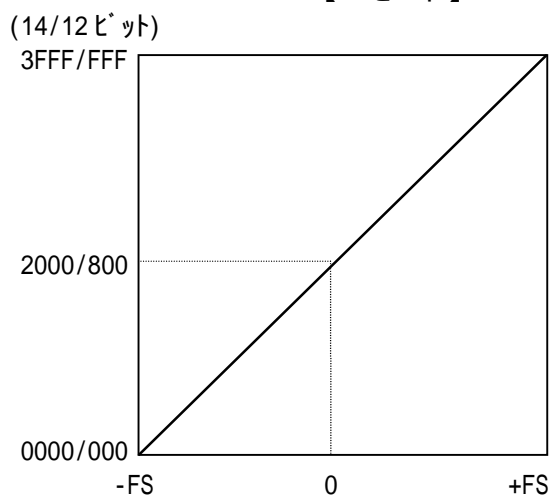
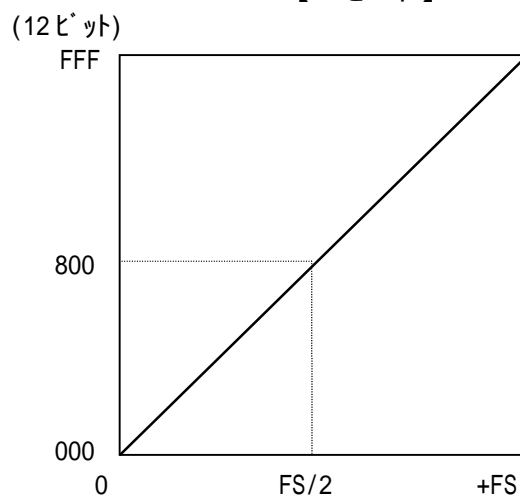
図 2 - 2 A . バイポーラ入力
【Aモード】図 2 - 2 B . ユニポーラ入力
【Aモード】図 2 - 2 C . バイポーラ入力
【Bモード】図 2 - 2 D . ユニポーラ入力
【Bモード】

表2-2D. 12ビットADデータ vs アナログ入力 【Aモード】

A Dデータ hex / 10進	アナログ入力範囲 (表2-2A参照)					
	±10v	±5v		0~+10v	0~+5v	
FFF / 4095	+10.235	+ 5.1175		+10.2375	+5.11875	
FD0 / 4048	+10.000	+ 5.0000				
FA0 / 4000				+10.0000	+5.00000	
801 / 2049	+ 0.005	+ 0.0025				
800 / 2048	0.000	0.0000				
7FF / 2047	- 0.005	- 0.0025				
7D0 / 2000				+5.0000	+2.50000	
030 / 48	- 10.000	- 5.0000				
001 / 1	- 10.235	- 5.1175		+0.0025	+0.00125	
000 / 0	- 10.240	- 5.1200		0.0000	0.00000	

《注》当表中の±10vを超える値は理論値。

アナログ回路の仕様から±10vを超える値の正確度は保証されない。

《4~20mA電流入力》はボード上の終端抵抗を電圧電流変換抵抗に交換して得る。(2-1項)

表2-2E. 12ビットADデータ vs アナログ入力 【Bモード】

A Dデータ hex / 10進	アナログ入力範囲 (表2-2A参照)					
	±10v	±5v		0~+10v	0~+5v	
FFF / 4095	+9.99512	+ 4.99756		+ 9.99756	+ 4.99878	
FD0 / 4048	+9.76563	+ 4.88281				
FA0 / 4000				+ 9.76563	+ 4.88281	
801 / 2049	+ 0.00488	+ 0.00244				
800 / 2048	0.00000	0.0000		+ 5.00000	+ 2.50000	
7FF / 2047	- 0.00488	- 0.00244				
7D0 / 2000				+ 4.88281	+ 2.44141	
030 / 48	- 9.76563	- 4.88281				
001 / 1	- 9.99512	- 4.99756		+ 0.00244	+ 0.00122	
000 / 0	- 10.00000	- 5.00000		0.00000	0.00000	

表2-2F. 14ビットADデータ vs アナログ入力 【Aモード】

A/Dデータ	A/D入力範囲 (表2-2B参照)					
hex / 10進	±10v	±5v				
3FFF / 16383	+16.382	+ 8.191				
3388 / 13192	+10.000	+ 5.000				
2710 / 10000						
2001 / 8193	+ 0.002	+ 0.001				
2000 / 8192	0.000	0.000				
1FFF / 8191	- 0.002	- 0.001				
1388 / 5000						
0C78 / 3192	- 10.000	- 5.000				
0001 / 1	- 16.382	- 8.191				
0000 / 0	- 16.384	- 8.192				

《注》 当表中の±10vを超える値は理論値。アナログ回路に使用されている素子の仕様から、±10vを超える値の正確度は保証されない。

《4～20mA電流入力》はボード上の終端抵抗を電圧電流変換抵抗に交換して得る。(2-1項)

表2-2G. 14ビットADデータ vs アナログ入力 【Bモード】

A/Dデータ	A/D入力範囲 (表2-2B参照)					
hex / 10進	±10v	±5v				
3FFF / 16383	+ 9.99878	+ 4.99939				
/	+	+				
/						
2001 / 8193	+ 0.00122	+ 0.00061				
2000 / 8192	0.00000	0.0000				
1FFF / 8191	- 0.00122	- 0.00061				
/						
/	-	-				
0001 / 1	- 9.99878	- 4.99939				
0000 / 0	- 10.00000	- 5.00000				

2-3. アナログ入力特性 (5 ページ 記載の仕様一覧を併せて参照)

A/D変換誤差： 本機のA/D入力は【 $\pm 1.0\text{ V}$ 範囲】で最終調整されていますが、高精度部品の使用により入出力範囲を切り替えても多くの用途では再調整の必要がありません。(前2-2項参照) 特定の入力範囲で最も正確度を良くしたいときは再調整(7-3項)を行ってください。
御希望により当社でも(有償で)行います。

温度ドリフト： A/Dボードの周囲温度が変化するとき、同一アナログ入力に対するA/D変換データが変化する度合いを(対フルスケール比で)示します。
本機では【typ. 2.5 ppm/ 】です。

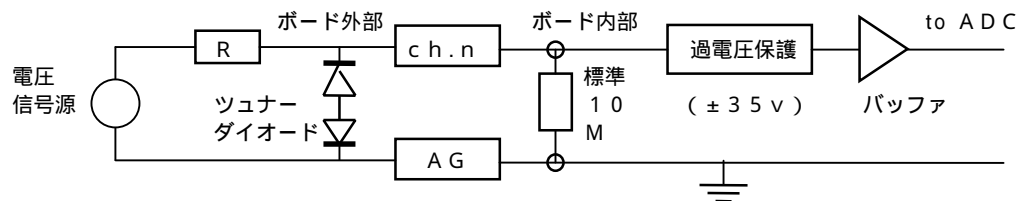
経年変化： 経年変化のデータはありません。 十分な精度の維持が必要な用途では年に1~2回(夏・冬)標準電圧源などで校正し、必要な場合に再調整を行うとよいでしょう。 御希望により当社でも(有償で)行います。

内部雑音： 本ボード内部の雑音は各チャンネルの入力端をアナロググランドAGに短絡してみれば見当がつきます。/ 実際の組み込みシステムに依存 /
本機では
14ビット動作のとき【typ. $\pm 4\text{ LSB}$ 】
12ビット動作のとき【typ. $\pm 1\text{ LSB}$ 】です。

入力耐圧： 入力電圧が(過渡的でも)絶対最大定格を超える恐れがある場合は入力保護が必要です。 絶対最大定格 = $\pm 3.5\text{ V}$ 、

但し(例示するように)、直列抵抗を含む保護回路は入力の浮遊容量と併せてローパスフィルタを構成するだけでなく漏れ電流による誤差の原因となりますから必要最小限とするべきでしょう。

図2-3. ツェナーダイオードによる保護回路例



計算例： 1.5Vツェナーダイオード(500mw定格)2本と直列抵抗Rを上図のように接続して、過電圧10.0V保護動作時のダイオード消費電力を150mw($1.5\text{ V} \times 5\text{ mA}$)とすると、

$$\begin{aligned} \text{直列抵抗 } R &= (10.0 - 1.5) \div 5\text{ mA} = 1.7\text{ K} \\ \text{保護動作時の消費電力 } P &= (10.0 - 1.5) \times 5\text{ mA} = 42.5\text{ mw} \end{aligned}$$

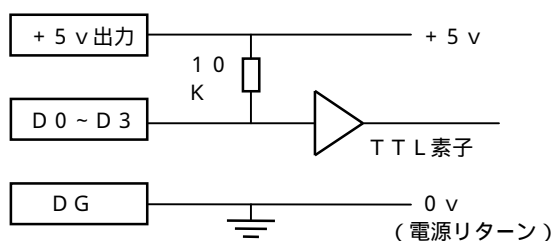
【注1】直列抵抗Rには余裕をみて1W型を使用する。

【注2】 ツェナーダイオードの漏れ電流(凡例 = 100 nA)と直列抵抗Rによる電圧降下が正常動作時の誤差となる事に御注意ください。

2-4. デジタル入出力回路

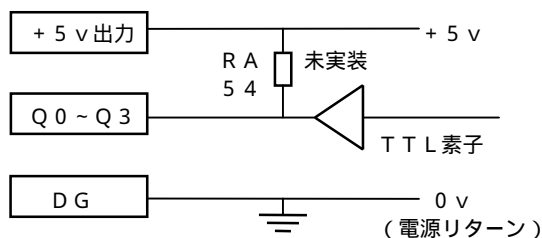
外部クロック入出力、外部トリガ入力、外部割り込み入力、汎用4BITデジタル入力、汎用4BITデジタル（ラッチ）出力は全てTTLレベルです。 入力は全て10Kでプルアップされています。 また、出力は本ボード上にプルアップ抵抗を実装できるパターンが用意されており（通常不要ですが）、接続対象機器側の事情によってはユーザ自身で追加実装することができます。 なお電源投入直後のデジタル出力は“0”となりますが、リセット操作（3-5項）では変化しません。

2-4A. デジタル入力



【注意】 TTL入力の絶対最大定格は負側：-0.6V、正側：+7Vです。この値を一瞬でも超えると入力端素子破壊の原因になります。（7-2項に注意点や対策を記します。）

2-4B. デジタル出力



汎用デジタル出力素子Q0~Q3はTTLレベルの74LS04（出荷時）ですが、同素子はソケット実装なのでユーザ側で変更可能です。 なお出力論理はボード上のスイッチS-POL（出荷時：正論理）で選択できます。 また出力端にプルアップ抵抗（RA54）を実装することもできます。 各要素の位置は【1-2項】参照。

	信号レベル	出力素子	出力論理
標準出荷時	TTLレベル	74LS04	ボード上のスイッチ S-POLで設定。
オプション	オープンコレクタ	74LS06	

第3章. 制御・操作

基本操作

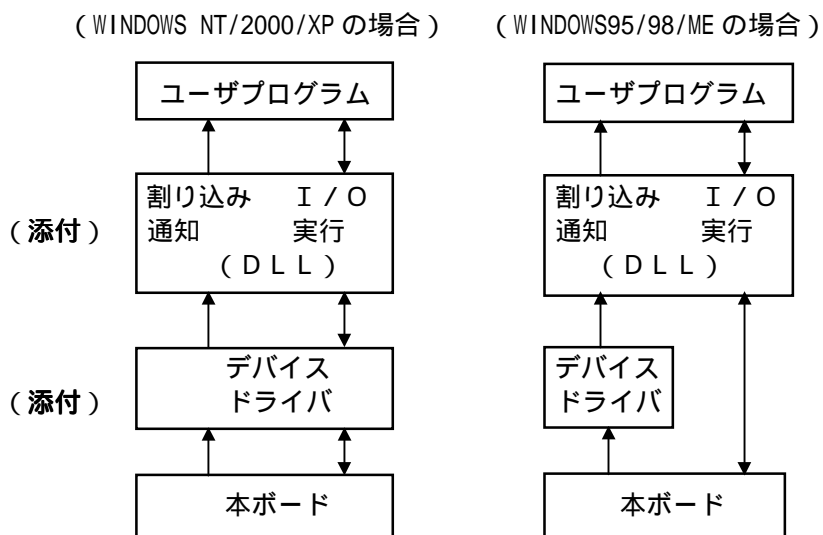
本機の運転・操作は各機能が割付け設定された制御レジスタ（I/O、またはメモリ）に対する入出力命令により行います。

実用プログラムの作成

3-1項～3-3項で制御構造・手順を、また3-4項以下で各制御要素（レジスタ）の定義を学習してから、第4章で示すサンプルプログラムソース(C、およびBASIC)を見てください。

WINDOWS 95 / 98 / ME / NT / 2000 / XPの場合は汎用のI/O読み書きDLL & デバイス・ドライバが添付されています。基本的には当DLLを使用してボード上の各レジスタを読み書きすることでプログラミング可能です。

またWINDOWS 95 / 98 / ME / NT / 2000 / XP用の本ボードに特化したハンドラ（基本機能関数DLL & デバイスドライバ）と使用例も用意されています。



< オプションソフト >

汎用ADデータ収集・解析ソフト : LaBDAQ - PRO
 EXCEL直接入力データ収集ソフト : EXLOG - 6xx
 AD入力&表示 (ActiveX) : AXADM - 67x

3-1.A D サンプルング動作・トリガ動作の様子

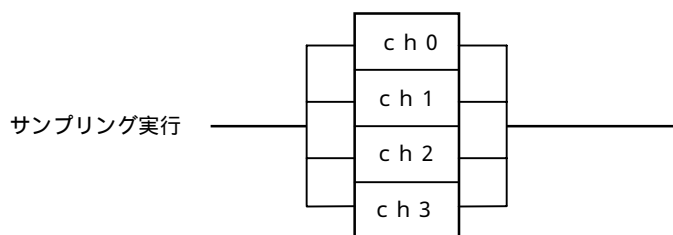
本機には大別 4 種類のサンプルング・モードがあります。

- (1) マニュアルサンプルング (1 回 A D サンプルング)
- (2) ポストトリガ有限・連続サンプルング
- (3) ポストトリガ無限・連続サンプルング
- (4) プリトリガ連続サンプルング

以下、各モードの動作について説明します。

マニュアルサンプルング (1 回 A D サンプルング) : 指定したアナログ入力チャンネル群に対して 1 回だけ A D サンプルング (RAM & FIFO 両バッファに転送) を実行するものです。全チャンネルの A D 変換回路が同時に動作するのでチャンネル間の時刻差はありません。

図 3 - 1 A . 1 回 A D サンプルング



操作手順

- | | |
|-----------------|--|
| (1) 制御部リセット | 【 3 - 5 項 】 : 制御部リセット |
| (2) 動作条件設定 | 【 3 - 6 項 】 : A D データコード、分解能設定
【 3 - 7 項 】 : 使用チャンネル数、入力範囲設定 |
| (3) 動作開始 | 【 3 - 15 項 】 : マニュアル (1 回) サンプルングスタート |
| (4) ステータス検査 | 【 3 - 16 項 】 : ステータスの読み込み / 評価 |
| (5) A D データ取得 | 【 3 - 19 項 】 : A D データを (F I F O から) 読み出す。
《注》 R A M からも可能。 |

連続・自動サンプリング（ポストトリガ動作とプリトリガ動作）

本機には2種類の連続サンプリング・モードがあります。

- (a) ポストトリガ・モードでは（ソフトによる即を含む）トリガ発生により連続サンプリングをスタートします。 また (b) プリトリガ・モードでは連続サンプリングをスタートさせた後、トリガ発生により以後は事前指定のサンプリング回数だけ追加実行して停止します。

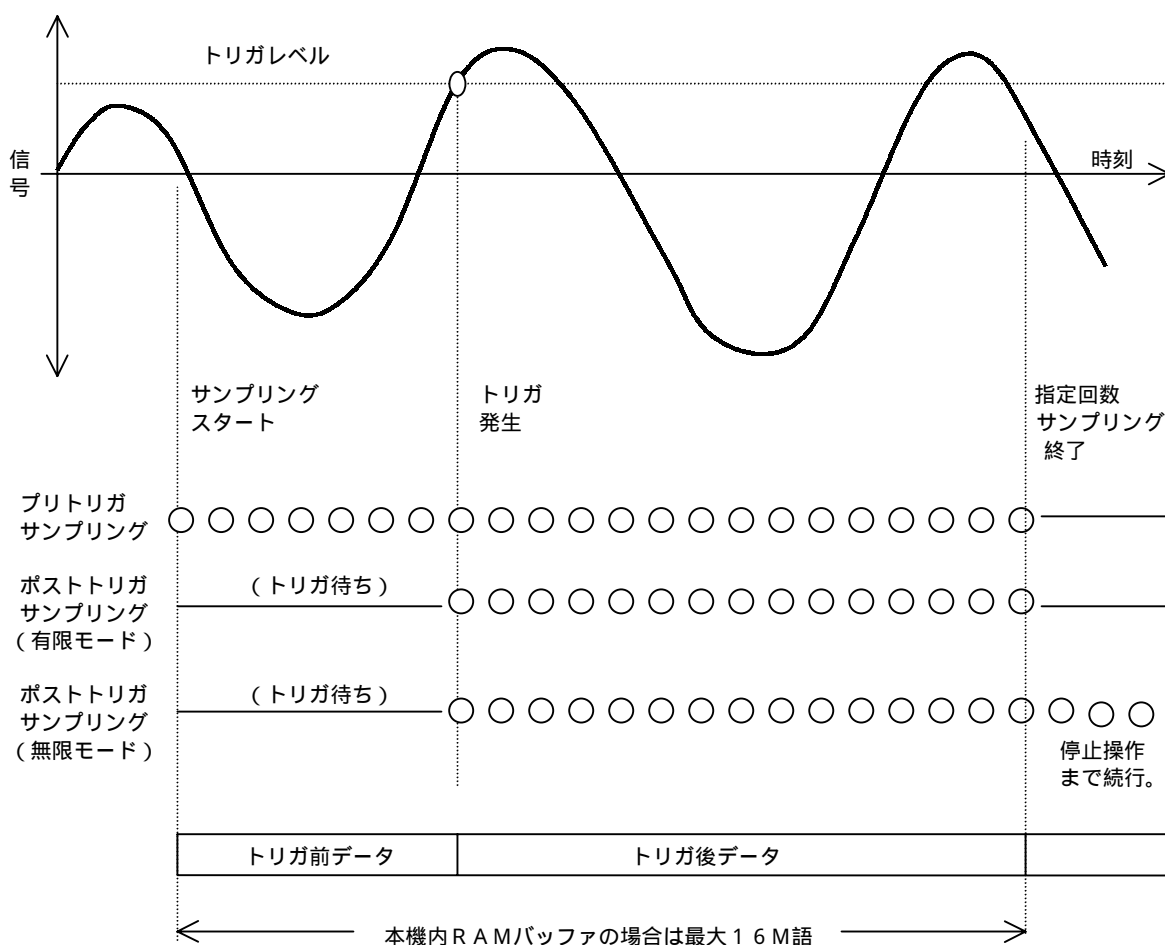
いずれの場合もサンプリングされた結果のADデータ（1語 = 2 byte 構成）は順番にバッファメモリに書き込まれて行きます。 パソコン側からはバッファメモリの充満状態を示すフラグを参照しながらADデータを読み込みます。【3-2項、3-3項参照】

RAMバッファ（16M語）はリング状で、ADデータ読み出しは連続サンプリングが終了するまで出来ませんが、本ボードの最高速度（2MHz at 2ch、1.024MHz at 4ch）が可能です。

FIFOバッファはサンプリング実行中でも併行して（非同期に）逐次・古い順にデータ読み出し出来ますが、バスの実用転送速度（500KHz 程度）に制限されます。

本機は高速でRAMバッファに書き込みながら、同時にFIFOバッファに（必要によっては）間引きしたデータを書き込む動作ですから、CPU側からはトレンドをリアルタイムに取り込みながら、完全データはサンプリング終了後に取り込むような動作も可能です。

図3-1B. バッファメモリにADサンプリング・データが書き込まれる様子

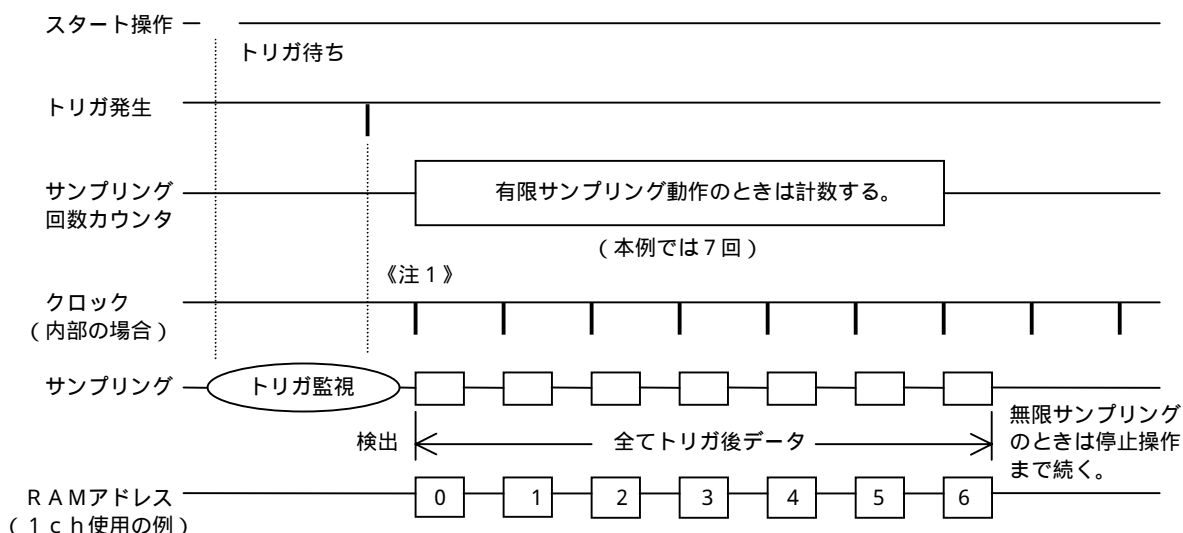


ポストトリガ

連続・自動サンプリング：

指定したアナログ入力チャンネル群に対して指定したトリガ発生以後、指定のクロックでADサンプリングし・両バッファメモリに転送を連続・自動的に実行するものです。

図3-1C. ポストトリガ連続サンプリング



《注1》理論的トリガ発生から最初のサンプリング実行までの最大遅れ時間は、

アナログトリガの場合は： $1\mu s$

デジタルトリガの場合は： $100ns$

外部クロック源使用時は+1クロック周期 (セットアップ時間 $\min 100ns$)

操作手順

- (1) 制御部リセット 【3-5項】：制御部リセット
- (2) 動作条件設定 【3-6項】：ADデータコード、分解能設定
 【3-7項】：使用チャンネル数、入力範囲設定
 【3-8項】：クロック源指定 (内部/外部)
 【3-9項】：クロック源分周比 (クロック値) の設定
 【3-10項】：トリガ後のサンプリング回数設定
 【3-11項】：FIFO書き込みデータの間引き設定
 【3-12項】：内部 (アナログ) トリガレベルの設定
 【3-13項】：トリガモード設定
 【3-14項】：割り込み要因設定 《注2》：使用時のみ

- (3) 動作開始 【3-15項】：連続サンプリング・スタート

- FIFOからは、(4) ステータス検査 【3-16項】：ステータス読み込み/評価
 (5) ADデータ取得 【3-19項】：ADデータをFIFOから読み出す

- RAMからは、(4) ステータス検査 【3-16項】：ステータス読み込み/評価 (終了確認)
 (5) 終了位置認識 【3-17項】：(無限サンプリング動作のときだけ)
 (6) アドレス指定 【3-17項】：先頭アドレス指定
 (7) ADデータ取得 【3-18項】：ADデータをRAMから読み出す

サンプリング回数：実行クロック数で記します。= 1チャンネル当りのデータ点数
 総データ点数 = (サンプリング回数) × (使用チャンネル数)

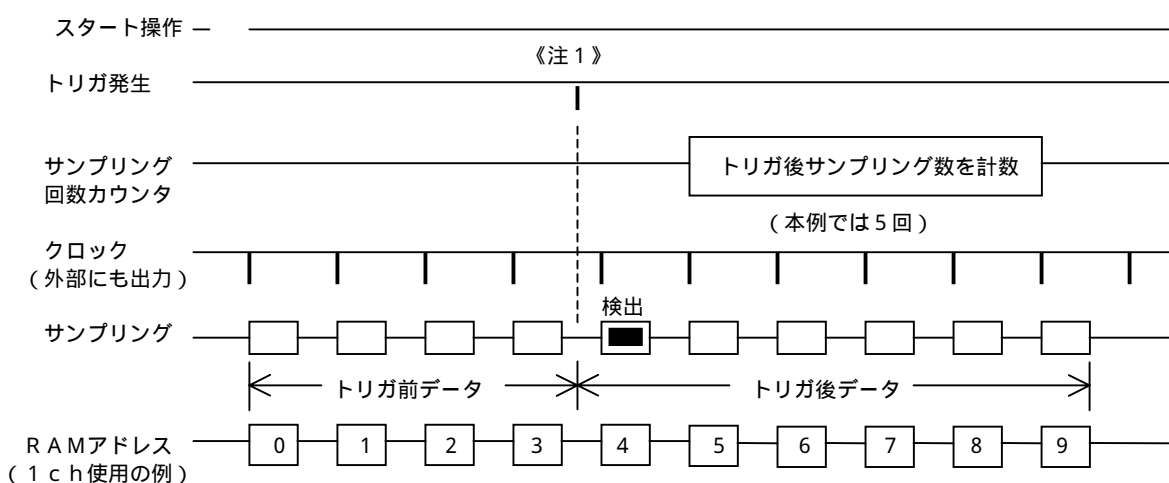
プリトリガ

連続・自動サンプリング：

指定したアナログ入力チャンネル群に対して指定クロックでADサンプリングし・両バッファメモリに転送を連続・自動的に実行することは前記のポストトリガ動作と同様ですが、プリトリガ動作の場合はスタート操作で即連続サンプリングが開始され、トリガが発生すると以後、事前設定のサンプリング回数だけ実行して終了します。

なおRAMバッファはリング状・無限ループ構造ですから、トリガ前データ点数の最大は16M語・トリガ後データ点数になります。

図3-1D. プリトリガ連続サンプリング



操作手順

- (1) 制御部リセット 【3-5項】：制御部リセット
- (2) 動作条件設定 【3-6項】：ADデータコード、分解能設定
 【3-7項】：使用チャンネル数、入力範囲設定
 【3-8項】：クロック源指定 (内部/外部)
 【3-9項】：クロック源分周比 (クロック値) の設定
 【3-10項】：トリガ後のサンプリング回数設定
 【3-11項】：FIFO書き込みデータの間引き設定
 【3-12項】：内部 (アナログ) トリガレベルの設定
 【3-13項】：トリガモード設定
 【3-14項】：割り込み要因設定 《注2》：使用時のみ
- (3) 動作開始 【3-15項】：連続サンプリング・スタート

- FIFOからは、(4) ステータス検査 【3-16項】：ステータス読み込み/評価
 (5) ADデータ取得 【3-19項】：ADデータをFIFOから読み出す

- RAMからは、(4) ステータス検査 【3-16項】：ステータス読み込み/評価 (終了確認)
 (5) 終了位置認識 【3-17項】：トリガ位置、先頭データ位置の算出等
 (6) アドレス指定 【3-17項】：先頭アドレス指定
 (7) ADデータ取得 【3-18項】：ADデータをRAMから読み出す

サンプリング回数：実行クロック数で記します。= 1チャンネル当りのデータ点数
 トリガ後サンプリング総データ点数 = (サンプリング回数) × (使用チャンネル数)

最高サンプリング速度： 1回サンプリングスキャン実行時間の逆数が本ADボード自体の最高サンプリング周波数（サンプリングクロック）となります。

1～2チャンネル使用時：2MHz

3～4チャンネル使用時：1.024MHz

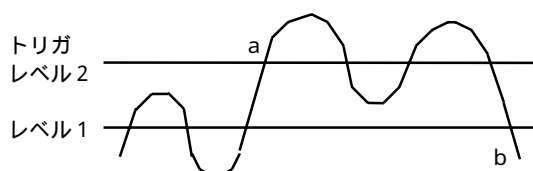
トリガ機能（アナログトリガはチャンネル0固定です。）

ソフトトリガはプログラム上・任意のプロセスで実行できる即トリガ機能。

外部トリガは外部TTL入力信号の指定エッジ、または指定アクティブ期間で機能します。

内部（アナログ）トリガは指定条件とチャンネル0入力をボード上で比較して機能します。

図3-1E. アナログ・エッジトリガ

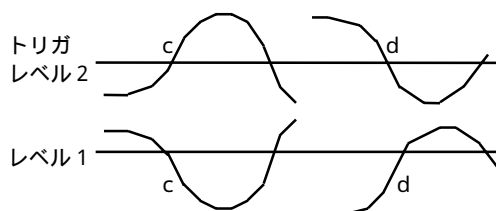


a : 正 (+) エッジトリガ点
b : 負 (-) エッジトリガ点

エッジトリガの場合はノイズ等による逆極性誤動作が起こらないようにヒステリシスを設定します。すなわち、ソフト上で指定したトリガレベル1, 2を連続して交差した点でトリガ発生となります。

レベルトリガの場合はレベル1と比較極性のみ設定、信号と大小だけを比較します。トリガ待ち開始=即トリガ発生もあり得ます。

図3-1F. アナログ・レンジトリガ



c : アウトレンジ・トリガ点
d : インレンジ・トリガ点

レンジトリガの場合は指定したトリガレベル1, 2の帯域から正負いずれかの方向に外れたC点でアウトレンジ・トリガ、逆に正負いずれかの方向から帯域内に入るD点でインレンジ・トリガ発生となります。

（別称：ウインドウレンジ・トリガ）

トリガレベル1, 2いずれかを指定極性で交差したときに発生するレンジ・エッジトリガもあります。

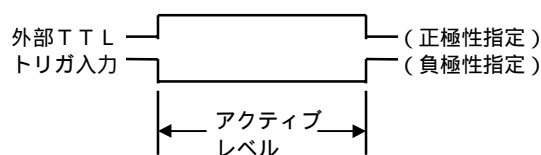
（別称：デュアルスロープ・トリガ）

図3-1G. デジタル・エッジトリガ



e : 負 (-) エッジトリガ点
f : 正 (+) エッジトリガ点

図3-1H. デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

トリガ動作遅れ： 本ボード上で自動的に行われるトリガ検出・動作の遅れ時間はトリガの種類によって少しだけ異なります。

内部（アナログ）トリガ： 約1μs

内部ソフトトリガ： 100ns

外部デジタル入力トリガ： 100ns

3-2. F I F Oバッファメモリの構造・動作

A Dデータ転送 (F I F O パソコン)

A D変換 (サンプリング) されたデータは F I F Oメモリ内にあり、パソコン側からの読み出しを待っています。 ソフト上では F I F Oメモリの充満状態を示すフラグを監視、または割り込みを設定してアプリケーションに適した転送方法を採用します。 いずれの場合でも F I F Oバッファメモリがサンプリング実行とデータ転送のタイミング違いを吸収するので、マルチタスクシステムを容易に実現することができます。

ポーリング : 【Not-Empty】フラグを監視して A Dデータを I N命令で 1 語ずつ読み込む方法、【Not Half-Full】フラグを監視して A Dデータを I N S W命令で F I F Oメモリ容量の半分単位で読み込むブロック I / O転送がある。

割り込み : 【Not-Empty】【Not Half-Full】【1回サンプリング・スキャン終了】【トリガ発生】【外部割り込み】等から選択した要因による割り込みでポーリングと同様のデータ転送を実行する。

F I F Oメモリの動作

F I F O (first in first out) メモリは図 3 - 2 に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっている。

読み書きは非同期で同時も可能。 すなわちデータの書き込み (入口) と読み出し (出口) は互いに相手側のタイミングに配慮する必要がない。

F I F Oメモリ内部は出口から読み出された分だけ入口側に空領域が増えるので満杯となる前にデータを読み出す動作であればサンプリング点数を制限しない。 なお満杯時に追加書き込みされようとしたデータは消失し【E R R : エラー】フラグがセット (= 1) されるが、この後も F I F Oメモリ内のデータは有効に読み出すことができる。

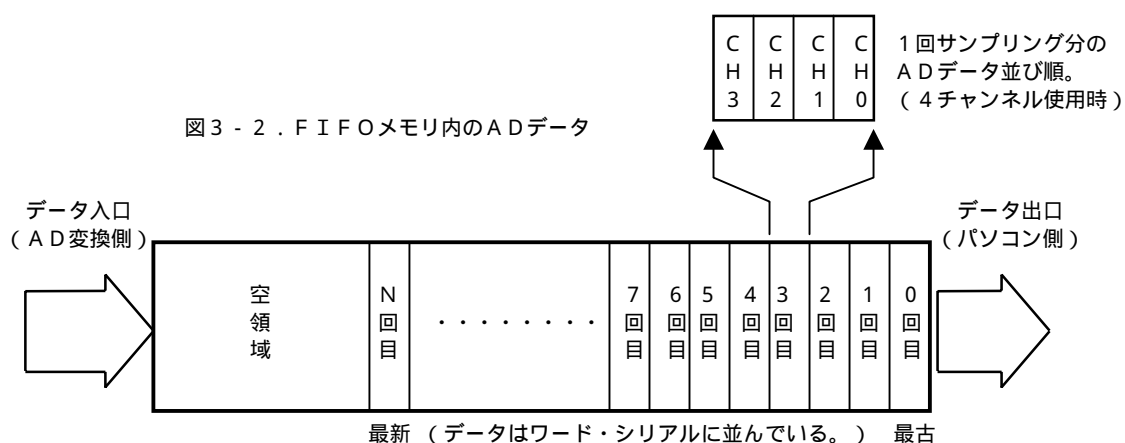


表 3 - 2 . F I F Oメモリ関連のステータス・フラグ

フラグ名	フラグの意味 (標準 4096 語のとき)
N o t - E M P T Y	1 語以上。 (格納データ数 1)
N o t - H A L F - F U L L	[容量の半分] 以下。 (格納データ数 2048) 【注】
L S T	サンプリング・エラー発生。 データ読み出しが遅いためメモリが溢れた、

【注】 オプションの 8 M語または 32 M語 F I F Oモジュールを使用するときは [容量の半分] 以下ではなく、同モジュール上のスイッチで (512 / 1 K / 2 K / 4 K / 8 K / 16 K / 32 K / 64 K) の中から指定したデータ数。

3-3. RAMバッファメモリの構造・動作

ADデータ転送 (RAM パソコン)

AD変換 (サンプリング) されたデータはRAMバッファメモリに (同時にFIFOにも) 書き込まれますが、連続サンプリング動作のときは動作終了までRAMからは読み出しできません。

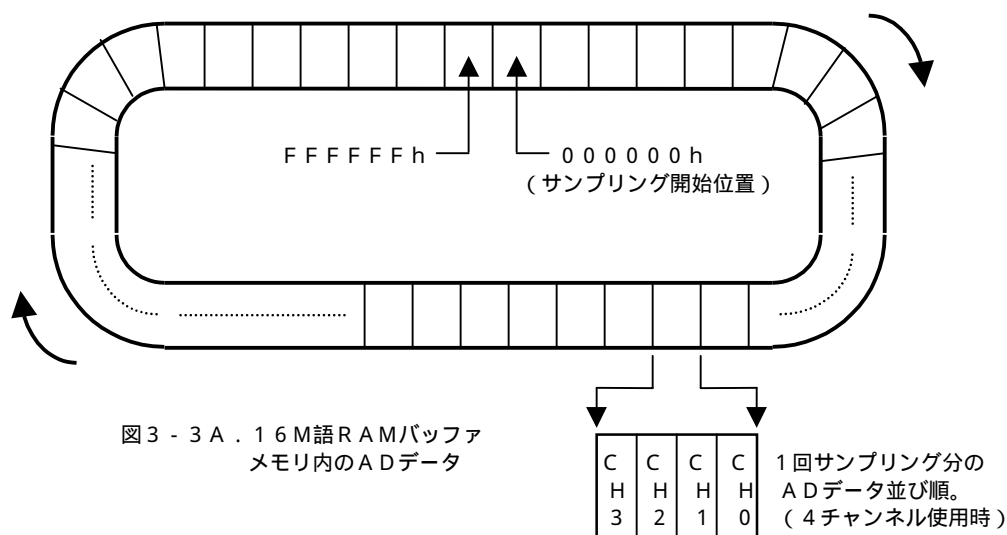
したがってソフト上では連続サンプリング動作終了を示すフラグ【END】を監視、または割り込みを設定してアプリケーションに適した読み出し方法を採用します。

RAMバッファメモリの動作

RAMは図3-3Aに示すリング状・エンドレスの構造をしており、サンプリングされたADデータは0 (または指定) 番地から末尾FFFFFh番地まで順に書き込まれて行きます。

さらにサンプリングが続くときは末尾FFFFFh番地の次ぎは先頭0番地に戻り、重ね書き動作になります。アドレスが1週り以上して重ね書きが行われたか否かを示すフラグがロールアップフラグ【3-16項】で、ポストリガ無限サンプリング・モードやプリトリガモードのときのアドレス計算に必要となります。

読み出しはサンプリング動作終了後に限られます。1回サンプリング分のADデータはFIFO (前3-2項参照) と同様でチャンネル0~3の各ADデータが若いアドレス順に格納されています。先頭アドレスを指定して順次、読み出します。(auto increment)



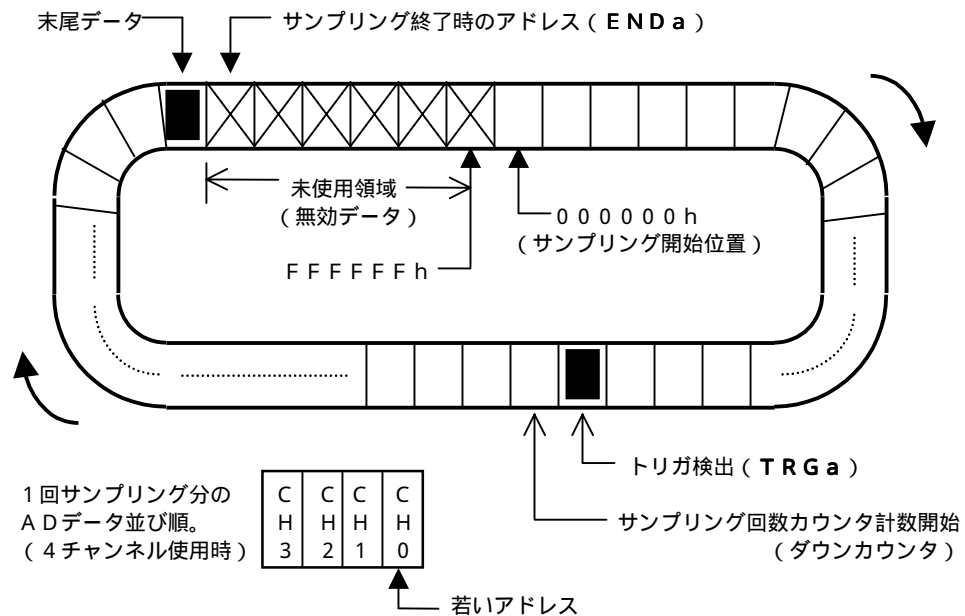
- (1) ポストトリガ有限サンプリング・モードで指定サンプリング回数が《16M語÷使用ch数》以内のときはロールアップしませんから先頭番地から終了アドレスまで読み出します。
- (2) ポストトリガ無限サンプリング・モードではロールアップしていないときは前(1)同様ですが、ロールアップしているときはサンプリング回順《16M語÷使用ch数》以前のデータは重ね書きにより失われたことを意味します。
- (3) プリトリガモードではトリガ発生前は無限サンプリング動作で、トリガ発生後は有限サンプリング動作なのでロールアップする場合としない場合があります。それぞれの場合におけるトリガ位置、およびトリガ前サンプリング回数は以下のように求めます。

【注】 連続サンプリング終了時のアドレスカウンタは最終データ格納アドレス+1を指しています。またロールアップフラグはスタートアドレスが0番地のときのみ有効です。

プリトリガ動作終了後のRAM内データ配置例(1)：ロールアップしなかった場合

連続サンプリング開始後、メモリアドレスが1廻りすることなくサンプリング終了となった場合はロールアップフラグRUP【3-16項】は立ちません。(=0)

図3-3B. プリトリガ動作後の16M語RAMバッファ内データ例(1)



《アドレス計算》 動作条件が

- ・初期設定アドレス = 0 番地 (リセット操作)
- ・使用チャンネル数 $CHn = 4$
- ・トリガ後サンプリング回数 $S_{post} = 100$ で、
- ・サンプリング終了位置アドレス $ENDa = 600$ であれば、

$$\begin{aligned} \text{トリガ位置アドレス } TRGa &= ENDa - (S_{post} + 1) \times CHn \\ &= 600 - (100 + 1) \times 4 \\ &= 196 \end{aligned}$$

$$\begin{aligned} \text{トリガ前サンプリング回数 } S_{pre} &= ENDa \div CHn - (S_{post} + 1) \\ \text{または } TRGa \div CHn &= 49 \end{aligned}$$

連続サンプリング終了時の末尾アドレス ~ 0 番地間に未使用領域があるので、有効なトリガ前のサンプリング回数は事後的に知ることになります。

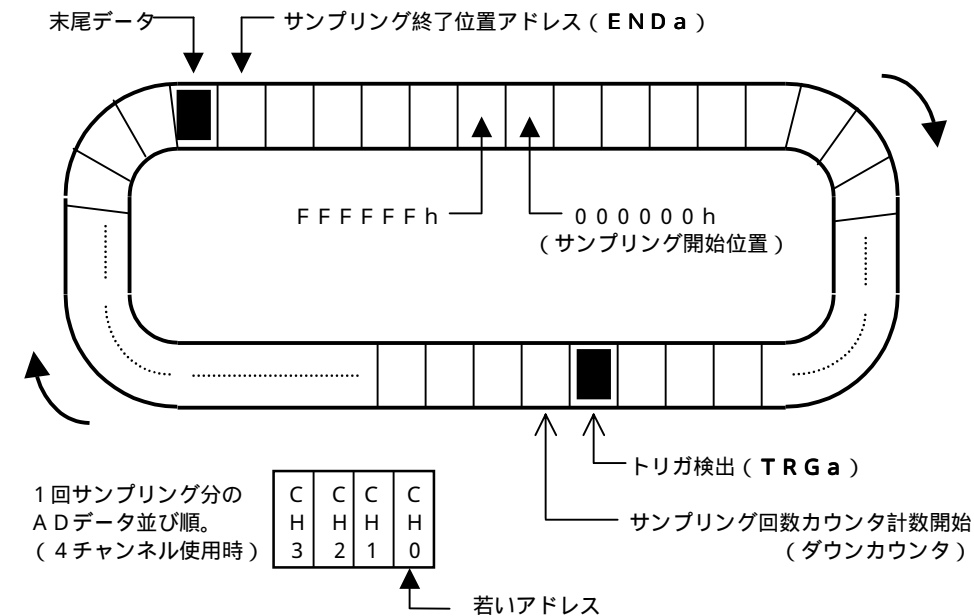
【注1】 トリガ点を含むポストトリガ・サンプリング回数 = $(S_{post} + 1)$ になります。

【注2】 連続サンプリング終了時のアドレスカウンタは最終データ格納アドレス + 1 を指しています。 またロールアップフラグはスタートアドレスが 0 番地のときのみ有効です。

プリトリガ動作終了後のRAM内データ配置例(2)：ロールアップした場合

連続サンプリング開始後、サンプリング終了までにメモリアドレスが1廻り以上トレースされた場合はロールアップフラグRUP【3-16項】が立ちます。(=1)

図3-30. プリトリガ動作後の16M語RAMバッファ内データ例(2)



《アドレス計算》 動作条件が

- ・使用チャンネル数 $CHn = 4$
- ・トリガ後サンプリング回数 $S_{post} = 100$ で、
- ・サンプリング終了位置アドレス $ENDa = 600$ とすると、

$$\begin{aligned} \text{トリガ位置アドレス } TRGa &= ENDa - (S_{post} + 1) \times CHn \\ &= 600 - (100 + 1) \times 4 \\ &= 196 \end{aligned}$$

$$\begin{aligned} \text{トリガ前サンプリング回数 } Spre &= (16M \text{ 語} \div CHn) - (S_{post} + 1) \\ &= (16M \text{ 語} \div 4) - 101 \end{aligned}$$

$$\begin{aligned} \text{トリガ前サンプリングデータの先頭アドレス} \\ TOPa &= TRGa - (Spre \times CHn) \end{aligned}$$

【注1】 トリガ点を含むポストトリガ・サンプリング回数 = $(S_{post} + 1)$ になります。

【注2】 連続サンプリング終了時のアドレスカウンタは最終データ格納アドレス + 1 を指しています。 またロールアップフラグはスタートアドレスが0番地のときのみ有効です。

3-4. 制御レジスタのアドレス・マップ

表3-4A, Bに本ボード上、各制御レジスタのI/Oアドレス値を記します。
 表中の【BASE】はプラグアンドプレイで割り付けられるI/Oアドレスのベース値です。
 以下【3-5項】～【3-21項】に各制御レジスタの詳細を記します。

表3-4A. 制御入力レジスタI/Oアドレス

I/O アドレス	入力ポート/レジスタ名・機能	記載項
【BASE】+1CH	4ビット汎用デジタル入力	【3-21項】
【BASE】+1AH	ボード番号(SW-BNの設定値)入力	【3-5項】
【BASE】+18H	アドレスカウンタ値の読み込み(下位, 上位の順)	【3-17項】
【BASE】+16H	トリガ後・連続サンプリング回数の読み込み(下位, 上位の順)	【3-10項】
【BASE】+14H	未使用	
【BASE】+12H	未使用	
【BASE】+10H	未使用	
【BASE】+EH	ボード制御部リセット	【3-5項】
【BASE】+CH	未使用	
【BASE】+AH	ステータス取得	【3-16項】
【BASE】+8H	マニュアル(1回)サンプリング	
【BASE】+6H	未使用	
【BASE】+4H	RAMバッファからのADデータ読み出し	【3-18項】
【BASE】+2H	割り込み信号出力ステータス(PCIバス上のレベル)	【3-14項】
【BASE】+0H	FIFOバッファからのADデータ読み出し	【3-19項】

表3-4B. 制御出力レジスタI/Oアドレス

I/O アドレス	出力ポート/レジスタ名・機能	記載項
【BASE】+1CH	4ビット汎用デジタル出力(ラッチ)	【3-21項】
【BASE】+1AH	FIFO書き込みデータの間引き設定	【3-11項】
【BASE】+18H	アドレスカウンタ書き込み(下位, 上位の順)	【3-17項】
【BASE】+16H	トリガ後・連続サンプリング回数の設定(下位, 上位の順)	【3-10項】
【BASE】+14H	クロック源分周比の設定(下位, 上位の順)	【3-9項】
【BASE】+12H	クロック源選択	【3-8項】
【BASE】+10H	割り込み制御	【3-14項】
【BASE】+EH	アナログトリガ・レベル設定(2)	【3-12項】
【BASE】+CH	アナログトリガ・レベル設定(1)	【3-12項】
【BASE】+AH	ステータス・クリア	【3-16項】
【BASE】+8H	連続サンプリング・スタート	【3-15項】
【BASE】+6H	トリガモード設定	【3-13項】
【BASE】+4H	分解能・ADデータコード、入力範囲モード指定	【3-6項】
【BASE】+2H	割り込み要求発信クリア	【3-14項】
【BASE】+0H	使用チャンネル数・入力範囲指定	【3-7項】

3-5. ボード・リセット、認識

```
rst = inpw (BASE + 0xE) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ (rst) は本ボードのIDです。 当操作は電源ON、またはパソコン本体のハードウェアリセットと同等の機能ですが汎用デジタル (ラッチ) 出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

サンプリング中であれば、これを中止する。

RAMのアドレスカウンタをクリア、またFIFOメモリをクリアする。

なお、クロック源 / 分周は無効となる。(要再設定)

汎用デジタル (ラッチ) 出力は変化せずに保持される。

表 3 - 5 A . 【BASE + EH】入力ポートの構成

ビット	各ビットの機能・意味
B 15 ~ B 8	未使用
B 7 ~ B 0	ADM - 670PCIのボードID = 16H

【注】ここで読み込まれるボードIDはPCIバス上のDEVICEIDとは無関係です。
(1-5項・参照)

<本ボードを複数使用する場合>

本ボードのメモリアドレスはプラグアンドプレイにより(その都度)ダイナミックに割り当てられます。 複数の本ボードを同一システムにインストールして使用する場合、ハードウェアの構成・状態が変わらなければ前回立上げ時と同一アドレスが割り当てられますが、増設・交換等の変化があった後は前回立上げ時と異なるアドレスを割り当てられることがあります。

そのようなときに複数の本ボードを区別・特定する手段としてボード番号設定スイッチがあります。(本ボードを1枚のみ使用する場合は無用です。)

```
BN = inpw (BASE + 0x1A) ; /* ボード番号設定スイッチSW - BN読み込み */
```

表 3 - 5 B . 【BASE + 1AH】入力ポートの構成

ビット	各ビットの機能・意味
B 15 ~ B 4	未使用
B 3 B 2 B 1 B 0	ボード番号設定スイッチSW - BNの値 (0 ~ FH)

3-6. 入力範囲モード/分解能/データコード指定

outpw (BASE+0x4, dcd); /* dcd = 指定データ */

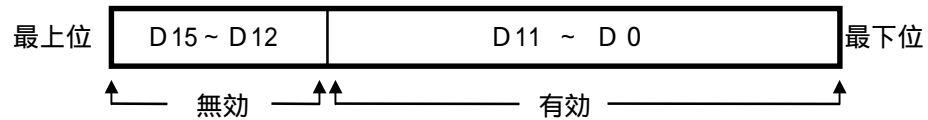
入力範囲モード/分解能/データコードの設定データdcdを書き込みます。

表 3 - 6 . 【BASE + 4H】出力ポートの構成

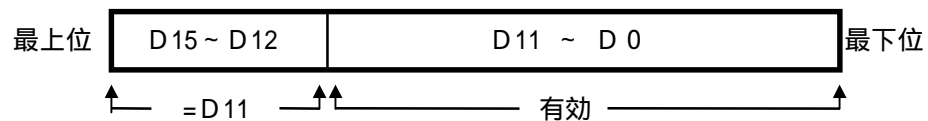
ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 15 ~ B 7	未使用（無効）			
B 6	アナログ入力範囲モード（2-2項参照）	Bモード	Aモード	0
	未使用（無効）			
B 4	ADデータコード	2の補数	バイナリ	0
B 3 ~ B 1	未使用（無効）			
B 0	分解能（ADデータ長）指定	14ビット	12ビット	0

【注】 12ビットで使用時の最上位4BITについて。

バイナリ指定の場合：ADデータ1語中、最上位4BITは無効です。

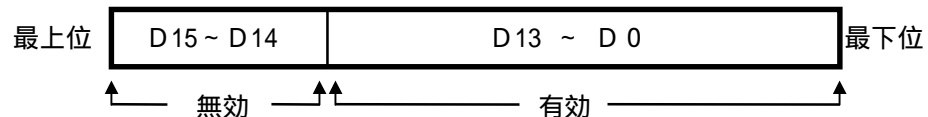


2の補数指定の場合：ADデータ1語中、最上位4BITは有効なデータの最上位ビットD11と同一値になります。

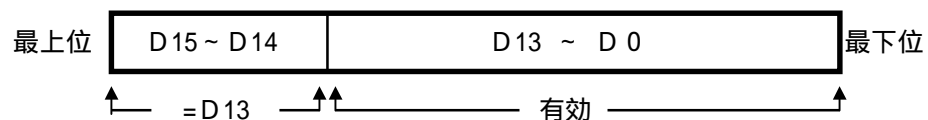


【注】 14ビットで使用時の最上位2BITについて。

バイナリ指定の場合：ADデータ1語中、最上位2BITは無効です。



2の補数指定の場合：ADデータ1語中、最上位2BITは有効なデータの最上位ビットD13と同一値になります。



3-7 . 使用チャンネル数、入力範囲の設定

```
(1) outpw (BASE+0x0, rng 0); /* rng 0 : チャンネル0 入力範囲 */
(2) outpw (BASE+0x0, rng 1); /* rng 1 : チャンネル1 入力範囲 */
(3) outpw (BASE+0x0, rng 2); /* rng 2 : チャンネル2 入力範囲 */
(4) outpw (BASE+0x0, rng 3); /* rng 3 : チャンネル3 入力範囲 */
```

使用する各チャンネルごとに入力範囲を設定しますが、チャンネル0から順に行います。
最後に設定されたチャンネルが使用される（サンプリング実行される）最終チャンネル番号になります。（使用されるチャンネルは0から始まる連続した番号のチャンネルです。）

したがって、1チャンネルのみ使用のときは(1)だけ、
2チャンネル使用のときは(1)(2)、
3チャンネル使用のときは(1)(2)(3)、
全4チャンネル使用のときは(1)(2)(3)(4)、を実行します。

表3-7A . 【BASE+0H】出力ポートの構成

ビット	各ビットの機能・意味	指定方法	ビット時
B15 B14	アナログ入力範囲指定データ	チャンネルごとに設定【表3-7B】	0 0
B13 ~ B2	未使用		0 ~ 0
B1 B0	設定対象チャンネル番号	【表3-7C】	0 0

表3-7B .

B15	B14	アナログ入力範囲
1	1	【注1】0 ~ + 5 v
1	0	【注1】0 ~ + 10 v
0	1	± 5 v
0	0	± 10 v

【詳細は2-2項・参照】

表3-7C .

B1	B0	設定対象チャンネル
1	1	3
1	0	2
0	1	1
0	0	0

【注1】 ユニポーラ入力動作は12ビット指定（3-6項）のときに限ります。

また、アナログ入力範囲はチャンネルごとに指定できますが、
バイポーラ入力範囲とユニポーラ入力範囲の混在はできません。

【注2】 アナログ入力範囲の設定（本項）操作直後の約5 μsはサンプリング・スタート操作の実行禁止期間です。この間は入力範囲設定中フラグ（3-16項）がセットされています

3-8. クロック源の選択

outpw (BASE+0x12, cks) ; /* cks : クロック源選択 */

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的の連続サンプリング・クロックとなります。例えば外部クロック源 (CLK-IN) 入力を選択し、分周比を 1 / 1 に設定すれば、外部イベントに同期したサンプリングとなります。

表 3 - 8 A . 【BASE1 + 12H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 15 ~ B 8	未使用			
B 7	外部クロック源 (使用時) の有効極性指定	(+)	(-)	0
B 6 B 5	内部クロック源 (使用時) の選択データ	【表 3 - 8 B】参照。		0 0
B 4	クロック源選択 (外部 / 内部)	外部	内部	0
B 3 B 2 B 1 B 0	未使用			

表 3 - 8 B . 選択される内部クロック源

ビット		選択される内部クロック源	
B 6	B 5	クロック源周波数	主な用途
1	1	無効	
1	0	オプション	任意
0	1	32.768 MHz	周波数解析
0	0	40.000 MHz	汎用計測

オプションのクロック源素子 (40 MHz 以下) は本ボード上に追加装着することで使用可能となります。

素子名	JXO-5S- MHz (金石)、または DOC-49S1- MHz (大真空)、または SG-8002DC- M-PTBS (EPSON)
-----	---

3-9. (クロック源) 分周比の設定 連続サンプリングクロック値の設定。

```
outpw (BASE + 0x14, divL) ; /* divL = 分周比 (下位ワード) */
outpw (BASE + 0x14, divH) ; /* divH = 分周比 (上位ワード) */
```

クロック源の分周比データを (BASE + 0x14 アドレスに) 書き込みます。

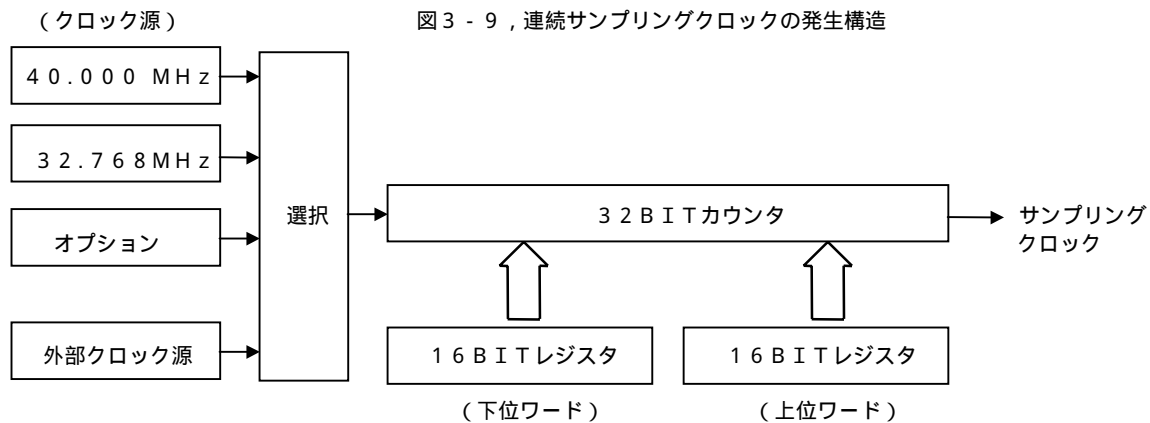
必ず 2 ワード続けて書き込んで下さい。

分周は 32 ビットのカウンタ 1 本で行われます。

分周データは各専用レジスタに書き込まれます。

内部クロック源 40 MHz (周期 25 ns) を選択したときの最長クロック周期は、

$$(25 \text{ ns}) \times 65536 \times 65535 = 107.372544 \text{ 秒}$$



内部クロック源 40.000 MHz および 32.768 MHz は本ボード標準装備。

《分周動作》 プリトリガ動作スタート、またはポストトリガ動作スタート後のトリガにより分周動作が開始 (= 連続サンプリング動作が開始) されます。

レジスタからカウンタにロードされた分周比データはクロック源周期ごとにダウンカウントされて行き、0 に達するとタイミング信号を発生させると同時に再びレジスタからカウンタにロードされる繰り返しとなります。

このタイミング信号が各回サンプリングの実行開始タイミングとなります。

3-10. トリガ後サンプリング回数の設定・取得

設 定

```

outpw (BASE + 0x16, cntL) ; /* cntL = 回数値 (下位ワード) */
outpw (BASE + 0x16, cntH) ; /* cntH = 回数値 (上位ワード) */

```

トリガ後サンプリング回数データを (BASE + 0x16 アドレスに) 書き込みます。
必ず2ワード続けて書き込んで下さい。ノポストトリガ無限サンプリングモードでは不要ノ
計数は24ビットのバイナリ・ダウンカウンタ1本で行われ、計数値が0に達すると連続
サンプリングが停止します。

表 3 - 1 0 A . 【BASE + 16H】出力ポート の構成

ビット	各ビットの機能・意味	リセット時
B 15 ~ B 8	トリガ後サンプリング回数データ中位バイト (D 15 ~ D 8)	0 ~ 0
B 7 ~ B 0	トリガ後サンプリング回数データ下位バイト (D 7 ~ D 0)	0 ~ 0

表 3 - 1 0 A . 【BASE + 16H】出力ポート の構成

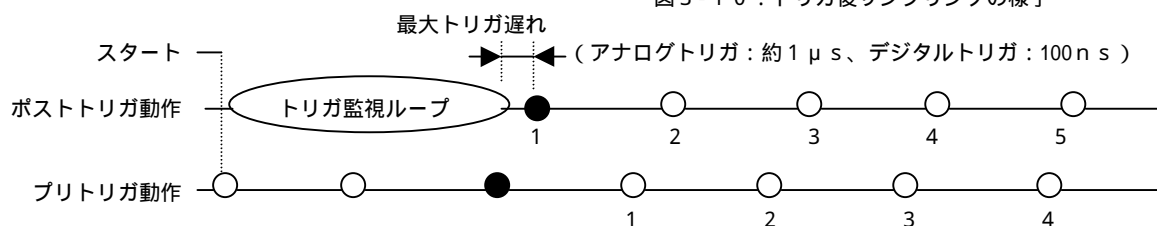
ビット	各ビットの機能・意味	リセット時
B 15 ~ B 8	未使用	
B 7 ~ B 0	トリガ後サンプリング回数データ上位バイト (D 23 ~ D 16)	0 ~ 0

トリガ点・トリガ後データ数の定義について

ポストトリガ動作ではスタート操作でトリガ待ちループとなり、アナログトリガの場合は約500ns間隔でチャンネル0を監視サンプリングします。トリガを検出すると、最大500ns遅れで最初の有効サンプリングを行い、以後は指定クロック周期で続きます。

プリトリガ動作ではスタート操作で即サンプリングが始まり、各サンプリング実行ごとにトリガ吟味を行っています。本項で設定するトリガ後サンプリング回数はポストトリガ動作の場合は最初の有効サンプリング (実質トリガ点：黒丸) を含みますが、プリトリガ動作の場合は検出点 (実質トリガ点：黒丸) を含みません。トリガ検出以後が計数されるからです。同一アプリケーションで両動作モードを使う場合は、プリトリガ動作時のトリガ後サンプリング回数を1箇だけ減らすと整合性がよくなります。

図 3 - 1 0 . トリガ後サンプリングの様子



(黒丸：実質トリガ点)：トリガ後サンプリング点数に含む。

3-10. トリガ後サンプリング回数の設定・取得

《ADM-670PCI》

取得

```
cntL = inpw (BASE + 0x16) ; /* cntL = 回数値 (下位ワード) */
cntH = inpw (BASE + 0x16) ; /* cntH = 回数値 (上位ワード) */
```

現在までのトリガ後サンプリング済み回数データを読み出します。
必ず2ワード続けて読み込んで下さい。最初の 下位ワードの読み込み操作時に上位ワードも同時ラッチされるので両ワードデータ間に時刻差はありません。
計数は24ビットのバイナリ・ダウンカウンタ1本で行われるので取得値は残り回数を意味します。

表 3 - 1 0 B . 【BASE + 16H】入力ポート の構成

ビット	各ビットの機能・意味	リセット時
B 15 ~ B 8	トリガ後サンプリング回数データ中位バイト (D 15 ~ D 8)	0 ~ 0
B 7 ~ B 0	トリガ後サンプリング回数データ下位バイト (D 7 ~ D 0)	0 ~ 0

表 3 - 1 0 B . 【BASE + 16H】入力ポート の構成

ビット	各ビットの機能・意味	リセット時
B 15 ~ B 8	未使用	
B 7 ~ B 0	トリガ後サンプリング回数データ上位バイト (D 23 ~ D 16)	0 ~ 0

3-11. F I F Oバッファメモリ書き込みの間引き設定

高速サンプリングでR A Mに書き込みながら（全サンプリング終了まで読み出せない！）同時にF I F Oからリアルタイムに読み出すときはデータロスト・エラーを発生させないように無理のない転送速度（約500K語/秒）以下となるように（F I F Oに書き込む）連続サンプリングデータを間引くことができます。

o u t p w (BASE+0x1A, d c n) ; /* d c n = 間引き設定データ */

間引き設定データを書き込みます。

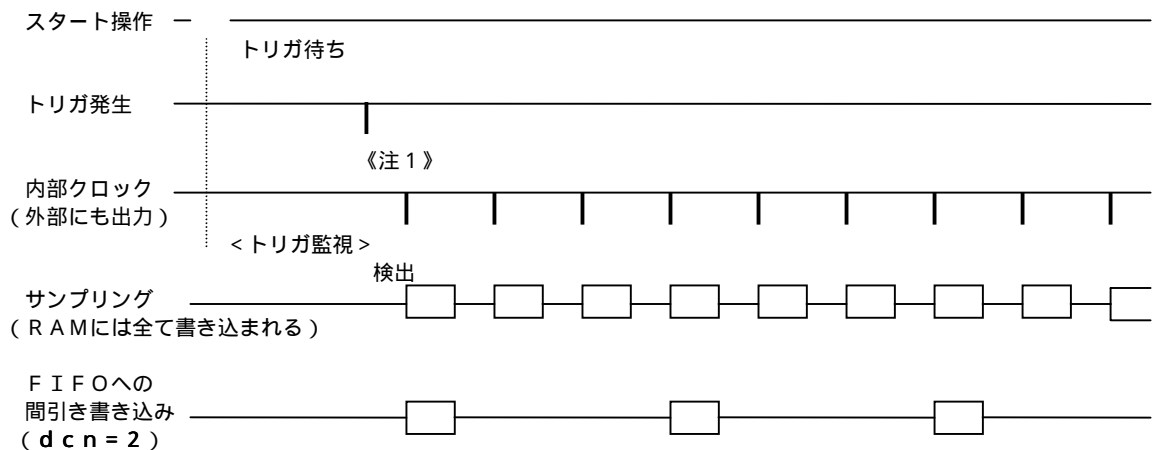
d c n = 0 のときは間引きしない。

d c n = N のときは (N + 1) 回サンプリングごとに書き込む。

表 3 - 1 1 . 【BASE + 1AH】出力ポートの構成

ビット	各ビットの機能・意味	リセット時
B 15 ~ B 8	未使用	
B 7 ~ B 0	間引き設定データ (0 ~ F F H)	0 ~ 0

図 3 - 1 1 . ポストトリガ連続サンプリングの間引き動作例



《注1》理論的トリガ発生から最初のサンプリング実行までの最大遅れ時間は、
 アナログトリガの場合は： 1 μ s
 デジタルトリガの場合は： 1 0 0 n s
 外部クロック源使用時は + 1 クロック周期 (セットアップ時間 m i n 6 2 n s)

F I F Oバッファメモリは通過型のパイプ状構造ですから書き込み（連続サンプリング）速度より読み出し（バス側のデータ転送）速度が遅いと、いずれは蓄積データで満杯となり、溢れてしまいます。（データロスト・エラーの発生 / 3 - 2 項参照）

P C Iバスの通常的な実用データ転送速度は500KHz（語数/秒）程度です。

これ以上の速度（連続データ流入速度 = 連続サンプリング周波数 × 使用チャンネル数）で搭載F I F Oメモリ容量（ = 標準4 K語）以上のサンプリングデータ数を得るにはF I F Oメモリを増設（オプションで8 M語まで可能）するか、搭載R A Mを利用してください。

3-12. 内部（アナログ）トリガレベルの設定

```
outputw (BASE+0xC, TGL1); /* TGL1 = トリガレベル・データ1 */
outputw (BASE+0xE, TGL2); /* TGL2 = トリガレベル・データ2 */
```

アナログ・トリガレベル指定データを（BASE+0xC、BASE+0xE アドレスに）書き込みます。

各データは1バイト（上位8ビットは無効）、必ず2データ続けて書き込んで下さい。

レベルトリガ・モードのときは（表3-12Aのように）TGL2は無効ですが、必ず形式的なダミーデータを書き込んでください。

本機が内部（アナログ）トリガ待ち状態の時はチャンネル0入力が約500nsの一定周期で連続的に監視サンプリングされ、AD変換値の上位8BITが当トリガレベルデータと常時比較されています。トリガが認識されるとポストトリガ・モードの場合は（3-9項で説明した）分周動作を開始、すなわち連続サンプリングのスタートです。プリトリガ・モードの場合はトリガ後サンプリング回数のカウントダウンが始まります。

ここで指定するトリガレベル・データTGL1、およびTGL2は（3-13項で設定される）トリガモードにより表3-12Aの意味を持ちます。

表3-12A. トリガモード vs トリガレベル・データ

トリガレベル・データ	エッジトリガの場合	レベルトリガの場合	レンジトリガの場合
TGL1	トリガ基準レベル	トリガ基準レベル	トリガレベル下限値
TGL2	ヒステリシス・レベル	ダミーデータ	トリガレベル上限値

トリガレベル・データ TGL の算出

ユニポーラ入力範囲のとき： $TGL = V_{tg} \div (V_{span} \div 256)$ digit

バイポーラ入力範囲のとき： $TGL = V_{tg} \div (V_{span} \div 256) + 128$ digit

なお、 V_{tg} ：トリガレベル電圧

V_{span} ：スパン（入力範囲の絶対幅 / 表3-12B, C 参照）

表3-12B. 【12ビット】各アナログ入力範囲に対するスパン、およびトリガレベル分解能

アナログ入力範囲	Aレンジの場合		Bレンジの場合	
	Vspan	分解能 (Vspan/256)	Vspan	分解能 (Vspan/256)
±10v	20.48 v	80 m v	20 v	78.125 m v
±5v, 0~+10 v	10.24 v	40 m v	10 v	39.0625 m v
0~+5 v	5.12 v	20 m v	5 v	19.5312 m v

表3-12C. 【14ビット】各アナログ入力範囲に対するスパン、およびトリガレベル分解能

アナログ入力範囲	Aレンジの場合		Bレンジの場合	
	Vspan	分解能 (Vspan/256)	Vspan	分解能 (Vspan/256)
±10v	32.768 v	128 m v	20 v	78.125 m v
±5v	16.384 v	64 m v	10 v	39.0625 m v

内部（アナログ）トリガの各種形態

エッジトリガ：（トリガチャンネル＝スキャン先頭チャンネル）アナログ入力信号が指定トリガレベルを指定方向（極性）で交差したときに発生します。但し、本ボードでは信号に重畳した雑音による誤トリガを防ぐためにヒステリシスレベルを設定し、トリガ基準レベル（TGL1）とヒステリシス・レベル（TGL2）を連続して交差した時点でトリガを発生させます。

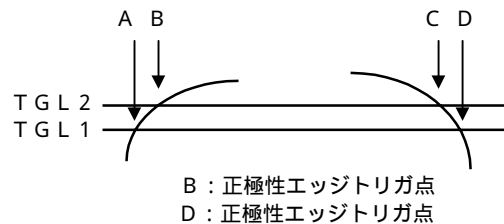
《補足》

トリガチャンネル入力信号に雑音が乗っており、エッジトリガ・モードでヒステリシスが無いときはトリガ基準レベル（TGL1）付近で誤トリガ発生が考えられます。

すなわち、正極性のエッジトリガを指定しているときはD点付近、また負極性のエッジトリガを指定しているときはA点付近で雑音による誤トリガ発生の可能性があります。

ヒステリシス・レベル（TGL2）の設定により正しいトリガ点でのみ動作します。

図3-12A. ヒステリシスによる正しいトリガ認識



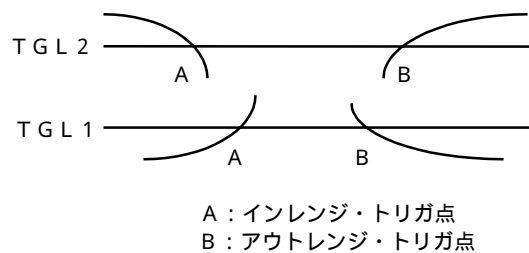
レベルトリガ： トリガチャンネル入力信号がトリガ基準レベル（TGL1）の大きさを単純に比較します。正極性を指定した場合はアナログ入力信号がトリガ基準レベルより大きい時、負極性を指定した場合はアナログ入力信号がトリガ基準レベルより小さい時にトリガ発生となります。したがって、トリガ待ちになった瞬間にトリガ発生となる場合もあります。

レンジトリガ： トリガチャンネル入力信号がトリガレベル上限値（TGL2）と同下限値（TGL1）で指定する帯域から上下いずれかの方向に外れた時がアウトレンジ・トリガ、逆に上下いずれかの方向から指定領域に入った時がインレンジ・トリガ（負極性のレンジトリガ）です。

《補足》

レンジトリガはレベル動作が一般的ですが、別名 デュアルスロープ・トリガ と称するエッジトリガも可能です。その場合のヒステリシスはトリガレベル上下限値の外側、トリガレベル分解能1単位（表3-12B）に固定されています。

図3-12B. レンジトリガの様子



外部（デジタル）トリガの各種形態

図3-12C. デジタル・エッジトリガ



図3-12D. デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

【注】本トリガはポストトリガ動作にのみ有効。

3-13. トリガモード設定（含ソフトトリガ実行）

outpw (BASE+0x6, tgm); /* tgm=トリガモード設定データ */
連続サンプリング動作のトリガモード設定データを書き込みます。

表 3-13A . 【BASE+6H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B15 ～ B8	未使用			
B7	ソフト（即）トリガ制御	発生	待機	0
B6	外部トリガ入力信号制御	許可	禁止	0
B5	内部（アナログ）トリガ制御	許可	禁止	0
B4	トリガ極性選択	+ ()	- ()	0
B3	トリガ認識モード選択 2	エッジ	レベル	0
B2	トリガ認識モード選択 1	レンジ	レンジ以外	0
B1	未使用			
B0	未使用			

ポストトリガ動作の連続サンプリングは同スタート操作【3-15項】後のトリガ発生により始まり、(1)指定回数のサンプリング終了（有限モード）、または(2)ストップ操作により停止します。複数のトリガを許可しておくと、最初に発生したトリガ要素で連続サンプリングが始まります

フリトリガ動作の連続サンプリングは同スタート操作【3-15項】により即始まり、(1)トリガ発生後・指定回数サンプリング終了、または(2)ストップ操作により停止します。複数のトリガを許可しておくと、最初に発生したトリガ要素で指定回数のダウンカウントが開始され、後から発生したトリガ要素は無視されます。

プログラム上任意のプロセスから即トリガをかけるには、**ソフトトリガ制御ビット B7** をセット（0 → 1）します。また当 B7 ビットをセットした状態で連続サンプリングスタート操作【3-15項】を行うと（その時点で）即トリガとなります。

特殊なトリガ形態として**帯域サンプリング**（デジタル・レベルトリガ）動作があります。これは外部トリガ入力信号の指定レベル（極性）期間だけ連続サンプリングを行います。
/ 図 3-12D、図 3-13C 参照 /

表 3-13B . トリガモード設定ビットの組み合わせ

選択されるトリガ名		B7	B6	B5	B4	B3	B2	備考 / 一般的な別呼称
	ソフトトリガ	1	x	x	x	x	x	即トリガ
デジタル	エッジ・トリガ (+)	0	1		1	1	0	
	エッジ・トリガ (-)	0	1		0	1	0	
	レベル・トリガ (+) 【注】	0	1		1	0	0	帯域サンプリング (+)
	レベル・トリガ (-) 【注】	0	1		0	0	0	帯域サンプリング (-)
アナログ	エッジ・トリガ (+)	0		1	1	1	0	
	エッジ・トリガ (-)	0		1	0	1	0	
	レベル・トリガ (+)	0		1	1	0	0	
	レベル・トリガ (-)	0		1	0	0	0	
	レベル・レンジトリガ (+)	0		1	1	0	1	アウトレンジ・トリガ
	レベル・レンジトリガ (-)	0		1	0	0	1	インレンジ・トリガ
	エッジ・レンジトリガ (+)	0		1	1	1	1	デュアルスロープ・トリガ (+)
	エッジ・レンジトリガ (-)	0		1	0	1	1	デュアルスロープ・トリガ (-)

: 当ビットをセット (= 1) するとアナログトリガとのOR動作となる。

: 当ビットをセット (= 1) するとデジタルトリガとのOR動作となる。

x : 無視

【注】デジタル・レベルトリガ (帯域サンプリング) はポストトリガ動作のみ。

トリガ遅れ

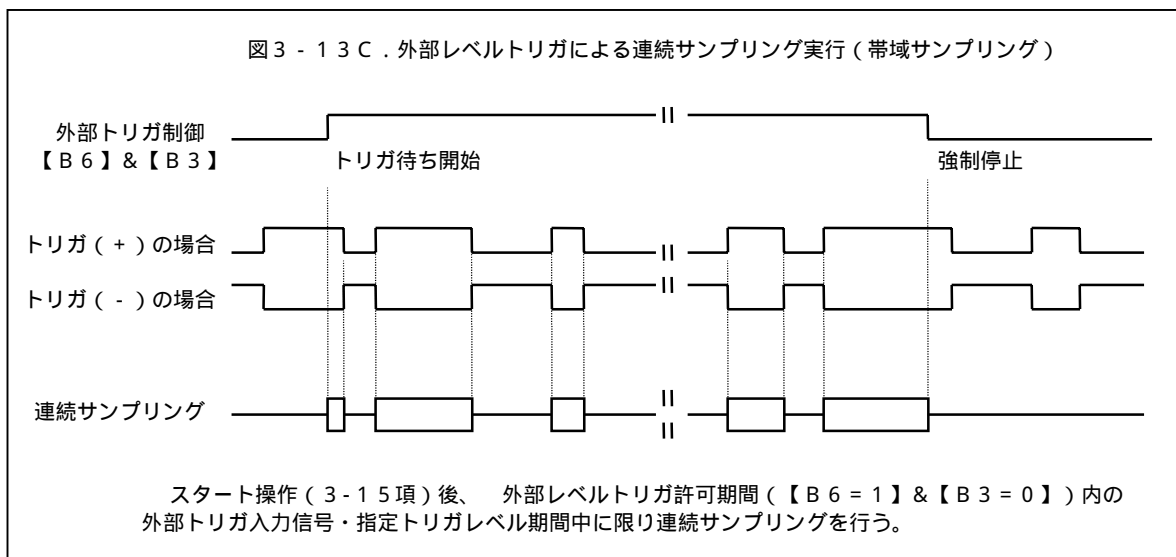
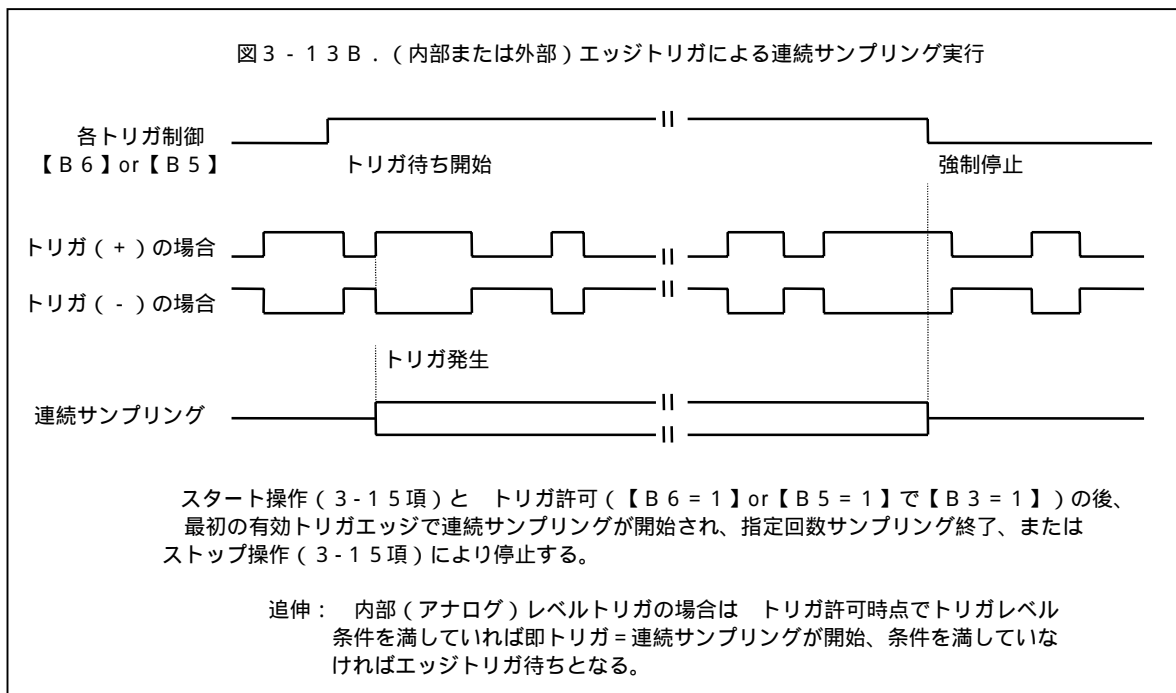
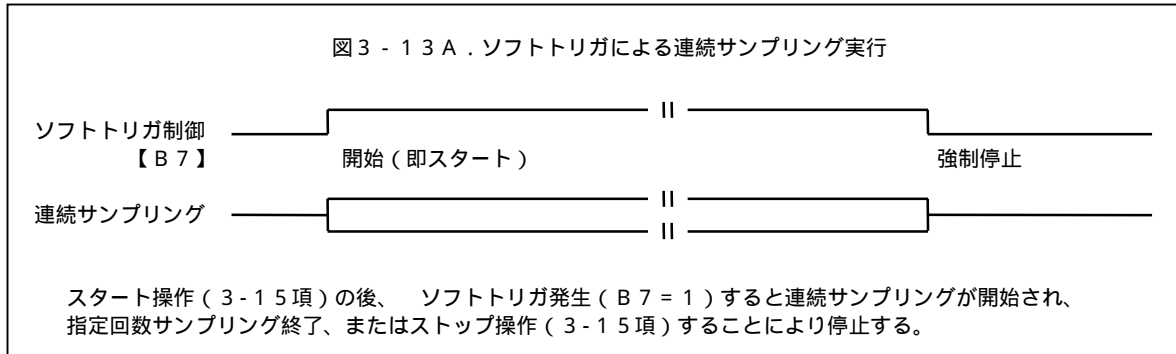
トリガ条件が成立したとき、本ボードがこれを検出して応答するまでの遅れ時間はトリガの種類によって少しだけ異なります。
その時間は、

ソフトトリガ： 約 100 ns、

内部 (アナログ) トリガ： 約 1 μs、 / 理論位置からの実質遅れ /

外部 (デジタル) トリガ： 約 100 ns です。

図3 - 13 A , B , C に一般的なポストトリガ・サンプリング動作の様子を示します。
(いずれもサンプリング動作開始操作 / 3 - 1 5 項 / 以後のシーケンス)



指定回数サンプリング終了、またはストップ操作（3-15項）により停止する。

3-14. 割り込み制御（使用しないときは操作不要）

```
outpw(BASE+0x10, irm); /* inm: 割り込み要求の発生要因制御 */
```

本ボードからパソコン本体内部割り込みコントローラに発信する割り込み要求の発生要因を制御します。複数の要因を許可するとOR動作となります。なお本ボードで割り込みを使用するにはインストール時にリソースを取得しておく必要があります。（1-5項/インストール/参照）

表3-14. 【BASE+10H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B15 ～ B8	未使用			
B7	外部割り込み信号（INT-IN）の有効極性指定	（+）	（-）	0
B6	（FIFO）HALF-FULL 状態に変化 による割り込み	許可	禁止	0
B5	（FIFO）Not-EMPTY 状態に変化 による割り込み	許可	禁止	0
B4	トリガ後の指定回数サンプリング終了による割り込み	許可	禁止	0
B3	各回サンプリング終了 による割り込み	許可	禁止	0
B2	トリガ発生 による割り込み	許可	禁止	0
B1	外部割り込み信号（INT-IN） による割り込み	許可	禁止	0
B0	連続サンプリング・クロック による割り込み	許可	禁止	0

《 補助説明 》

- B7: 外部割り込み信号（INT-IN）が許可された場合の信号エッジ極性（ ）指定。
- B6: FIFOメモリ内の待機データが半分（標準4K語のとき2048）を超えた状態が発生したタイミングによる割り込み制御。
- B5: FIFOメモリ内が空から1データ入ったタイミングによる割り込み制御。
- B3: 各回サンプリング・スキャン終了タイミングによる割り込み制御。
- B0: 指定クロックの有効エッジによる割り込み制御。
（各回サンプリング・スキャン開始タイミングによる割り込み制御。）

実際に割り込みを使用するには、 割り込みリソースを取得する。（1-5項）
割り込み処理サブルーチンを用意する。
ドライバで割り込みを使用するように設定する。

このあと、当割り込み制御ポートに書き込みを行います。WINDOWSでは割り込みコントローラ素子（パソコン本体内部）をアプリケーションで直接操作することはせず、デバイスドライバが事前・事後の処理と応答操作を行い、アプリケーションには通知と戻りノメッセージ交換で対処します。具体的には本ボード付属のCサンプルの該当部分を参照してください。《添付のドライバを使用した例》

割り込み信号モニタ

```
ints = inpw (BASE + 0x2) ; /* 割り込み信号出力ステータス */
```

本ボードからパソコン本体内部割り込みコントローラ、すなわちにPCIバス上に発信する割り込み要求信号出力はクリア操作まで割り込み要求状態を保持する“レベル動作”です。

割り込みの共有化に対応するときなどは本ステータスを参照して適切な処理を行うような使い方があります。

表3-14. 【BASE+2H】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B15 ~ B1	未使用			
B0	PCIバス上の割り込み信号ステータス	アクティブ	非アクティブ	0

割り込み要求クリア

```
outpw (BASE + 0x2, 0x0) ; /* 割り込み要求信号クリア (出力禁止) */
outpw (BASE + 0x2, 0x1) ; /* 割り込み要求信号出力許可 */
```

本ボードから発信する割り込み要求信号出力はソフト（ボードのドライバ）上でクリア操作する必要があります。

また当ポートはラッチポートですからビットB0で出力禁止＝クリア操作を行うと当状態は保持され、次の割り込み信号が出力できない状態です。これを解消するには再度ビットB0をセット（＝1）する操作が必要です。

《WINDOWSでは通常、この操作はデバイスドライバ内で行います。》

表3-14. 【BASE+2H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B15 ~ B1	未使用			
B0	PCIバス上への割り込み信号出力制御	出力許可	出力禁止（クリア）	0

3-15. サンプリング動作のスタート/ストップ制御

クロック同期・動作の制御（連続サンプリングのスタート/ストップ）

```
outpw(BASE+0x8, str); /* str:クロック同期動作スタートデータ */
outpw(BASE+0x8, clr); /* clr:クロック同期動作クリアデータ(=0H) */
```

: 各種クロック同期動作モードの中から1モードを選択・スタートさせます。
これにより指定された動作モードで動作開始&トリガ待ち状態になります。
当操作実行前にトリガモード【3-13項】を設定しておきます。

: 動作を強制停止させます。

: 指定回数の連続動作終了（カウンタアップ）により自動停止した場合、
再度スタートさせるときは
一旦、ストップ操作してからあらためてセットします。

表3-15A. 【BASE+8H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B15 ~ B3	未使用			
B2 B1 B0	クロック同期動作モード選択データ	表3-15B		0 0 0

表3-15B. クロック同期動作モード選択データ

B2	B1	B0	動作モード
1	1	0	プリトリガ・連続サンプリング スタート
1	0	1	プリトリガ・連続クロックのみ スタート
1	0	0	ポストトリガ有限連続サンプリング スタート
0	1	1	ポストトリガ有限連続クロックのみ スタート
0	1	0	ポストトリガ無限連続サンプリング スタート
0	0	1	ポストトリガ無限連続クロックのみ スタート
0	0	0	上記各動作の停止 ストップ

【注】“クロックのみ動作モード”ではサンプリングは行われず、クロックのみが走ります。
ステータス監視や割り込みを使用してクロックを検出し、任意の処理を行うような
使い方が可能です。（その中にマニュアルサンプリング操作も含めることができる。）

マニュアル (1 回) サンプリング動作

```
s t r = i n p w ( B A S E + 0 x 8 ) ; /* s t r = ダミー ( 無効 ) データ */
```

当操作により指定チャンネル群に対するマニュアル (1 回) サンプリングが開始されます。

変数 `s t r` には意味が無く、当操作の実行時に発生するメモリ制御信号で動作します。

プログラム上任意のプロセスで指定チャンネル群に対する各 1 回サンプリングを実行したいときに利用します。

サンプリングされた A/D データは (連続サンプリングと同様に) F I F O & R A M 両バッファメモリに自動転送されます。 当操作の後は各回サンプリング終了フラグ、または F I F O メモリの Not-Empty フラグ (3 - 16 項) を検出するループを経て A/D データ読み込みを実行します。
(3 - 19 項)

【注】 なお連続サンプリング動作中に当マニュアルサンプリング操作を割り込ませると、両動作共に保証できない状態となってしまいます。

 マニュアル (1 回) サンプリング操作の全手順

```
r s t = i n p w ( B A S E + 0 x E ) ; /* 制御部リセット【3-5項】:制御部リセット */
o u t p w ( B A S E + 0 x 4 , d c d ) ; /* 条件設定【3-6項】:分解能・データコード設定 */
o u t p w ( B A S E + 0 x 0 , e c h ) ; /* 条件設定【3-7項】:使用チャンネル・入力範囲設定 */

s t r = i n p w ( B A S E + 0 x 8 ) ; /* 動作開始【本項】:マニュアル(1回)サンプリング開始 */

w h i l e ( ( i n p w ( B A S E + 0 x A ) & 0 x 8 0 ) != 0 x 8 0 )
    ; /* ステータス検査【3-16項】:ステータスの読み込み/評価 */

o u t p w ( B A S E + 0 x A , 0 x 8 0 ) ; /* ステータス(EOSフラグ)クリア */

f o r ( c h = 0 ; c h <= e c h ; c h + + ) ; /* チャンネル0 ~ e c h まで */
{
  A D ( c h ) = i n p w ( B A S E + 0 x 0 ) ; /* A/Dデータ取得【3-19項】:FIFOから読む */
}
```

<p>【注】 アナログ入力範囲の設定 (3 - 7 項) 直後の約 5 μ s はサンプリング・スタート操作の実行禁止期間です。この間は入力範囲設定中フラグ (3 - 1 6 項) がセットされています マニュアルサンプリング、連続サンプリング、いずれの場合も動作開始操作 (本項) の実行前に同フラグがリセット (= 0) されるまで待つループを挿入してください。</p>
--

3-16. ステータスの取得、クリア

取得

```
sts = inpw (BASE + 0xA); /* sts = ステータスデータ */
```

本ボードのステータスデータを読み込みます。

表 3-16 A . 【BASE + AH】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 15 ～ B 11	未使用			
B 10	OER : オーバーランエラー・フラグ 【注 1】	発生済み		0
B 9	END : 連続サンプリング終了 【注 1】	終了済み		0
B 8	RUP : ロールアップ・フラグ 【注 1】	発生済み		0
B 7	EOS : 各回サンプリング終了 【注 1】	終了済み	実行中、その他	0
B 6	INT : 割り込み要求発生 【注 1】	発生済み	未発生、その他	0
B 5	TIM : 各回サンプリング・クロック先端 【注 1】	開始済み	未開始、その他	0
B 4	TGD : トリガ発生認識 【注 2】	発生	未発生	0
B 3	BSY : 入力範囲設定中 【注 2】	設定中		0
B 2	LST : データロスト・エラーフラグ 【注 1】	発生済み	未発生	0
B 1	HLF : Not Half-full 【注 2】	1 / 2 未満	1 / 2 以上	1
B 0	EMP : Not Empty 【注 2】	データ有	データ無	0

【注 1】一旦セットされるとクリア操作まで保持するラッチフラグ。

【注 2】現在状態を刻々反映する状態フラグ。

《補足説明》

(B10) OER : 本機の仕様以上のクロックで連続サンプリングが実行されるとセット (= 1) される。 / スピード違反、取得データは無効 /

(B 9) END : トリガ後・指定回数の連続サンプリングが実行完了したときにセット (= 1) される。 強制的な途中終了ではセットされない。
無限サンプリングモードのときは無効。(任意にセットされることがある。)

(B 8) RUP : プリトリガ動作、またはポストトリガ無限連続サンプリング動作のとき RAM バッファ (16 M 語リング状・無限ループ構造) への書き込みが 1 廻りした時点でセット (= 1) される。 以後は上書き動作となっている。
【注】本フラグ RUP はスタートアドレスが 0 番地のときのみ有効に機能する。

(B 7) EOS : 各回のサンプリングが終了するたびにセット (= 1) される。 すなわち、後述の TIM からサンプリング実行時間だけ遅れてセットされる。

(B 6) INT : 割り込み要求が発生 (3-14 項) するとセット (= 1) される。

(B 5) TIM : 各回のサンプリングが開始されるたびに (連続サンプリングクロックの前縁で) セット (= 1) される。 クロックのみ動作モード (3-15 項) でも有効。

(B 4) TGD : 許可されたトリガ (内部 / 外部 / ソフト) が発生するとセット (= 1) される。トリガ禁止操作 (3-13 項) でクリアされる。
外部デジタル入力によるレベルトリガ (帯域サンプリング) 動作のときは同有効レベル期間中だけセット (= 1) される。

- (B 3) **BSY** : アナログ入力範囲の設定操作 (3 - 7 項) 直後の約 5 μ s 間だけセット (= 1) されている。
- (B 2) **LST** : F I F O バッファが満杯になった状態で、次のデータ書き込みが成らず消失したときにセット (= 1) される。
- (B 1) **HLF** : F I F O バッファ内のデータが《容量の半分 + 1》以上になるとセット (= 0)、読み出しにより《容量の半分 + 1》未満になるとリセット (= 1) される。
Not Half-Full 定義。
- (B 0) **EMP** : F I F O バッファ内のデータが 1 個以上になるとセット (= 1) され、読み出しにより空になるとリセット (= 0) される。。
Not Empty 定義。

クリア

```
outpw ( BASE + 0xA , stc ); /* stc = クリアビット指定データ */
```

指定したステータスビットをクリアします。(クリア対象は表 3 - 1 6 A 中の【注 1】)
なお、当出力データは保持されません。

表 3 - 1 6 B . 【BASE + AH】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	セット時
B 15 ~ B 11	未使用			
B 10	OER : オーバーランエラー・フラグ 【注 1】	クリアする	クリアしない	0
B 9	END : 連続サンプリング終了 【注 1】	クリアする	クリアしない	0
B 8	RUP : ロールアップ・フラグ 【注 1】	クリアする	クリアしない	0
B 7	EOS : 各回サンプリング終了 【注 1】	クリアする	クリアしない	0
B 6	INT : 割り込み要求発生 【注 1】	クリアする	クリアしない	0
B 5	TIM : 各回サンプリング・クロック先端 【注 1】	クリアする	クリアしない	0
B 4				
B 3				
B 2	LST : データロスト・エラーフラグ 【注 1】	クリアする	クリアしない	0
B 1				
B 0	F I F O バッファだけのクリア 【注 3】	クリアする	クリアしない	0

【注 3】 F I F O バッファ内の残りデータを破棄し、同フラグをリセットする。

EMP = 0

HLF = 1

3-17. RAMバッファ・アドレスの設定・取得

設定

```
outpw (BASE+0x18, adrL) ; /* adrL = アドレス (下位ワード) */
outpw (BASE+0x18, adrH) ; /* adrH = アドレス (上位ワード) */
```

RAMバッファ・アドレス値を書き込み設定します。

必ず2ワード続けて書き込んで下さい。

この後、同アドレス位置のADデータを読み込むことができます。

また、

通常はリセット操作 (3 - 5 項) によりアドレスカウンタは0番地に設定されますが、
当操作により任意の位置を連続サンプリング開始位置アドレスとすることもできます。

【注】但しロールアップフラグ (3 - 16 項) は当開始位置アドレスが0番地のときのみ
有効に機能するので、これをお奨めします。

取得

```
adrL = inpw (BASE+0x18) ; /* adrL = アドレス (下位ワード) */
adrH = inpw (BASE+0x18) ; /* adrH = アドレス (上位ワード) */
```

現在のRAMバッファ・アドレス値を得ます

必ず2ワード続けて読み込んで下さい。最初の 下位ワードの読み込み操作時に 上位
ワードも同時ラッチされるので両ワードデータ間に時刻差はありません。

通常は連続サンプリング終了後の当操作により最終データ位置アドレスを取得、ここから
トリガ位置や先頭データ位置を求めます。(次3 - 18 項、3 - 3 項参照)

表 3 - 1 7 . 【BASE + 18H】入出力ポートの構成

ビット	各ビットの機能・意味	リセット時
B 15 ~ B 8	RAMバッファ・アドレス中位バイト (A 15 ~ A 8)	0 ~ 0
B 7 ~ B 0	RAMバッファ・アドレス下位バイト (A 7 ~ A 0)	0 ~ 0

表 3 - 1 7 . 【BASE + 18H】入出力ポートの構成

ビット	各ビットの機能・意味	リセット時
B 15 ~ B 8	未使用	
B 7 ~ B 0	RAMバッファ・アドレス上位バイト (A 23 ~ A 16)	0 ~ 0

58

(1) 読み出し位置の先頭アドレスを設定する。

```
outpw (BASE+0x18, adrL); /* adrL=アドレス(下位ワード) */
outpw (BASE+0x18, adrH); /* adrH=アドレス(上位ワード) */
```

(2) 指定位置のデータを(連続して)読み込む。

《普通IN命令》 `AD = inpw (BASE+0x4); /* AD=ADデータ */`

《ブロックIN命令》 80286以上のCPU搭載パソコンでは複数のデータを連続して読み出し、パソコン側のメモリに転送するブロック転送命令を使用することができます。

```
mov dx, (BASE+0x4); /* 読み出しポート */
mov ecx, count; /* 読み出し連続回数 */
mov edi, dest; /* データ格納先アドレス先頭 */
cld
rep insw; /* データ転送 */
```

RAMバッファのアドレスカウンタは1語読みこむ毎に自動インクリメントされるので、一度、先頭アドレスを設定すれば後は任意の位置まで連続して読みこむことができます。

以下、参考図(詳細は3-3項、3-10項参照)

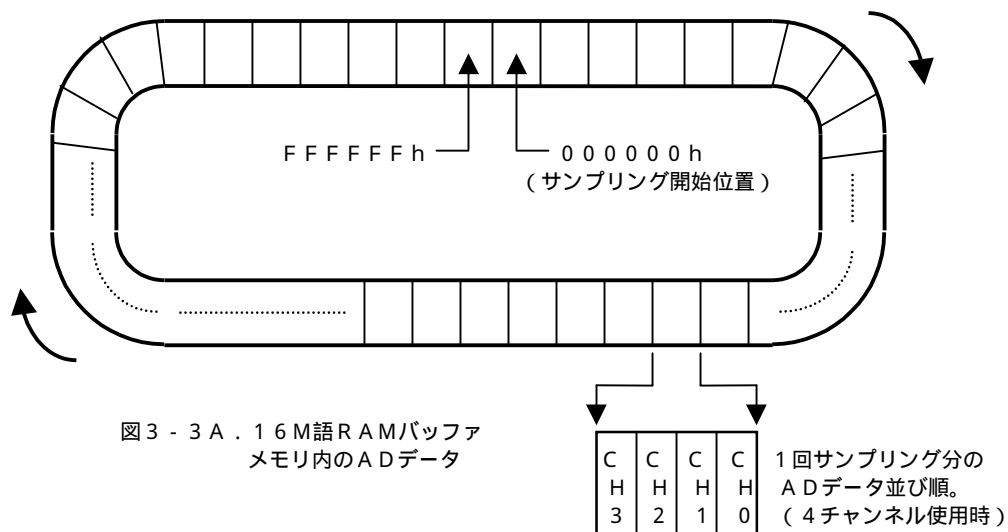
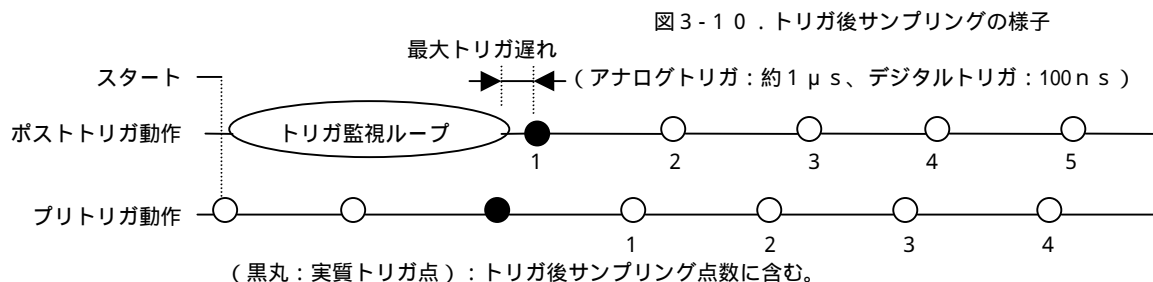


図3-3A. 16M語RAMバッファ
メモリ内のADデータ



3-19. F I F OバッファからのA Dデータ読み出し

F I F Oバッファメモリ内のA Dデータは図3 - 19に示す配置となっています。 これらを逐次読み出してパソコン側メモリに転送する方法は通常の入力命令のほか、高速なブロック転送命令もあります。

- (1) 通常のI / O入力命令 = I N命令の場合はワード単位で読み出します。

ソフト上ではサンプリングされたA DデータがF I F Oメモリ内に1個以上有るか / 空かを示すステータスフラグE M P (前3 - 16項)をポーリングするか、または同ステータスによる割り込みを使用します。

《普通I N命令》 A D = i n p w (B A S E + 0 x 0) ; /* A D = A Dデータ */

(期待転送速度 = 100 Kword / sec 程度。)

- (2) 80286以上のCPU搭載パソコンでは複数のデータを連続して読み出し、パソコン側のメモリに転送するブロック転送命令を使用することができます。

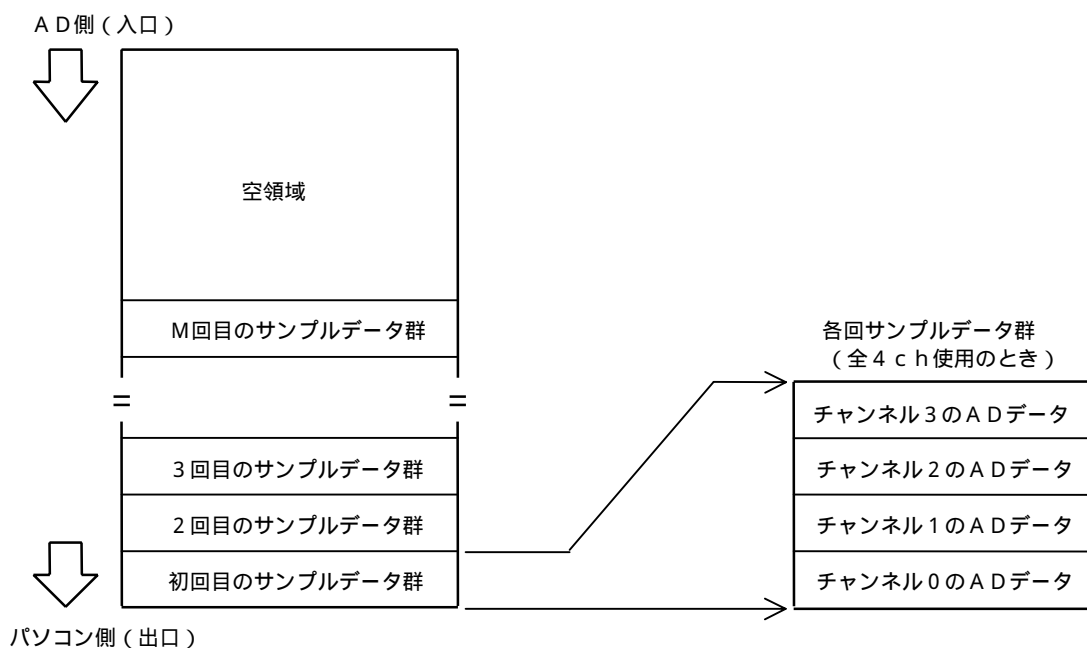
この場合はF I F Oメモリ内に蓄積されたA DデータがF I F Oメモリ容量の 半分 + 1 以上か / 未満かを示すステータスフラグN o t _ H a l f _ F u l l (前3 - 16項)をポーリングするか、または同ステータス変化による割り込みを使用します。

上記の(B A S E + 0 x 0)出力ポートでブロックI / O転送命令が使用できます。

```
《ブロックI N命令》  mov    dx, (BASE+0x0) ; /* 読み出しポート */
                     mov    ecx, count ; /* 読み出し連続回数 */
                     mov    edi, dest ; /* データ格納先アドレス先頭 */
                     cld
                     rep insw ; /* データ転送 */
```

(期待転送速度 = 800 Kword / sec 程度。)

図3 - 19. F I F Oメモリ内のA Dデータ配置



A Dデータ読み出しアルゴリズム作成上の注意

F I F OメモリからA Dデータを読み出すときに監視・参照するフラグにはNot-Empty、Half-Full、各回サンプリング終了などがあります。Half-Full フラグはもっぱらF I F Oメモリ容量の半分単位でブロック転送（INSW 命令）するときに使用し、Not-Empty と各回サンプリング終了フラグは時々刻々の読み出しに使用されます。

注意すべきは Not-Empty の使用法で、複数チャンネルを使用しているときに当フラグを検出して複数データの読み出し操作を行うと（ソフト実行速度が速い場合）後順チャンネルのA Dデータが未だ入力されていないのに読んでしまうことが起こり得ます。

各回サンプリング終了フラグを利用すれば、当フラグの検出時には既に指定チャンネル分のA Dデータが存在するので確実に読み出しできます。

エラーが発生するときは、

本ボード搭載のF I F Oメモリ入力速度（使用チャンネル数 × サンプル周波数）が出力側の読み出し速度（パソコン側へのデータ転送速度）より速いときは、同メモリの充満量が次第に増えてゆき、ついにはオーバーフローを起こしてデータロスエラー（LST）フラグが立ちます。

当時点以降にサンプリングされた新データは全て消失されますが、ここでサンプリング動作を止めればF I F Oメモリ内の残りデータは全て有効に読み出すことができます。

【注】オーバーフロー発生がブロック転送実行タイミングと重なった場合はF I F Oメモリ末尾側に最大1ブロック転送分の無効データ領域を残すような形となります。

データロスエラー発生後、連続サンプリング動作を止めずデータを読み出すと、入口側に空領域ができるので（不連続な）以後のデータが流入する動作になります。

3-20. マスタスレーブ動作（複数ボードの同期・並行動作）

複数の本ボード（最大7枚）を同一クロックで同期運転することもできます。
この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。
スレーブはマスタからのクロックを受けて同期をとりますが、サンプリングタイミングに最大
62nsの遅れが生じます。 接続・操作は以下のとおり。

ボード上の設定

スレーブボードが1枚だけのときは同ボード上のクロック入力終端用スイッチS - CLKZを
【ON】とする。 スレーブボードが複数あるときのスイッチS - CLKZは1枚のみ【ON】、
ほかは【OFF】に設定する。

各ボードは1枚ずつインストールし、直後に割り当てられたリソース（メモリアドレス）と
PCIバス番号・デバイス番号を確認・記録する。 / 各ボードに認識ラベルを付すとよい。
また各ボード上のボード番号設定スイッチSW - BNを各々重複しない値に設定しておき、
これを読み出して（3 - 5項）特定する方法もあります。

ボード間の接続等

マスタ機のクロック出力《CLK-OUT》をスレーブ各機のクロック入力《CLK-IN》に接続する
だけである。（図3 - 20参照）

マスタ機は外部クロック源、外部（デジタル）トリガを使用することもできる。

ソフトウェア

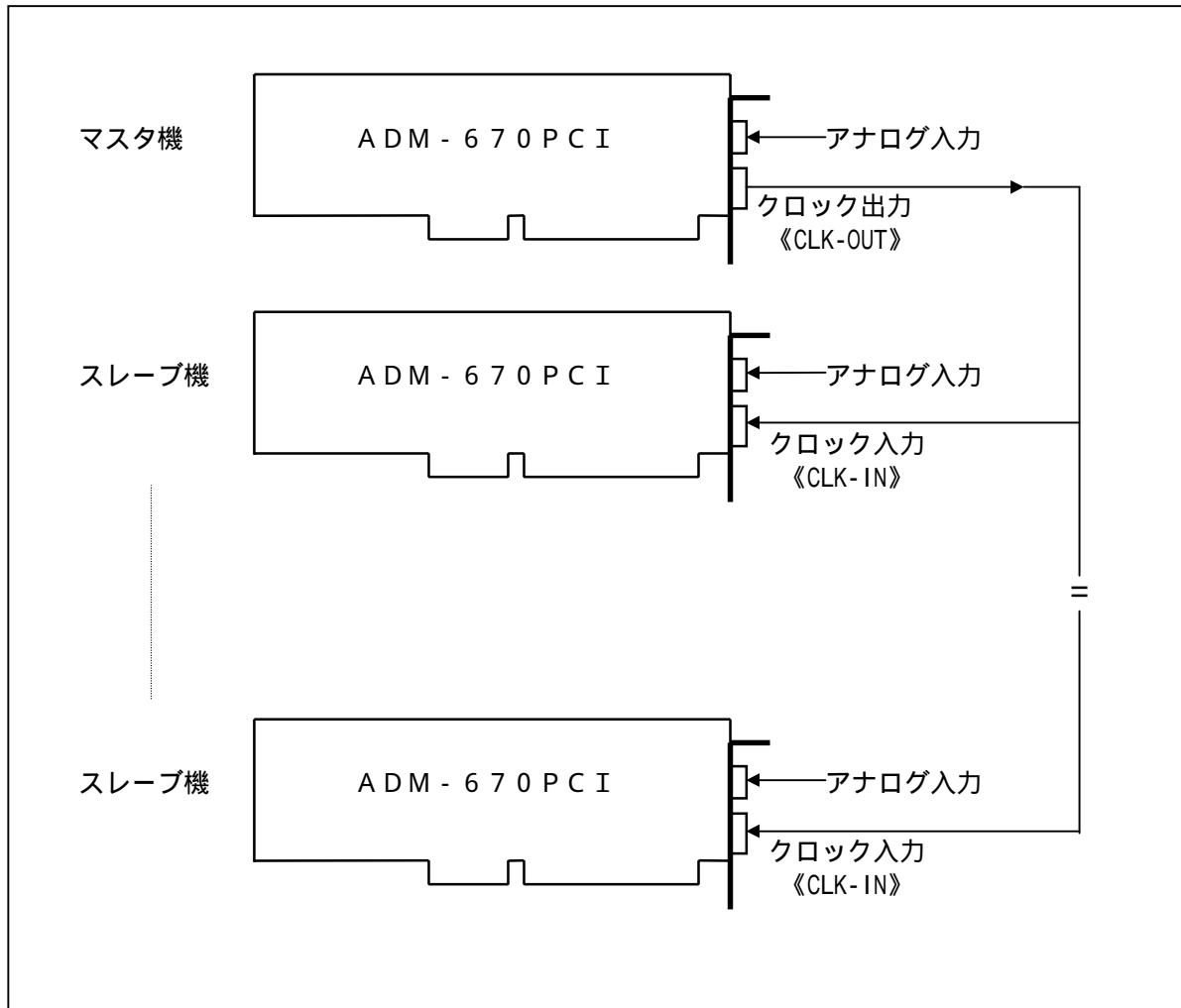
スレーブ各機のクロック源は外部に設定（3 - 8項）、またクロック源の分周比は1 / 1に
設定（3 - 9項）しておく。

スレーブ各機の内部（アナログ）トリガ、および外部トリガは禁止としておく。

マスタ機は単独動作時と同様に（何の制限もなく）条件設定できる。

連続サンプリング動作のスタート操作はスレーブ各機を（ソフトトリガで）先に、最後に
マスタ機を（任意のトリガ条件で）行う。 連続サンプリング開始後はマスタ機のステータ
スを監視しながら適時、各機からのADデータを読み出す。

図3-20. マスタスレーブ接続による複数ボードの並列・同期運転



マスタスレーブ動作の概要

- (1) スレーブ各機をソフトトリガで即スタートさせると外部クロック入力による連続サンプリング動作となるが、この時点ではマスタ機からのクロック入力待ち状態である。
- (2) マスタ機が（設定した）トリガにより連続サンプリングが開始されるとマスタ機から有効なクロック信号が出力され、これがスレーブ各機（最大7枚）に入力されて同期サンプリングが実行される。／この間の遅れ時間は最大100nsである。／
- (3) 以後はマスタ機のステータスを監視して適時、各機バッファメモリからADデータを読み出す。マスタを含めて各機は自身の最高速度で連続サンプリングできる

3-21. 汎用デジタル入出力

```
d i n = i n p w ( B A S E + 0 x 1 C ) ; /* 汎用4ビットTTL(現在値)入力 */
```

表3-21A. 【BASE+1CH】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 ~ B 4	《未使用》		
B 3	I 3 : 汎用デジタル入力ビット 3	H i g h ・ (開放)	L O W ・ (D G に接続)
B 2	I 2 : " " " " 2	" ・ (")	" ・ (" ")
B 1	I 1 : " " " " 1	" ・ (")	" ・ (" ")
B 0	I 0 : " " " " 0	" ・ (")	" ・ (" ")

```
o u t p w ( B A S E + 0 x 1 C , d o u t ) ; /* 汎用4ビットTTL(ラッチ)出力 */
```

表3-21B. 【BASE+1CH】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ラッチ時
B 7 ~ B 4	《未使用》			
B 3	Q 3 : 汎用デジタル出力ビット 3	H i g h	L O W	0
B 2	Q 2 : " " " " 2	"	"	0
B 1	Q 1 : " " " " 1	"	"	0
B 0	Q 0 : " " " " 0	"	"	0

【注1】 電源投入、またはハードウェア・リセット直後の汎用デジタル出力は“0”ですが、本ボードの制御部リセット操作(3-5項)ではクリアされません。

【注2】 汎用デジタル出力素子Q0～Q3はTTLレベルの74LS04(出荷時)ですが、同素子はソケット実装なのでユーザ側で変更可能です。なお出力論理はボード上のスイッチS-POL(出荷時:正論理)で選択できます。また出力端にプルアップ抵抗(RA54)を実装することもできます。各要素の位置は【1-2項】参照。

	信号レベル	出力素子	出力論理
標準出荷時	TTLレベル	74LS04	ボード上のスイッチ S-POLで設定。
オプション	オープンコレクタ	74LS06	