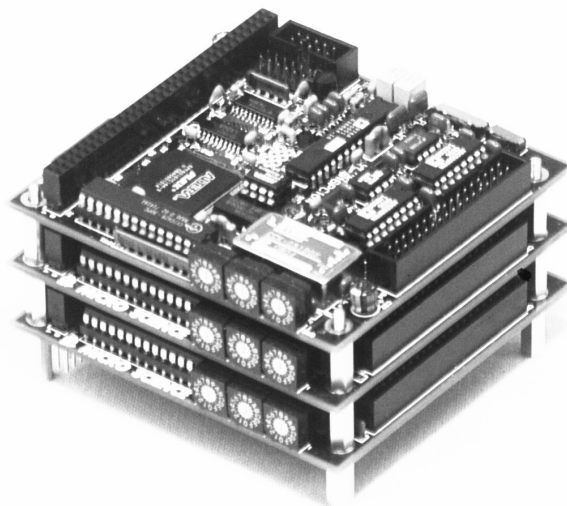


Real Solution for FA/LA



32ビット(ストローブ付)TTL入力
+

8ビットTTLラッチ出力

DIO-214 PC104

取扱い説明書

PC104
ISA互換バス

マイクロサイエンス(株)

〒167-0042 東京都杉並区西荻北2丁目37番12号

TEL 03(3396)8362 代表

FAX 03(3301)5593

Email: welcome@microscience.co.jp

Jul 21, 2002

目 次

使用・適用上の注意	3
修理・サポート方法	3
本製品の構成・価格表	4

第1章．導入

1-1．本製品の仕様・概要	5
1-2．入出力信号の定義	6
1-3．入出力回路	6
1-4．ボード上の設定	7
1-5．I/Oベースアドレスの設定	8
1-6．入出力コネクタ・ピン接続	9

第2章．制御・操作

2-1．制御・操作のタイミング、手順	11
2-2．制御レジスタI/Oアドレス・マップ	14
2-3．ボード制御部リセット（初期化）	15
2-4．入力ストローブ制御	16
2-5．割り込み制御	17
2-6．ソフトウェア・ストローブ	18
2-7．ステータス取得、クリア	19
2-8．入力データ取得	20
2-9．デジタル出力	21

第3章．保守・その他

3- 1．故障・トラブル等の原因と対処	23
3- 2．修理のときは	24

付録．Q & A フォーム（質問／トラブル・故障に対する相談用）	26
----------------------------------	----

本製品の使用・適用についての注意

- 【１】 本製品はP C / 1 0 4バス（８ビット）に装着して使用するものですが、コネクタの電流容量に３Ａ仕様の部品を使用することにより＋５ｖ電源ピン（計２本）の供給能力が標準規格の（１Ａ仕様×２ピン）より大きくなっています。
但し、標準規格に忠実な他社製品と組み合わせて使用するときは低能力側の仕様を採用しなければならない場合もありますので御注意ください。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システムの設計・制作に別途付加・反映させてください。 本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。 これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。 御利用の場合は同システムの設計・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第三者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。 但し、当社製ソフトウェアのソースコードを含むソフトウェアを第三者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

故障・修理・サポート方法について

- 【１】 納入後１年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品に対して無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【２】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰する故障品に対しては実費にて修理をお願いします。
- 【３】 修理は宅配便によるセンドバックで行います。 なお、運賃は互いに発送する側が負担するものとします。（無償修理の場合も含む／着払い不可。）
- 【４】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社宛に直接御相談・御用命ください。 その際は、客観情報の整理・評価を行うために必ずFAX等でレポートを御送付ください。（解決速度が格段に上ります。）
本書末尾の《Q & A フォーム》が便利です。

製品構成

本体ボード、
入出力プラグ・ヘッダ（各 1 個）、
専用スペーサ&ネジ（4 組）、
ソフトウェア（当社ホームページwww.microscience.co.jpからダウンロード）
プレーンな C サンプル、
当社製 P C I、U S B 各インターフェース上でのサンプル。

価格表

製品名	当社直販価格	製品の概要
D I O - 2 1 4 P C 1 0 4	¥ 1 5 , 0 0 0	3 2 ビット T T L 入力 + 8 ビット T T L 出力ボード
（オプション）取扱説明書	1 , 0 0 0	印刷された取扱説明書

《 言語 》 英文を御希望の場合は“英文取扱説明書”と御指定ください。（本製品は当社・日本製です。）
なお両版共、P D F ファイルは無償配布の C D R O M に格納されているほか、
当社ホームページからダウンロードもできます。/ 新製品はダウンロードのみ/
www.microscience.co.jp

《 オプション 》 オープンコレクタ出力を指定するときは製品名末尾に“ - O C ”を加筆してください。
出力素子（標準：7 4 L S 0 4 ）を 7 4 L S 0 6 に差し換えて出荷します。/ 同価格 /

第1章．導 入

1-1. 本機の仕様・概要

本ボードは入力ストローブ機能付き32ビット（8ビット×4ポート構成）TTL入力、および出力ストローブ機能付きの8ビットTTLラッチ出力のPC104バス対応デジタル入出力ボードです。各ストローブ機能はソフトウェア制御で外部機器と同期した動作ができるほか、割り込みにも使用できます。

32ビットTTL入力。（8ビット×4ポート構成、各ポートごとのストローブ付）

8ビットTTL出力（ストローブ出力付）。/ 素子交換でオープンコレクタ出力可能 /

割り込み（ジャンパ設定）：IRQ3, 4, 5, 6, 7, 9, NC

I/Oアドレス：上位12ビットをディップスイッチ設定（16ポート占有）

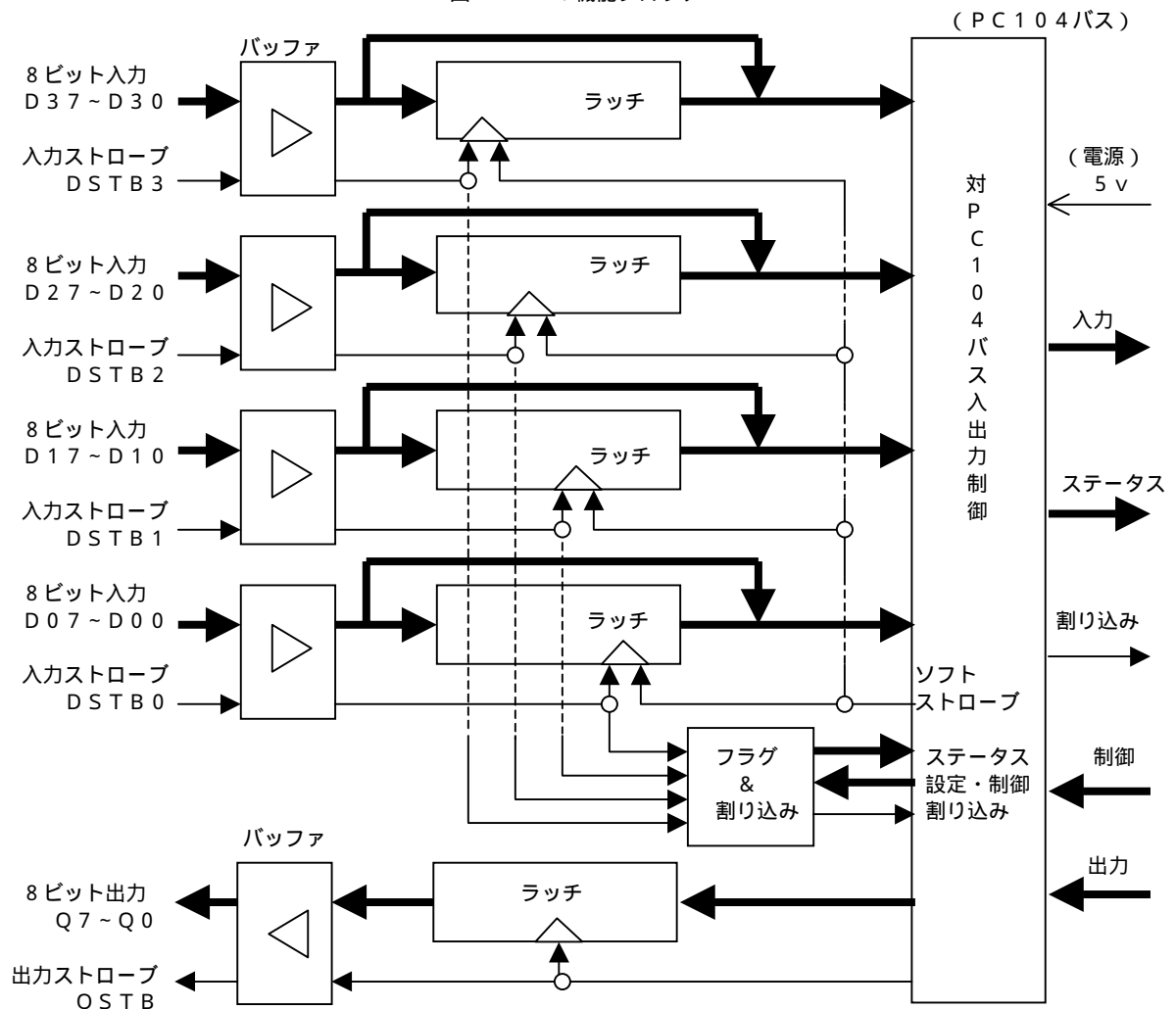
動作温度範囲：0～+55（結露しないこと）

保存温度範囲：-10～+80（" " "）

基板寸法：95.9×90.2mm（突出部を含まず）/ PC104標準サイズ /

電源・消費電流：+5V / 330mA

図1-1A. 機能ブロック



1 - 2 . 入出力信号の定義

図 1 - 2 .

信号名	記号	動作・適用
デジタル入力	D 3 7 ~ D 3 0	ポート 3 入力
" "	D 2 7 ~ D 2 0	ポート 2 入力
" "	D 1 7 ~ D 1 0	ポート 1 入力
" "	D 0 7 ~ D 0 0	ポート 0 入力
入力ストロープ	D S T B 3 ~ D S T B 0	デジタル入力更新タイミング (割り込み可)
グランド	GND	P C 1 0 4 バス側 + 5 v 電源のリターン
デジタル出力	Q 7 ~ Q 0	ポート 0 出力
出力ストロープ	Q S T B	デジタル出力更新タイミング

1 - 3 . デジタル入出力回路

全ての入力は T T L レベル・1 0 K でプルアップされています。

全てのデジタル出力も T T L レベルです。

なお、電源投入直後のデジタル出力は “ 0 ” となりますがリセット操作 (2 - 3 項) では変化しません。

図 1 - 3 A . 全てのデジタル入力

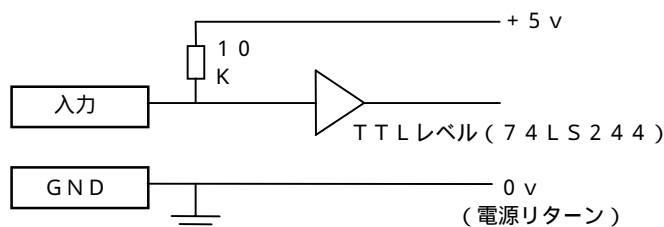
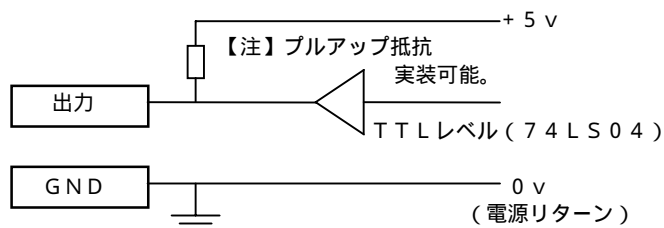


図 2 - 3 B . 全てのデジタル出力



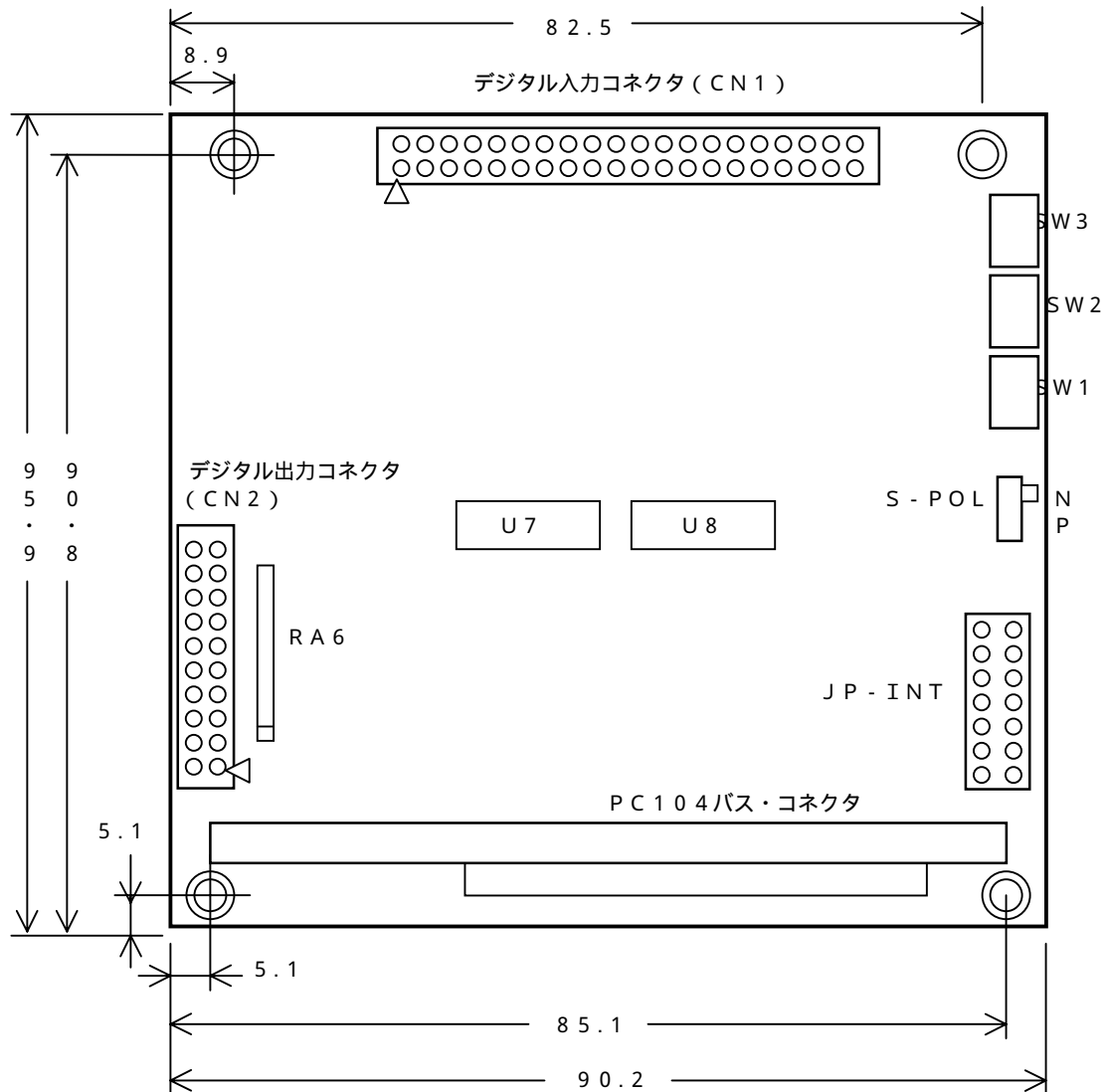
【注 1】 デジタル出力の論理はボード上のスイッチ S - P O L により任意に設定することができます。(ストロープ出力論理も同一論理になります。)

出荷時は《N》側に設定 = “ 負論理 ” で、電源投入・ハードウェアリセット直後の状態は H i g h レベル (出力 = 0) です。

【注 2】 デジタル出力 (標準 : 7 4 L S 0 4) はソケット実装なのでオープンコレクタ素子 7 4 L S 0 6 に交換可能です。 / 製品型番末尾に “ - O C ” と追記してください /

1-4. ボード上の設定

図1-4A. DIO - 214PC104ボード上の部品配置



SW1 ~ SW3 : I/Oベースアドレス設定【出荷時: 0, 1, C】 / 1 - 5項
 JP-INT : 割り込み番号選択【出荷時: NC (非接続)】 / 2 - 5項
 S-POL : 汎用デジタル出力極性選択【出荷時: N (負論理)】 / 1 - 3項

CN1 : デジタル入力コネクタ (40ピンFRC) / 1 - 6項
 CN2 : デジタル出力コネクタ (20ピンFRC) / 1 - 6項

RA6 : デジタル出力プルアップ抵抗【出荷時: 未実装】 / 1 - 3項
 U7, U8 : デジタル出力素子【出荷時: 74LS04 (ソケット)】 / 2 - 9項

1-5. I/Oベースアドレスの設定

本機の制御・操作は全てPC104バス上のハードウェアI/O空間に割り付けられます。

I/Oアドレス割り付けは使用するCPU、周辺デバイスの都合で決定・設定してください。

参考までにIBM PC/AT互換機ではパソコン本体内デバイスおよび重要な周辺機器・拡張ボードの使用するI/Oアドレスが000h～3FFhにマッピングされています。I/Oアドレス線は16ビット（AB15～AB0）ですが、全んどのIBM PC/AT互換機ではAB9～AB0のみをデコード（AB15～10を無視）しているため上位のアドレス空間1KBごとにイメージが生じることに御留意下さい。本機の出荷時設定は01C、この場合は01C0～01CFのアドレスを占有します。他のボードや周辺機器と重複しない値を御使用ください。

図1-5. I/Oベースアドレスの設定



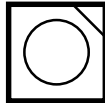
アドレス線	AB15 ~ AB12	AB11 ~ AB8	AB7 ~ AB4	AB3 ~ AB0
ディップ スイッチ SW1 ~ 3				ボード内で 複数のアドレスを使用 / 2 - 2項参照 /
出荷時設定	0	1	C	(0 ~ F)

表1-5. IBM PC/AT互換機システムの（代表的な）I/Oアドレスマップ

I/Oアドレス (hex)	本体内部デバイス、主要周辺機器	本機で運用の可否	他社の使用例、等
000 ~ 01F	DMAコントローラ1	x 不可	
020 ~ 03F	割り込みコントローラ1	x 不可	
040 ~ 05F	タイマ	x 不可	
060 ~ 06F	キーボード・コントローラ	x 不可	
070 ~ 07F	リアルタイム・クロック、NMI	x 不可	某社の本体システムで使用
080 ~ 09F	DMAページレジスタ	x 不可	
0A0 ~ 0BF	NMIマスクレジスタ	x 不可	
0C0 ~ 0DF		x 不可	DMAコントローラ2
0E0 ~ 0FF		x 不可	NDP
100 ~ 16F		【推奨】	
170 ~ 17F	IDEコントローラ2	x 不可	
180 ~ 1EF		【推奨】	
1F0 ~ 1FF	IDEコントローラ1	x 不可	
200 ~ 20F	ゲームI/O	x 不可	
210 ~ 21F	拡張ユニット	x 不可	
220 ~ 26F		【可能】	
278 ~ 27F	プリンタ2	x 不可	
280 ~ 2AF		【可能】	
2B0 ~ 2DF	EGA	x 不可	
2E1	GPIB	x 不可	
2E2 ~ 2E3	データアクイジション	x 不可	
2F8 ~ 2FF	シリアルポート2	x 不可	
300 ~ 31F	プロトタイプ・ボード	【可能】	他社の標準設定と競合し易い
320 ~ 32F	HDDコントローラ	x 不可	
360 ~ 36F	PCネットワーク	x 不可	
378 ~ 37F	プリンタ1	x 不可	
380 ~ 38F	SDLC, バイシンク2	x 不可	
390 ~ 393	クラスタ	x 不可	
3A0 ~ 3AF	バイシンク1	x 不可	
3B0 ~ 3BF	モノクロディスプレイ、プリンタ	x 不可	
3C0 ~ 3CF	EGAディスプレイ・コントローラ	x 不可	
3D0 ~ 3DF	CGAディスプレイ・コントローラ	x 不可	
3F0 ~ 3F7	FDDコントローラ	x 不可	
3F8 ~ 3FF	シリアルポート1	x 不可	

1-6. 入出力コネクタ・ピン接続

デジタル入力には40ピンFRCコネクタ、また、デジタル出力には20ピンFRCコネクタ（各々MIL標準規格2.54ピッチ）が使用されており、適合プラグ・ヘッダ（各々1個）が添付されています。

デジタル入力コネクタ

デジタル入力適合プラグ・ヘッダ型式：HIF3BA-40DA-2.54R(11)
（各ヒロセ製） 基板側型式：HIF3FC-40PA-2.54DSA

図1-6A. DIO-214PC104のデジタル入力コネクタ（CN1）ピン接続

機能	信号名	ピン番号	ピン番号	信号名	機能
ビット00入力	D00	1	2	D01	ビット01入力
ビット02入力	D02	3	4	D03	ビット03入力
ビット04入力	D04	5	6	D05	ビット05入力
ビット06入力	D06	7	8	D07	ビット07入力
ビット10入力	D10	9	10	D11	ビット11入力
ビット12入力	D12	11	12	D13	ビット13入力
ビット14入力	D14	13	14	D15	ビット15入力
ビット16入力	D16	15	16	D17	ビット17入力
ビット20入力	D20	17	18	D21	ビット21入力
ビット22入力	D22	19	20	D23	ビット23入力
ビット24入力	D24	21	22	D25	ビット25入力
ビット26入力	D26	23	24	D27	ビット27入力
ビット30入力	D30	25	26	D31	ビット31入力
ビット32入力	D32	27	28	D33	ビット33入力
ビット34入力	D34	29	30	D35	ビット35入力
ビット36入力	D36	31	32	D37	ビット37入力
グランド	GND	33	34	GND	グランド
ストローブ入力	DSTB0	35	36	DSTB1	ストローブ入力
ストローブ入力	DSTB2	37	38	DSTB3	ストローブ入力
グランド	GND	39	40	GND	グランド

【注1】本図のピン配置は部品面を上から見たものです。

【注2】各入力ビット番号の上位桁の値0, 1, 2, 3はポート番号0, 1, 2, 3を示します。

デジタル出力コネクタ

デジタル出力適合プラグ・ヘッダ型式：HIF3BA-20DA-2.54R(11)
 (各ヒロセ製) 基板側型式：HIF3FC-20PA-2.54DSA

図1-6B. デジタル出力コネクタ(CN2)ピン接続

信号名	(機能)	ピン番号	ピン番号	信号名	(機能)
Q0	ビット0出力	1	2	GND	(グラウンド)
Q1	ビット1出力	3	4	GND	(")
Q2	ビット2出力	5	6	GND	(")
Q3	ビット3出力	7	8	GND	(")
Q4	ビット4出力	9	10	GND	(")
Q5	ビット5出力	11	12	GND	(")
Q6	ビット6出力	13	14	GND	(")
Q7	ビット7出力	15	16	GND	(")
QSTB	ストロブ出力	17	18	GND	(")
+5V	電源出力	19	20	GND	(")

【注1】 各信号はTTLレベルです。(出力素子：74LS04)/ソケット実装/

【注2】 本図のピン配置は部品面を上から見たものです。

第2章 . 制御・操作

2-1. 制御・操作の手順

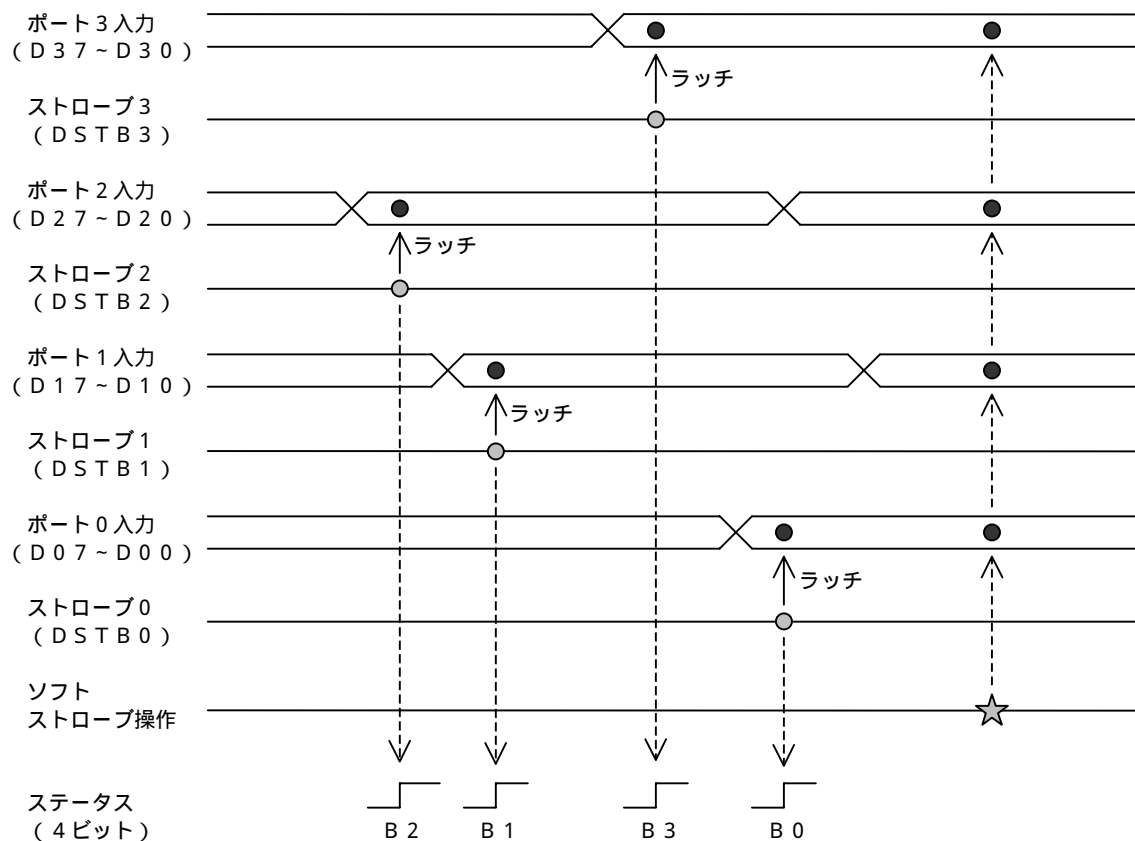
32ビット（8ビット×4ポート構成）のデジタル入力は単純に現在状態を読むバッファ入力、およびストローブ入力（ポートごとの外部入力、または全ポート同時のソフト制御）によるラッチ保存があります。各ポート用ラッチは（許可された）各ストローブ入力指定エッジで更新され、これが以後の入力命令で読み込まれます。

またストローブ入力は割り込み（複数のときはOR動作）としても利用できます。

前記のラッチ動作とは独立に別レジスタで許可された各ストローブ入力指定エッジが割り込みを発生させます。

8ビットのデジタル出力は更新時にストローブ出力を伴うラッチ動作です。当デジタル出力は電源投入時のハードウェア・リセットでクリアされた状態から始まりますが、ソフトウェア上でのリセット（2-3項）操作には反応しません。

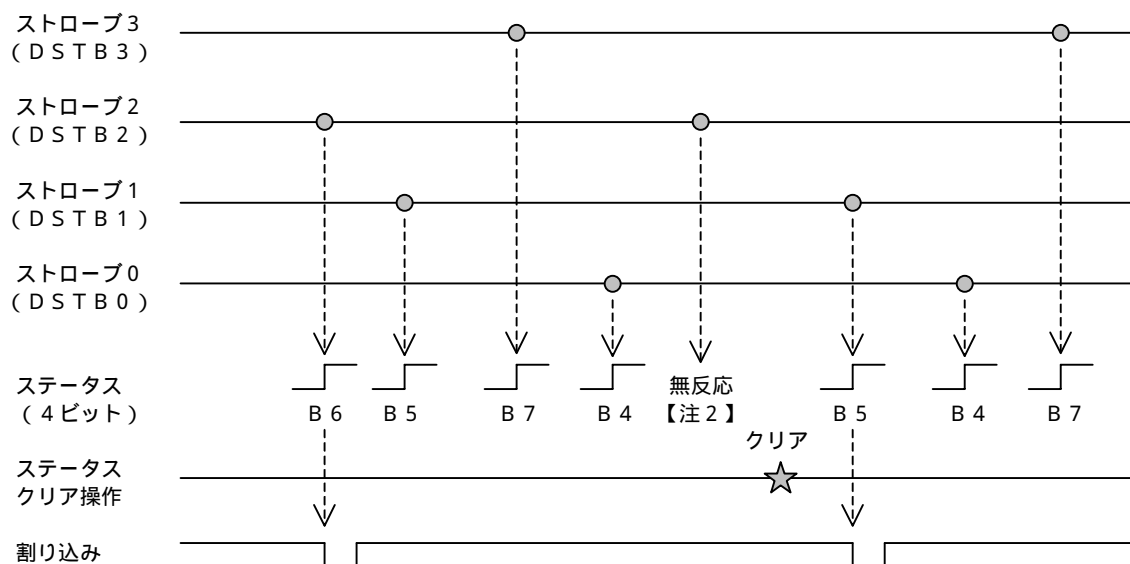
図2-1A. 全ポートのストローブ入力を許可した場合



【注1】 同ストローブ入力が繰り返し印加された場合、そのたびにラッチは更新されます。

【注2】 ソフトストローブ操作では全ポート（全32ビット入力）が同時ラッチされます。各ポートごとの外部ストローブ入力が有効なときは、どちらの効果でラッチされたデータなのか判定困難ですから、外部ストローブは全て禁止した状態で利用するのが普通でしょう。

図2-1B. (全ストローブ入力) 割り込み許可した場合

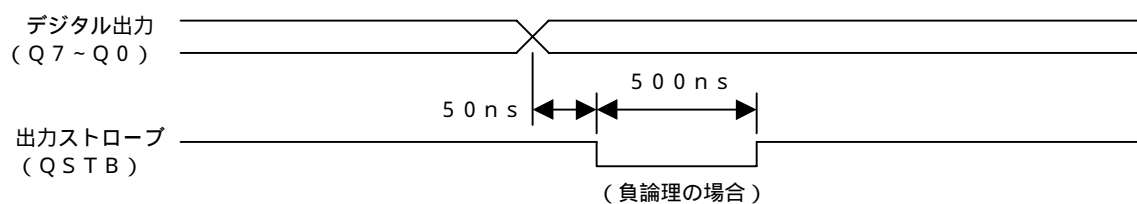


【注1】 割り込みに許可されたストローブ入力の中で一番最初に印加されたストローブ入力により発生する。(約500ns幅の負パルス)

【注2】 再度の割り込みはステータスがクリアされた後に【注1】と同条件で発生する。

【注3】 ソフトウェアストローブ操作で割り込みは発生しない。

図2-1C. デジタル出力タイミング



操作手順

入力ストローブ設定： ラッチ保存したい入力ポートに対応するストローブ入力を許可し、同時に有効極性を指定します。 / 【2 - 4 項】参照 /

```
o u t p ( BASE + 0x5 , D S T B ) ; /* ストローブ信号によるラッチ保存指定 */
```

デジタル入力操作： デジタル入力は現在値または保存値です。 / 【2 - 8 項】参照 /

```
P 3 D = i n p ( BASE + 0x3 ) ; /* (ポート3) ビットD 3 7 ~ 3 0 現在値入力 */
P 2 D = i n p ( BASE + 0x2 ) ; /* (ポート2) ビットD 2 7 ~ 2 0 現在値入力 */
P 1 D = i n p ( BASE + 0x1 ) ; /* (ポート1) ビットD 1 7 ~ 1 0 現在値入力 */
P 0 D = i n p ( BASE + 0x0 ) ; /* (ポート0) ビットD 0 7 ~ 0 0 現在値入力 */
```

```
P 3 D = i n p ( BASE + 0xB ) ; /* (ポート3) ビットD 3 7 ~ 3 0 保存値入力 */
P 2 D = i n p ( BASE + 0xA ) ; /* (ポート2) ビットD 2 7 ~ 2 0 保存値入力 */
P 1 D = i n p ( BASE + 0x9 ) ; /* (ポート1) ビットD 1 7 ~ 1 0 保存値入力 */
P 0 D = i n p ( BASE + 0x8 ) ; /* (ポート0) ビットD 0 7 ~ 0 0 保存値入力 */
```

デジタル出力操作： デジタル出力は即時更新ラッチ出力です。 / 【2 - 9 項】参照 /

```
o u t p ( BASE + 0x0 , P 0 Q ) ; /* デジタル(ラッチ)出力 */
```

割り込み設定： (ストローブごとに) 割り込み許可、極性指定です。 / 【2 - 5 項】参照 /

```
o u t p ( BASE + 0x7 , i c c ) ; /* 割り込み制御 */
```

以下、割り込み待ち状態です。

ポーリングの場合； 全割り込み禁止、または実際の割り込み接続 J P - I N T を N C と
して、ステータスをポーリングします。 / 【2 - 7 項】 /

```
while ((inp(BASE + 0x4) & 0xFF) == 0x00) ; /* フラグ検出 */
```

検出したらループを抜けます。

2-2. 制御レジスタ I/O アドレス・マップ

表 2 - 2 に本ボード上の各制御レジスタ I/O アドレスを記します。

表中の【BASE】はボード上のスイッチ SW 1 ~ 3 で設定された I/O ベースアドレス値です。

表 2 - 2. 各制御レジスタ I/O アドレス・マップ

I/O アドレス	IN/OUT	ポート / レジスタ名、機能	記載項
【BASE】 + B	IN	デジタル入力 D 3 7 ~ D 3 0 の保存値 (ポート 3)	【2 - 8】
	OUT		
【BASE】 + A	IN	デジタル入力 D 2 7 ~ D 2 0 の保存値 (ポート 2)	【2 - 8】
	OUT		
【BASE】 + 9	IN	デジタル入力 D 1 7 ~ D 1 0 の保存値 (ポート 1)	【2 - 8】
	OUT		
【BASE】 + 8	IN	デジタル入力 D 0 7 ~ D 0 0 の保存値 (ポート 0)	【2 - 8】
	OUT		
【BASE】 + 7	IN	ソフトウェア・リセット、ID 取得	【2 - 3】
	OUT	割り込み制御 (許可 / 禁止 & 極性指定)	【2 - 5】
【BASE】 + 6	IN	ソフトウェア ストローブ 操作	【2 - 6】
	OUT		
【BASE】 + 5	IN		
	OUT	入力 ストローブ 制御 (許可 / 禁止 & 極性指定)	【2 - 4】
【BASE】 + 4	IN	ステータス 取得	【2 - 7】
	OUT	ステータス・クリア	【2 - 7】
【BASE】 + 3	IN	デジタル入力 D 3 7 ~ D 3 0 の現在値 (ポート 3)	【2 - 8】
	OUT		
【BASE】 + 2	IN	デジタル入力 D 2 7 ~ D 2 0 の現在値 (ポート 2)	【2 - 8】
	OUT		
【BASE】 + 1	IN	デジタル入力 D 1 7 ~ D 1 0 の現在値 (ポート 1)	【2 - 8】
	OUT		
【BASE】 + 0	IN	デジタル入力 D 0 7 ~ D 0 0 の現在値 (ポート 0)	【2 - 8】
	OUT	デジタル出力 Q 7 ~ Q 0	【2 - 9】

【読み (IN) / 書き (OUT)】は CPU 側から見た方向。

全てのポートは 1 バイト。

2-3. ボード制御部リセット

```
rst = inp (BASE + 0x7) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ (rst = 25) はボードIDです。 当操作は電源ON、またはパソコン本体のハードウェアリセットと同等の機能ですが、8BITデジタル(ラッチ)出力だけは変化せずに保持されます。

各制御レジスタをクリアする。

入力ラッチ、およびボードステータスをクリアする。

なお、

8BITデジタル(ラッチ)出力は変化せずに保持される。

表 2 - 3 . 【BASE + 7 H】入力ポートの構成

ビット	各ビットの機能・意味
B 7	D I O - 2 1 4 P C 1 0 4 の ボー ド I D = 2 5 H
B 6	
B 5	
B 4	
B 3	
B 2	
B 1	
B 0	

2-4. 入力ストローブ制御

o u t p (BASE + 0x5 , D S T B) ; /* ストローブ信号によるラッチ保存動作設定 */

各入力ポートごとにストローブ入力信号によるラッチ・保存動作を許可・禁止、また有効極性を指定します。

許可されたストローブ信号は対応ポート入力をラッチ保存するタイミングとなります。

表 2 - 4 B . 【BASE + 5 H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	入力ストローブ 3 (D S T B 3) の有効極性	立上り ()	立下り ()	0
B 6	" 2 (D S T B 2) "	"	"	0
B 5	" 1 (D S T B 1) "	"	"	0
B 4	" 0 (D S T B 0) "	"	"	0
B 3	入力ストローブ 3 (D S T B 3) の使用	許可	禁止	0
B 2	" 2 (D S T B 2) "	"	"	0
B 1	" 1 (D S T B 1) "	"	"	0
B 0	" 0 (D S T B 0) "	"	"	0

2-5. 割り込み制御

```
outp (BASE+0x7, icc); /* 割り込み制御 */
```

ストローブ入力信号による割り込み発信の許可 / 禁止、有効極性を設定します。

許可された割り込み源はOR動作となります。

割り込みの発生時には同時に、原因となったストローブ入力に対応するステータスビット（後2-7項）がセットされますが、これをクリアしなければ再度の割り込みは発生しません。

表2-5A. 【BASE+7H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	入力ストローブ3 (DSTB3) の有効極性	立上り ()	立下り ()	0
B 6	" 2 (DSTB2) "	"	"	0
B 5	" 1 (DSTB1) "	"	"	0
B 4	" 0 (DSTB0) "	"	"	0
B 3	入力ストローブ3 (DSTB3) で割り込み	許可	禁止	0
B 2	" 2 (DSTB2) "	"	"	0
B 1	" 1 (DSTB1) "	"	"	0
B 0	" 0 (DSTB0) "	"	"	0

割り込みレベル

PC104バスの割り込みレベル / 本ボードで使用する可否を表2-5Bに記します。使用するときはボード上のジャンパJP-INTで設定します。

表2-5B. PC104バスの割り込みレベル、使用例

割り込みレベル	本ボードで使用する可否	DOS / V互換機での典型的な割り当て例
IRQ 0	×	タイマ
IRQ 1	×	キーボード
IRQ 2	×	(コントローラ2からカスケード)
IRQ 3	(ジャンパ接続可能)	シリアルポート2
IRQ 4	(ジャンパ接続可能)	シリアルポート1 (本体標準RS-232C)
IRQ 5	(ジャンパ接続可能)	パラレルポート2
IRQ 6	(ジャンパ接続可能)	フロッピーディスク・コントローラ (本体標準)
IRQ 7	(ジャンパ接続可能)	パラレルポート1 (本体標準プリンタ)
IRQ 9	(ジャンパ接続可能)	ソフトウェア割り込み
IRQ10 (A)	×	予約
IRQ11 (B)	×	予約
IRQ12 (C)	×	予約
IRQ13 (D)	×	数値演算コプロセッサ
IRQ14 (E)	×	ハードディスク・コントローラ (本体標準)
IRQ15 (F)	×	予約

割り込み信号

本ボードからPC104バス上への割り込み要求信号はtyp500nsの負パルスです。

2-6. ソフトウェア・ストローク

```
stb = inp (BASE + 0x6) ; /* ソフトウェア・ストローク操作 */
```

当操作（入力命令）により全32ビット入力が同時にラッチされます。
入力データには意味が無く、I/O制御信号がタイミングに使用されます。

なお外部からのストローク入力を許可した状態のときは、どちらが最終の更新要因なのか判別できませんから、一般的には外部からの入力ストローク（DSTB0～DSTB3）を全て禁止した状態で使用します。

2-7. ステータス取得、クリア

```
s t s = i n p ( B A S E + 0 x 4 ) ; /* ステータス取得 */
```

(2-4項で)ラッチ・保存動作に、また(2-5項で)割り込み源として許可・設定されたストローブ信号が入力されると対応するステータスビットがセット(=1)されます。

なお許可された任意のストローブ入力による割り込みが発生した場合、これをクリアするまでは、別の許可されているストローブ入力も含めて再度の割り込みは発生しません。

表2-7A. 【BASE + 4H】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	割り込みを許可されたストローブ入力 3	入力有	入力無	0
B 6	" " " 2	"	"	0
B 5	" " " 1	"	"	0
B 4	" " " 0	"	"	0
B 3	保存動作を許可されたストローブ入力 3	入力有	入力無	0
B 2	" " " 2	"	"	0
B 1	" " " 1	"	"	0
B 0	" " " 0	"	"	0

```
o u t p ( B A S E + 0 x 4 , c l r ) ; /* ステータスクリア */
```

表2-7B. 【BASE + 4H】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7	ストローブ入力 3 による割り込み発生フラグ	クリアする	クリアしない
B 6	" 2 " "	"	"
B 5	" 1 " "	"	"
B 4	" 0 " "	"	"
B 3	ストローブ入力 3 による保存動作発生フラグ	"	"
B 2	" 2 " "	"	"
B 1	" 1 " "	"	"
B 0	" 0 " "	"	"

2 - 8 . 入力データ取得

現在値バッファ入力

```

P 3 D = i n p ( BASE + 0 x 3 ) ; /* ( ポート 3 ) ビット D 3 7 ~ 3 0 入力 */
P 2 D = i n p ( BASE + 0 x 2 ) ; /* ( ポート 2 ) ビット D 2 7 ~ 2 0 入力 */
P 1 D = i n p ( BASE + 0 x 1 ) ; /* ( ポート 1 ) ビット D 1 7 ~ 1 0 入力 */
P 0 D = i n p ( BASE + 0 x 0 ) ; /* ( ポート 0 ) ビット D 0 7 ~ 0 0 入力 */

```

入力端の現在状態が読み込まれます。

表 2 - 8 A . 現在値バッファ入力ポートの構成

ビット	【BASE + 0 H】	【BASE + 1 H】	【BASE + 2 H】	【BASE + 3 H】
B 7	D 0 7 入力	D 1 7 入力	D 2 7 入力	D 3 7 入力
B 6	D 0 6 "	D 1 6 "	D 2 6 "	D 3 6 "
B 5	D 0 5 "	D 1 5 "	D 2 5 "	D 3 5 "
B 4	D 0 4 "	D 1 4 "	D 2 4 "	D 3 4 "
B 3	D 0 3 "	D 1 3 "	D 2 3 "	D 3 3 "
B 2	D 0 2 "	D 1 2 "	D 2 2 "	D 3 2 "
B 1	D 0 1 "	D 1 1 "	D 2 1 "	D 3 1 "
B 0	D 0 0 "	D 1 0 "	D 2 0 "	D 3 0 "

ラッチ保存入力

```

P 3 D = i n p ( BASE + 0 x B ) ; /* ( ポート 3 ) ビット D 3 7 ~ 3 0 入力 */
P 2 D = i n p ( BASE + 0 x A ) ; /* ( ポート 2 ) ビット D 2 7 ~ 2 0 入力 */
P 1 D = i n p ( BASE + 0 x 9 ) ; /* ( ポート 1 ) ビット D 1 7 ~ 1 0 入力 */
P 0 D = i n p ( BASE + 0 x 8 ) ; /* ( ポート 0 ) ビット D 0 7 ~ 0 0 入力 */

```

(許可されたストロブ入力による) 最終保存データが各ポート専用ラッチから読み込まれます。

表 2 - 8 B . ラッチ保存入力ポートの構成

ビット	【BASE + 8 H】	【BASE + 9 H】	【BASE + A H】	【BASE + B H】
B 7	D 0 7 入力	D 1 7 入力	D 2 7 入力	D 3 7 入力
B 6	D 0 6 "	D 1 6 "	D 2 6 "	D 3 6 "
B 5	D 0 5 "	D 1 5 "	D 2 5 "	D 3 5 "
B 4	D 0 4 "	D 1 4 "	D 2 4 "	D 3 4 "
B 3	D 0 3 "	D 1 3 "	D 2 3 "	D 3 3 "
B 2	D 0 2 "	D 1 2 "	D 2 2 "	D 3 2 "
B 1	D 0 1 "	D 1 1 "	D 2 1 "	D 3 1 "
B 0	D 0 0 "	D 1 0 "	D 2 0 "	D 3 0 "

【注】 ストロブ入力用ラッチは電源投入時のハードウェアリセット、およびソフトウェア・リセット操作(2 - 3 項)によりクリアされます。

2-9. デジタル出力

o u t p (BASE+0x0, P0Q); /* デジタル (ラッチ) 出力 */

8ビットTTLレベル (出力素子=74LS04) です。
同一論理のストローブ出力と共に更新出力されます。

表 2 - 9 . 【BASE + 0 H】出力ポートの構成

ビット	各ビットの機能・意味	リセット時
B 7	デジタル出力 Q 7 (ラッチ出力)	【注 1】 【注 2】 【注 3】
B 6	デジタル出力 Q 6 (" ")	
B 5	デジタル出力 Q 5 (" ")	
B 4	デジタル出力 Q 4 (" ")	
B 3	デジタル出力 Q 3 (" ")	
B 2	デジタル出力 Q 2 (" ")	
B 1	デジタル出力 Q 1 (" ")	
B 0	デジタル出力 Q 0 (" ")	

【注 1】 電源投入、またはハードウェアリセット直後の汎用デジタル出力は“ 0 ”ですが、ソフト的な制御部リセット操作 (2 - 3 項) ではクリアされません。

【注 2】 デジタル出力の論理はボード上のスイッチ **S - P O L** により任意に設定することができます。(ストローブ出力論理も同一論理になります。)

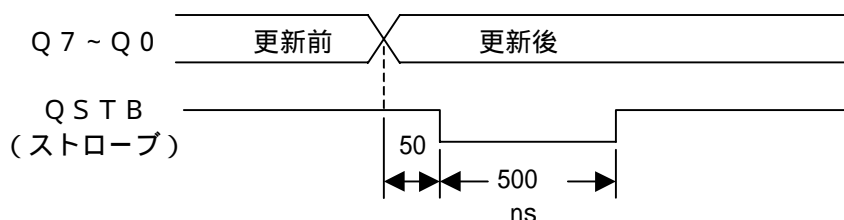
出荷時は《N》側に設定 = “ 負論理 ” で、電源投入・ハードウェアリセット直後の状態は **H i g h** レベル (出力 = 0) です。

【注 3】 デジタル出力 (標準: 74LS04) はソケット実装なのでオープンコレクタ素子 74LS06 に交換可能です。 / 製品型番末尾に “ - O C ” と追記してください /

ストローブ出力

デジタル出力の更新出力時には 500 n s 幅のストローブパルスも出力されます。 当パルス出力の論理、レベルもデジタル出力自体と同様にスイッチ **S - P O L**、出力素子に依存します。

図 2 - 9 . 汎用デジタル出力タイミング



第3章．保守・その他

3-1. 故障・トラブル等の原因と対処

本機は全数検査のうえ出荷されています。

動作に不具合があるときは以下の諸点を再点検してください。

それでも不明なときは巻末の【Q & A フォーム】にシステム構成（特に外部機器の接続）等の動作条件を御記入のうえ、技術部宛 F A X してください。

迅速に応答する体制となっています。なお T E L いただく場合も、客観情報の整理・評価は問題解決のスピードアップに有効ですから事前に【Q & A フォーム】を F A X してください。

再点検・確認ポイント

- | | |
|------------------|---|
| (1) I / O アドレス | I B M P C / A T 互換機の規定範囲か？（同システム利用の場合）
他のボードと重複していないか？ |
| (2) 割り込みレベル | 他のボードと重複していないか？（ 2 - 5 項） |
| (3) 出力レベル・論理 | 汎用出力素子、および論理設定スイッチ S - P O L。（ 1 - 3 項） |

動作確認方法

当社では原則として、ユーザ作成のソフトウェアについては評価しません。動作確認は本製品添付の当社製サンプルプログラムの実行結果について推測・適否・判定を行います。

Q A リクエスト時には当プログラムの実行結果をレポートしてください。

3-2. 修理のときは

入手経路の如何にかかわらず当社宛に直接お申しつけください。 商社等を経由されますと時間がかかるだけでなく、情報交換の不便、費用の面でも不利になります。 なお当社では修理依頼を受けた製品が検査の結果、良品と判定された場合は（保証期間内でも）手数料を申し受けます。

特に最初からの不具合には誤解や情報不足によることが多いので、事前に御相談ください。

【Q & A フォーム】が便利です。

無償修理

納入後 1 年以内の自然故障、および当社製造上の問題に起因した故障に対しては無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。

なお当社では保証書を発行していませんが、社内では製造番号と出荷年月日の記録を基に判定しています。

有償修理

落雷等の自然現象、漏電・過電圧印加・機械的破損・その他、ユーザ側の責に帰する故障品、または納入後 1 年間を経過した製品の自然故障に対しては実費・有償にて修理をお願いします。 性格上、事前見積もりは不可能ですが、制限額を事前通知いただければ、作業過程で制限を超えそうな見通しがたった時点で連絡・相談させていただきます。

受け渡し : 宅配便によるセンドバックで行います。

修理期間 : 全んどの場合、当社内で 24 時間以内に完了・返送しています。時間を要する場合は御連絡いたします。

費用の目安 : 修理費用は事務管理手数料、技術者の所要時間（1 時間単位）手数料、および交換部品代の合計です。 2001 年 12 月現在（時勢により変動します）では

事務管理手数料（1 件当り、返送運賃含）：＝ ¥ 4,000

修理時間手数料：＝（時間単価 ¥ 6,000）× 所要時間

交換部品代 : ＝ ¥ 実費

故障経緯、システム客観情報の添付は時間の節約・コストダウンに有効です。

なお本ボードの価格（¥ 15,000）は上記最低修理費用（¥ 10,000）との差が少ないことに御注意ください。

【注】 当社製品に対してユーザが改造を行った場合は、当社サポートの対象外になります。 改造とは製品に新たな部品を追加実装、または実装部品を削除したり、回路パターン・接続に変更を加えることです。 なお、当社がオプションとして供給、または指定した部品の追加実装・交換はこの限りではありません。

マイクロサイエンス（株）行

FAX : 03 (3301) 5593

Q & A フォーム

発信： 年 月 日 / 時 分

製品名	DIO-214PC104		購入時期	年	月	
ボード上の 設定、 使用状況	SW1 = SW2 = SW3 =	S - POL : JP - INT :				
その他						
I / O、 周辺状況	同時使用の 他ボード		I / Oアドレス 割り込み、等			
本体 システム	CPU					
	本体メモリ					
	OS	()				
ソフト	言語		コンパイラ		(v r)	
	プログラム名					
(動作状況)						

《 60分以内に応答のないときはお叱りください。》 TEL : 03 (3396) 8377

御使用者			(所属部・課)
団体名			
TEL			(所在地)
FAX			