

*Real Solution for FA/LA*



12bit / 8ch ADM - 680xPCI  
12bit / 16ch ADM - 682 PCI

## 取扱い説明書

対応パソコン  
IBM PC / AT互換機  
(PCI - bus)

## マイクロサイエンス(株)

〒167-0042 東京都杉並区西荻北2丁目37番12号

TEL 03(3396)8362 代表

FAX 03(3301)5593

Email: welcome@microscience.co.jp

---

Jun 02, 2004

## 目 次

使用・適用上の注意	4
本製品の仕様一覧	5
本製品の構成・価格表	6

### 第 1 章．導入・試運転

1-1. 本製品の概要	7
1-2. ボード上の設定	8
1-3. 入出力コネクタ・ピン接続	10
1-4. 入出力接続オプション	13
1-5. ボードのインストール	16
1-6. 動作確認・試運転	21

### 第 2 章．信号入出力

2-1. アナログ入力回路	23
2-2. アナログ入力範囲	24
2-3. アナログ入力特性（誤差・ドリフト・雑音・保護対策）	26
2-4. （同時サンプル用）外部サンプルホールド制御	27
2-5. デジタル入出力回路	28

### 第 3 章．制御・操作

3- 1. A D サンプリング動作・トリガ動作の様子	29
3- 2. F I F O バッファメモリの構造・動作	32
3- 3. 制御レジスタ I / O アドレス・マップ	34
3- 4. ボード・リセット（初期化）、認識	35
3- 5. A D データコード指定	36
3- 6. サンプリング・チャンネル数の設定	37
3- 7. クロック源の選択	38
3- 8. (クロック源)分周比の設定	39
3- 9. 内部(アナログ)トリガレベルの設定	40
3-10. トリガモードの設定（含ソフトトリガ実行）	42
3-11. マニュアル( 1 回)サンプリング実行	45
3-12. ステータスデータの取得・クリア	46
3-13. A D データの読み出し	48
3-14. 割り込み制御	50
3-15. 割り込み要求信号クリア	51
3-16. マスタスレーブ動作（複数ボードの同期運転）	52
3-17. 汎用デジタル入出力	54
3-18. 外付・同時サンプルホールド制御	55

#### 第4章．ソフトウェア

4-1. ソフトウェアのインストール	57
4-2. W I N D O W Sドライバについて	60
4-3. リソース情報取得ライブラリ	61
4-4. 割り込みについて	64
4-5. Q u i c k - B a s i cサンプル	65
4-6. Cのサンプル	67
4-7. A Dデータ収集・解析 L a B D A Q	---- (オプションソフト) ---- 68

#### 第5章．D O Sハンドラ ----- 73

#### 第6章．W I N D O W Sハンドラ

6-1. システム構成・ソフトウェア構成	75
6-2. サンプリングの様子とデータバッファ構造	76
6-3. 使用準備	78
6-4. 関数仕様・エラーコード	79

#### 第7章．保守・その他

7-1. 故障・トラブル等の原因と対処	89
7-2. 修理のときは	91
7-3. アナログ入力範囲の再調整	92
7-4. 外部制御信号・タイミング等	94

付録． Q & A フォーム (質問 / トラブル・故障に対する相談用)	----- 96
--------------------------------------	----------

#### ADM - 6 8 0 x / 6 8 1 / 6 8 2 / 6 8 6 / 6 8 7 A P C I の相違点。

制御アルゴリズムは同一なので添付ドライバ間には高い互換性があります。  
 主要な仕様ではアナログ入力数・分解能・サンプリング速度（スキャン速度）が異なります。  
 ADM - 6 8 0 x / 6 8 1 P C I だけは各 ch 毎に専用の入力端バッファが配置されています。

項目	ADM-681PCI	ADM-680xPCI	ADM-682PCI	ADM-686zPCI	ADM-687zPCI
アナログ入力数	16 / 差動 8	8 / 差動無	16 / 差動 8	16 / 差動 8	32 / 差動無
A D 分解能	14 ビット	12 ビット	12 ビット	16 ビット	16 ビット
最高速度 (単 ch)	1 $\mu$ s	4 $\mu$ s	4 $\mu$ s	5 $\mu$ s	5 $\mu$ s
最高速度 (複 ch)	1 $\mu$ s / ch	4 $\mu$ s / ch	8 $\mu$ s / ch	5 $\mu$ s / ch	5 $\mu$ s / ch

ADM - 6 8 0 x P C I と ADM - 6 8 2 P C I は制御コード互換、ソフト的に配慮が必要な相違点はボード I D、チャンネル数、入力範囲 (ADM - 6 8 0 x P C I はバイポーラのみ)、および最高サンプリング速度のみです。

## 本製品の使用・適用についての注意

- 【１】 本製品はIBMPC/AT互換機のPCIバス拡張I/Oスロット、またはPCIバス拡張I/Oボックスに装着して使用するものです。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システムの設計・制作に別途付加・反映させてください。 本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。 これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。  
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。 御利用の場合は同システムの設計・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第三者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。 但し、当社製ソフトウェアのソースコードを含むソフトウェアを第三者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

## 故障・修理・サポート方法について

- 【１】 納入後１年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品に対して無償修理を行います。 但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【２】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰する故障品に対しては実費にて修理をお願いします。
- 【３】 修理は宅配便によるセンドバックで行います。 なお、運賃は互いに発送する側が負担するものとします。（無償修理の場合も含む／着払い不可。）
- 【４】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社宛に直接御相談・御用命ください。 その際は、客観情報の整理・評価を行うために必ずFAX等でレポートを御送付ください。（解決速度が格段に上ります。）  
本書末尾の《Q&Aフォーム》が便利です。

## 本機の仕様一覧

### アナログ入力部

項 目	ADM - 680 x P C I	ADM - 682 P C I
入力数・信号形式	8 c h シングルエンド（普通の 2 線式）、 差動入力なし。	16 c h シングルエンド（普通の 2 線式）、 または 8 c h 差動入力
入力範囲 （スイッチ選択）	$\pm 10 \text{ V} / \pm 5 \text{ V} / \pm 2.5 \text{ V} /$	$\pm 10 \text{ V} / \pm 5 \text{ V} / \pm 2.5 \text{ V} /$ $0 \sim +10 \text{ V} / 0 \sim +5 \text{ V}$
電流入力	各チャンネルごとの終端抵抗（出荷時 10 M $\Omega$ ）を交換することによって対応可能。	
入力インピーダンス	各チャンネルごとに 10 M $\Omega$ の終端抵抗を標準実装。（外せば 100 M $\Omega$ 以上）	
C M R R      t y p		65 d B（差動入力のあるとき）
クロストーク    t y p	-72 d B（各信号源インピーダンス 50 $\Omega$ 、接続ケーブル長 1 m で隣接チャンネル間）	

### A/D変換部

項 目	ADM - 680 x P C I	ADM - 682 P C I
分解能	12 ビット	同左
単 c h サンプルング速度	4 $\mu \text{s}$ （256 K H z）	同左
複 c h サンプルング速度	4 x（実行 c h 数） $\mu \text{s}$	8 x（実行 c h 数） $\mu \text{s}$
非直線性	$\pm 0.025 \% \text{ F S}$	同左
校正限度【注 1】	$\pm 0.093 \% \text{ F S}$	$\pm 0.078 \% \text{ F S}$
正確度 1【注 2】	$\pm 0.105 \% \text{ F S}$	$\pm 0.090 \% \text{ F S}$
正確度 2【注 3】	$\pm 0.172 \% \text{ F S}$	$\pm 0.110 \% \text{ F S}$
内部雑音【注 4】 t y p	$\pm 1 \text{ L S B}$	同左
温度ドリフト      t y p	$\pm 25 \text{ ppm} /$	同左
A/Dデータ・コード	バイナリ、または 2 の補数（ソフト指定）	同左

- 【注 1】誤差 = 0 の理想信号源で校正したときに可能な正確度（非直線性に調整操作の誤差  $\pm 1$  デジットを加味した値。）  
【注 2】常温で製造時調整 A モード  $\pm 10 \text{ V}$  範囲のとき。（校正測定器誤差 0.015 % を含み、内部雑音を含まず。）  
【注 3】常温で製造時調整 A モード  $\pm 10 \text{ V}$  範囲以外のとき。（校正測定器誤差 0.015 % を含み、内部雑音を含まず。）  
【注 4】当社内製造・検査システムにて。

### 制御部・その他（両機共通）

項 目	ADM - 680 x / 682 P C I
クロック	クロック源：内部 10 M H z / 内部 8.192 M H z / 外部 T T L 入力 分周機能   ：32 B I T プログラムブルカウンタ（バイナリ）
トリガ （サンプル開始）	内部トリガ： プログラム上からの即トリガ、 アナログ入力（先頭チャンネル）の指定エッジ、レベル、またはレンジ。 外部トリガ： 外部 T T L 入力の指定エッジ、またはレベル
バッファメモリ	標準 1024 語 F I F O メモリ（オプションで 8 K / 1 M / 8 M / 32 M 語に増設可能）
A/Dデータ転送	ブロック転送：通常、F I F O の H A L F - F U L L フラグを利用して容量の半分単位で行う。 通常 I N 命令：2 バイト（上位・下位）に分割して連続読み込み。
マスタスレーブ動作	マスタのクロック出力をスレーブのクロック源入力に接続することにより可能。
割り込み （要リソース取得）	割り込み要因： 1 回サンプル・スキャン終了、      トリガ発生、 サンプル・クロック、      外部 T T L 入力の指定エッジ、 F I F O メモリの E M P T Y 解消、      同 H A L F - F U L L フラグ。
汎用デジタル入力	1 ビット T T L 入力 /（ADM-680 x P C I に限り 4 ビット）
汎用デジタル出力	1 ビット T T L またはオープンコレクタ出力 /（ADM-680 x P C I に限り 4 ビット）
I/O アドレス	組み込み対象システムのプラグアンドプレイ機能により（連続した）16 アドレス占有。
基板寸法	P C I ショートサイズ（174.3 mm）x（98.4 mm）/ 突出部を含まず。
動作環境	周囲温度：0 $\sim$ +40（結露しないこと）、保存温度：-10 $\sim$ +80（結露しないこと）
付属品	入出力プラグ、C D R O M、    印刷された取扱説明書 + 回路図 = 取説セットは別売（ $\yen 2000$ ）
電源消費（5 V）	0.9 A

《P C I 拡張ボックス》 P C I to P C I ブリッジに対応したパソコンとの組み合わせで利用可能。

# 製品構成

本体ADボード、 入出力プラグ（１組）  
 C D R O M（添付ソフト、取扱説明書P D Fファイル）  
 W I N D O W S 9 x / M E / / 2000 / X P用の制御関数ライブラリ / ドライバ、  
 W I N D O W S用ADデータ収集ソフト（データ数8 K語機能制限版）  
 （以下はオプション）  
 印刷された取扱説明書（P D FファイルはW E Bからも入手可能）、回路図。

# 価格表

（消費税は含まれていません。）

/ 2 0 0 4 年 5 月 /

製品名	価格¥	製品の概要
<b>ADM - 6 8 0 x P C I</b>	4 9 , 8 0 0	1 2 ビット / 8（差動無）チャンネルF I F Oメモリ付ADボード
<b>ADM - 6 8 2 P C I</b>	6 9 , 0 0 0	1 2 ビット / 1 6（差動8）チャンネルF I F Oメモリ付ADボード
（以下、オプション）		
<b>ADM - ??? 取説セット</b>	2 , 0 0 0	印刷された取扱説明書 + 回路図
<b>DS 3 7 S - 1 5 0</b>	7 , 5 0 0	外付アナログ用1.5 mケーブル（片方：プラグ / 他方：バラ）
<b>CBNC - 0 4</b>	8 , 0 0 0	外付 4 c hアナログBNC接続ボード（アナログ入力コネクタ直結型）
<b>CBOX - 0 1 4 - 8</b>	2 9 , 0 0 0	外付 8 c hアナログBNC & デジタル接続箱（CBOX-204の機能を含む）
<b>CBOX - 0 1 4 - 1 6</b>	3 4 , 0 0 0	外付16 c hアナログBNC & デジタル接続箱（CBOX-204の機能を含む）
<b>CBOX - 2 0 4</b>	1 8 , 0 0 0	外付デジタル信号のみ接続箱 / 制御信号はBNC（対ボードケーブル付）
<b>CBRD - 0 2 4 K I T</b>	2 3 , 0 0 0	外付16 c hアナログ入力端子台ボード（対ボードケーブル付）
<b>CTML - 3 7</b>	8 , 0 0 0	外付16 c hアナログ入力端子台ボード（アナログ入力コネクタ直結型）
<b>SHU - 5 1 6 B R D</b>	9 5 , 0 0 0	外付16 c h同時サンプルボード（対ボードケーブル付）基板のみ
<b>SHU - 5 1 6 BOX</b>	1 3 5 , 0 0 0	外付16 c h同時サンプルボード（対ボードケーブル付）BNC箱入
<b>A I U - 3 0 4 B R D</b>	2 6 , 0 0 0	外付 4 c h絶縁センサアンプ（5 Bシリーズ）用バックプレーン
<b>P B 0 5</b>	3 2 , 0 0 0	外付 8 c h絶縁センサアンプ（5 Bシリーズ）用バックプレーン
<b>P B 0 1</b>	4 4 , 0 0 0	外付16 c h絶縁センサアンプ（5 Bシリーズ）用バックプレーン
<b>SC 3 7 1 6</b>	8 , 0 0 0	外付・対P B 0 5・P B 0 1接続1 mケーブル
<b>AXADM - 6 8 X</b>	1 6 , 0 0 0	AD入力Active X（ADM - 6 8 0 P C Iには未対応）
<b>Kuzira -</b>	各3 6 , 0 0 0	Linuxドライバ（：P C Iボード番号）、Rev 2.4 x
<b>EX LOG - 6 X X</b>	2 4 , 0 0 0	EXCEL直接入力ADデータ収集ソフト（M C I社製） / ~ X P版
<b>LaBDAQ - AQ</b>	無償配布	ADデータ収集ソフト（松山アドバンス社製） / 9 8 ~ X P版
<b>LaBDAQ - PRO</b>	7 8 , 0 0 0	ADデータ収集・解析ソフト（松山アドバンス社製） / 9 8 ~ X P版

《 取説セット 》 印刷された取扱説明書 + 回路図は有償です。（¥ 2 0 0 0）  
 が、同一内容の取説P D Fファイルと添付ソフトを格納したC D R O Mは無償配布しており、また  
 取説P D Fファイルは当社ホームページから無償ダウンロードすることができます。  
[www.microscience.co.jp](http://www.microscience.co.jp)

《 メモリ増設 》 該当容量のF I F Oメモリ素子に交換して出荷します。（標準1 K語搭載、普通はこれで充分）  
 本体製品型名の末尾にF I F Oメモリ容量を示す枝番を付してください。

選択枝番： - 8 K W（8 K語分 / ¥ 1 0 , 0 0 0加算）  
 - 1 M W（1 M語分 / ¥ 2 2 , 0 0 0加算）  
 - 8 M W（8 M語分 / ¥ 2 7 , 0 0 0加算）  
 - 3 2 M W（3 2 M語分 / ¥ 3 8 , 0 0 0加算）

## 第1章．導入・試運転

### 1-1. 本機の概要

本ボードは効率のよい高速ブロックI/O転送命令も利用できるFIFOメモリを搭載しており、指定された条件（クロック・トリガ・チャンネル数）に従ってボード上で自動サンプリングを行う構造となっています。ソフト上では条件設定・スタート（トリガ待ち）・ステータス取得・評価・データ読み込みだけで、動作タイミング等の制御を必要としません。このような制御構造はリアルタイム/マルチタスクのFALシステムやWINDOWS環境に最適です。

WINDOWS98・ME・2000・XP版データ収集ソフトLaBDAQ-JR（データ数8K語制限）を配布。

WINDOWS98・ME・2000・XP版のハンドラ関数ライブラリDLL/デバイスドライバを配布。

Linuxドライバ：オプション。

LaBVIEWサンプル（Vi）を提供。

高精度部品の使用により、アナログ入力範囲切り替え時の再調整不要。

サンプリング点数を制限しないFIFOバッファメモリ搭載。（標準1K語/増設可能）

マルチ・クロック源：内部10MHz/内部8.192MHz/外部入力。

マルチ・トリガ源：ソフト上の即トリガ/アナログ（エッジ・レベル・レンジ）/外部入力。

クロック入出力機能により複数ボードの同期運転可能（マスタスレーブ動作）。

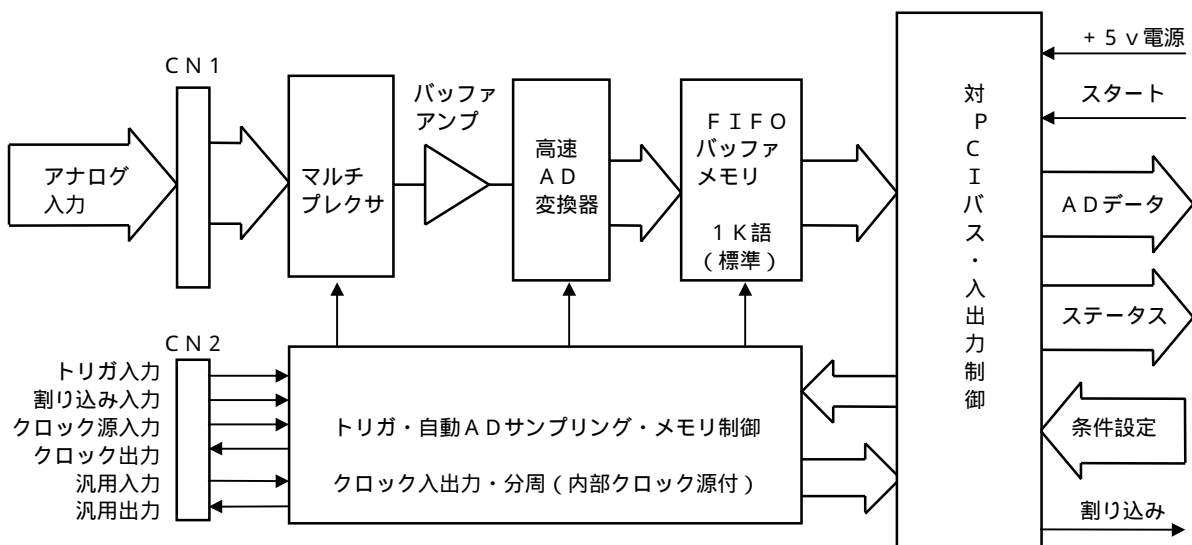
外付・同時サンプルホールド（オプション）

表1-1. ADM-68シリーズ仕様一覧

製品名	分解能/入力数	単chサンプル	複数chサンプル	特徴
<b>ADM-680xPCI</b>	12BIT/8ch（差動無）	256KHz	(4xch)μs	中速・低価格
ADM-681PCI	14BIT/16（差動8）ch	1MHz	(1xch)μs	高速・汎用
<b>ADM-682PCI</b>	12BIT/16（差動8）ch	256KHz	(8xch)μs	中速・汎用
ADM-686zPCI	16BIT/16（差動8）ch	200KHz	(5xch)μs	高精度・汎用
ADM-687zPCI	16BIT/32ch（差動無）	200KHz	(5xch)μs	高精度・多入力

図1-1. ADM-680x/682/686z/687zPCI機能ブロック

（PCIバス）



【注1】 汎用入力：1ビット・TTLレベル（現在値）入力。

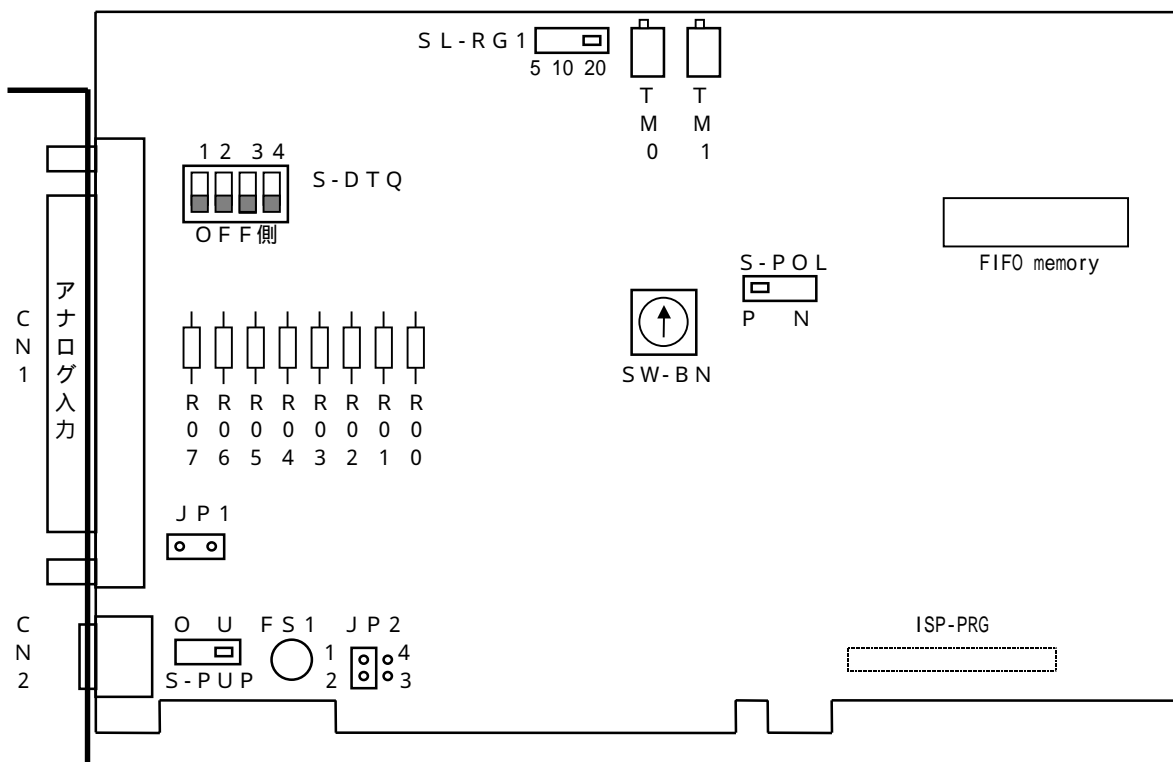
汎用出力：1ビット・5Vロジックまたはオープンコレクタ出力。

（ADM-687zPCIはTTL出力のみ）

【注2】 ADM-680xPCIに限り、汎用4ビット入出力（アナログ入力コネクタに配置）

## 1-2. ボード上の設定

図1-2A. ADM-680xPCIボード上の部品配置



R 0 0 ~ 0 7 : アナログ入力終端抵抗【出荷時：各 1 0 M   】 / 2 - 1 項

SW - BN : ボード番号設定スイッチ（出荷時：0 / 本ボードを複数使用時の認識用）

S - DTQ : 汎用デジタル出力（4ビット）のアナログ入力コネクタ接続スイッチ / 2 - 5 項

S - POL : 汎用デジタル出力の極性選択   【出荷時：P（正論理）】                               / 2 - 5 項

S - PUP : 汎用デジタル出力のプルアップ【出荷時：U（プルアップ接続）】               / 2 - 5 項

SL - RG1 : アナログ入力（公称）スパン選択【出荷時：2 0】= ± 1 0 v                       / 2 - 2 項

TM0 : オフセット調整トリマ。   再調整用 / 7 - 3 項

TM1 : ゲイン調整トリマ。       再調整用 / 7 - 3 項

FS1 : + 5 v 電源出力保護ヒューズ（FRPU - 2 A : 浜井電球製）                               / 回路図

CN1 : アナログ入力コネクタ（37ピンD - SUB）【注】含デジタル入出力               / 1 - 3 項

CN2 : 外部制御&デジタル入出力コネクタ（8ピン丸型）                               / 1 - 3 項

J P 1 : S / H制御信号出力【出荷時：オープン（非接続）】パターンのみ               / 2 - 4 項

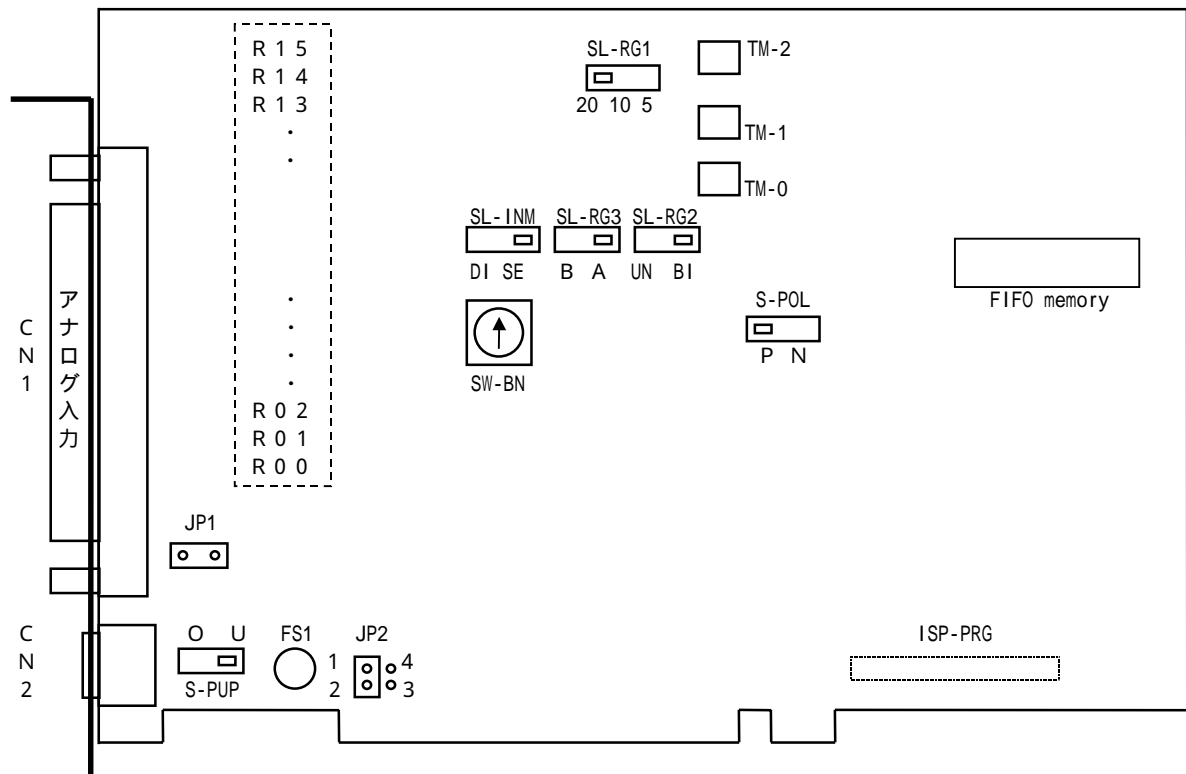
J P 2 : 消費電力申告【出荷時：1 - 2 側】 / 2 - 4 項。

+ 5 v 電源消費がボード外部も含めて 7.5 W を超えるときは【3 - 4 側】に変更。  
（外付オプションの同時サンプル、または絶縁アンプユニットを接続する場合など）

ISP - PRG : 保守用（出荷時：未実装）



図1 - B . ADM - 682PCIボード上の部品配置



R0 ~ 15 : アナログ入力終端抵抗【出荷時：各10M】 / 2 - 1項

SW - BN : ボード番号設定スイッチ（出荷時：0 / 本ボードを複数使用時の認識用）

S - POL : 汎用デジタル出力の極性選択 【出荷時：P（正論理）】 / 2 - 5項。

S - PUP : 汎用デジタル出力のプルアップ【出荷時：U（プルアップ接続）】 / 2 - 5項。

SL - INM : アナログ入力信号形式選択【出荷時：SE】 / 2 - 1項

SL - RG1 : アナログ入力（公称）スパン選択【出荷時：20】 / 2 - 2項。

SL - RG2 : アナログ入力範囲極性選択 【出荷時：BI】 / 2 - 2項。

SL - RG3 : アナログ入力スパン・モード選択【出荷時：Aモード】 / 2 - 2項。

TM0 : （バイポーラ）オフセット調整トリマ。

TM1 : （ユニポーラ）オフセット調整トリマ。 } 再調整用 / 7 - 3項

TM2 : ゲイン調整トリマ。

FS1 : +5v電源出力保護ヒューズ（FRPU - 2A : 浜井電球製） / 回路図

CN1 : アナログ入力コネクタ（37ピンD - SUB） / 1 - 3項

CN2 : デジタル入出力コネクタ / 1 - 3項

JP1 : S / H制御信号出力【出荷時：オープン（非接続）】パターンのみ / 2 - 4項。

JP2 : 消費電力申告【出荷時：1 - 2側】 / 2 - 4項。

+5v電源消費がボード外部も含めて7.5Wを超えるときは【3 - 4側】に変更。

（外付オプションの同時サンプル、または絶縁アンプユニットを接続する場合など）

ISP - PRG : 保守用（出荷時：未実装）

## 1-3. 入出力コネクタ・ピン接続

ADM-680xPCIでは、  
汎用デジタル入出力（各4ビット）を含むアナログ入力には37ピンD-SUBコネクタ、  
また汎用デジタル入出力（各1ビット）を含む制御信号入出力には8ピン丸型コネクタが使用  
されており、適合プラグ（各1個）が添付されています。

プラグ：17JE-23370 02(D8A) /DDK製  
基板側：17LE-13370-27(D4AB) /DDK製

図1-3A. ADM-680xPCIのアナログ入力コネクタ(CN1)ピン接続

信号名	機 能	ピン番号	ピン番号	信号名(機能)
CH0	チャンネル0 アナログ入力	1	20	AG(アナログ・グランド)
CH1	チャンネル1 アナログ入力	2	21	AG( " " )
CH2	チャンネル2 アナログ入力	3	22	AG( " " )
CH3	チャンネル3 アナログ入力	4	23	AG( " " )
CH4	チャンネル4 アナログ入力	5	24	AG( " " )
CH5	チャンネル5 アナログ入力	6	25	AG( " " )
CH6	チャンネル6 アナログ入力	7	26	AG( " " )
CH7	チャンネル7 アナログ入力	8	27	AG( " " )
D0	ビット0 デジタル入力	9	28	DG(デジタル・グランド)
D1	ビット1 デジタル入力	10	29	DG( " " )
D2	ビット2 デジタル入力	11	30	DG( " " )
D3	ビット3 デジタル入力	12	31	DG( " " )
Q0	【注3】ビット0 デジタル出力	13	32	DG( " " )
Q1	【注3】ビット1 デジタル出力	14	33	DG( " " )
Q2	【注3】ビット2 デジタル出力	15	34	DG( " " )
Q3	【注3】ビット3 デジタル出力	16	35	DG( " " )
	空ピン	17	36	空ピン
S/H	【注2】S/H信号出力	18	37	DG(デジタル・グランド)
+5v	PCIバス上の+5v電源出力	19		

【注1】アナログ・グランドAGとデジタル・グランドDGはボード内部で接続されています。

【注2】外部サンプルホールド制御信号（ボード上のジャンパJP-1により接続出力できる。/ TTLレベル）

【注3】デジタル（ビット0～3）出力はボード上のスイッチS-DTQで接続/非接続を選択できる。

**ADM - 682PCI**では、  
 アナログ入力には37ピンD - SUBコネクタ、  
 また汎用デジタル入出力（各1ビット）を含む制御信号入出力には8ピン丸型コネクタが使用  
 されており、適合プラグ（各1個）が添付されています。

プラグ：17JE - 23370 02 (D8A) / DDK製  
 基板側：17LE - 13370 - 27 (D4AB) / DDK製

図1 - 3B . ADM - 682PCIのアナログ入力コネクタ（CN1）ピン接続

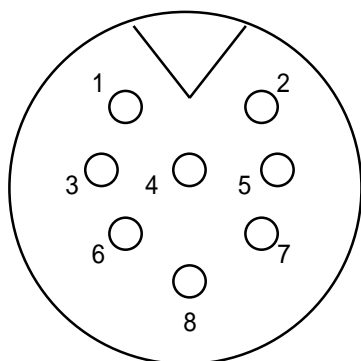
信号名	機 能	ピン番号	ピン番号	信号名（機能）
CH0（0H）	ch0 入力（差動：ch0の+側）	1	20	AG（アナログ・グランド）
CH1（0L）	ch1 入力（差動：ch0の-側）	2	21	AG（ " " ）
CH2（1H）	ch2 入力（差動：ch1の+側）	3	22	AG（ " " ）
CH3（1L）	ch3 入力（差動：ch1の-側）	4	23	AG（ " " ）
CH4（2H）	ch4 入力（差動：ch2の+側）	5	24	AG（ " " ）
CH5（2L）	ch5 入力（差動：ch2の-側）	6	25	AG（ " " ）
CH6（3H）	ch6 入力（差動：ch3の+側）	7	26	AG（ " " ）
CH7（3L）	ch7 入力（差動：ch3の-側）	8	27	AG（ " " ）
CH8（4H）	ch8 入力（差動：ch4の+側）	9	28	AG（ " " ）
CH9（4L）	ch9 入力（差動：ch4の-側）	10	29	AG（ " " ）
CH10（5H）	ch10入力（差動：ch5の+側）	11	30	AG（ " " ）
CH11（5L）	ch11入力（差動：ch5の-側）	12	31	AG（ " " ）
CH12（6H）	ch12入力（差動：ch6の+側）	13	32	AG（ " " ）
CH13（6L）	ch13入力（差動：ch6の-側）	14	33	AG（ " " ）
CH14（7H）	ch14入力（差動：ch7の+側）	15	34	AG（ " " ）
CH15（7L）	ch15入力（差動：ch7の-側）	16	35	AG（ " " ）
	空ピン	17	36	空ピン
S / H	S / H信号出力【注2】	18	37	DG（デジタル・グランド）
+5v	PCIバス上の+5v電源出力	19		

【注1】アナログ・グランドAGとデジタル・グランドDGはボード内部で接続されています。

【注2】外部サンプルホールド制御信号（ボード上のジャンパJP - 1により接続出力できる。/ TTLレベル）

## デジタル入出力コネクタ

ADM-68シリーズ全機種共通。



(添付プラグのハンダ付け側)

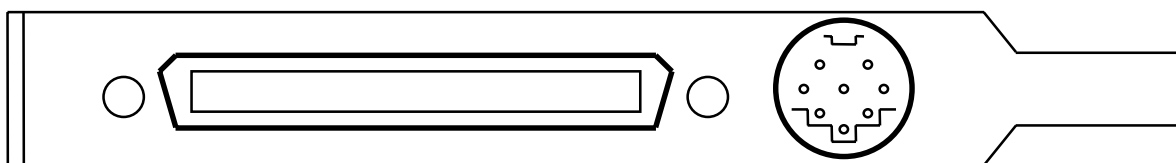
図1-3C. デジタル入出力コネクタ (CN2) ピン接続

ピン1: 割り込み入力	INT - IN
ピン2: トリガ入力	TRG - IN
ピン3: クロック源入力	CLK - IN
ピン4: クロック出力	CLK - OUT
ピン5: 汎用デジタル入力	D0
ピン6: 汎用デジタル出力	Q0
ピン7: PCIバス+5v出力	+5V
ピン8: デジタルグランド	DG

(DGとAGはボード内で接続されている。)

プラグ: HR212-10P-8P-MS/ヒロセ製  
 基板側: HR212-10RA-8SDL(03)/ヒロセ製

図1-3D. リアパネル面の外観



アナログ入力コネクタ (CN1)

デジタル入出力コネクタ (CN2)

## 1-4. 入出力接続オプション

図1-4A. BNC接続ボックス

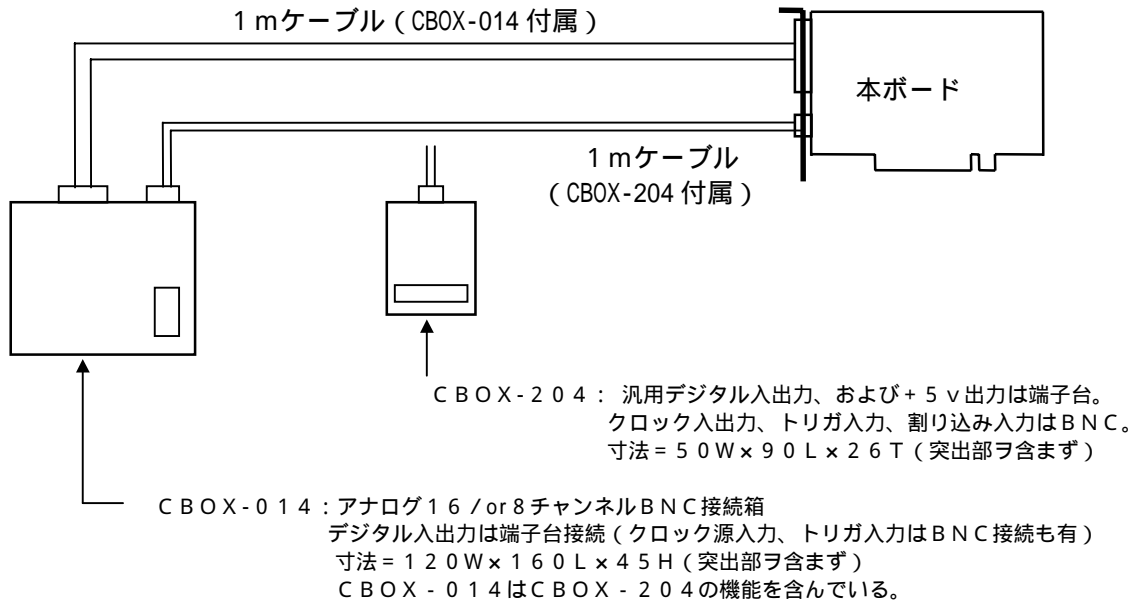
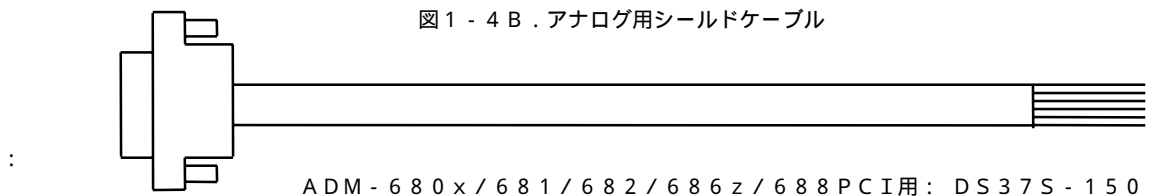


図1-4B. アナログ用シールドケーブル

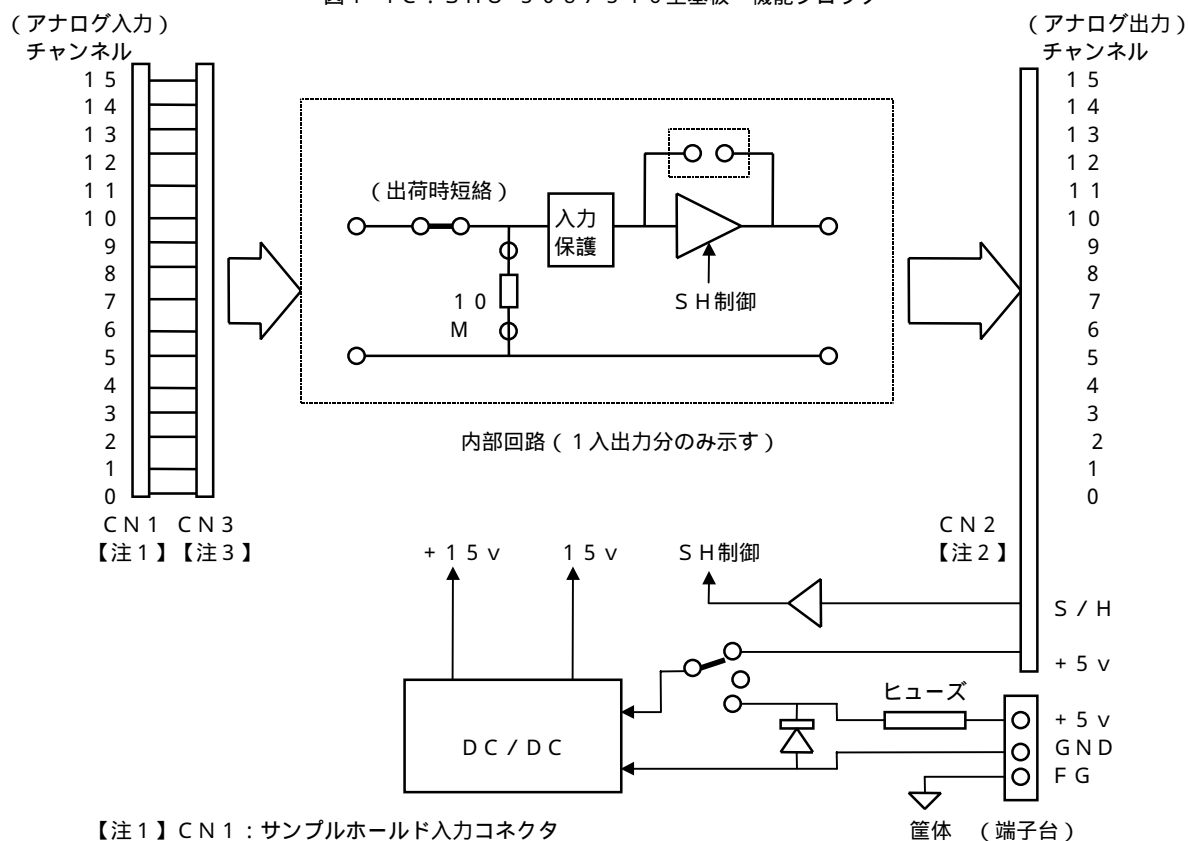


## その他

- AIU-304BRD : 外付 4ch 個別絶縁センサアンプ用バックプレーン。  
 PB01 / PB05 : 外付 8ch / 16ch 個別絶縁センサアンプ用バックプレーン。  
 CBNC-04 : 外付 4ch アナログ入力BNCボード (アナログ入力コネクタ直結)  
 CTML-37 : 外付 16ch アナログ入力端子台ボード (アナログ入力コネクタ直結)

## SHU516 : ADM-680x/681/682/686z/676PCI 用 16ch 同時サンプルホールド

図1-4C . SHU-508/516 主基板・機能ブロック

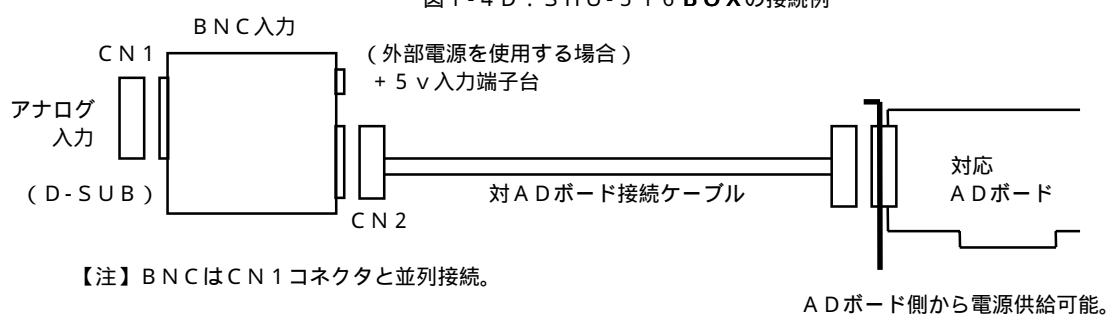


【注1】CN1 : サンプルホールド入力コネクタ

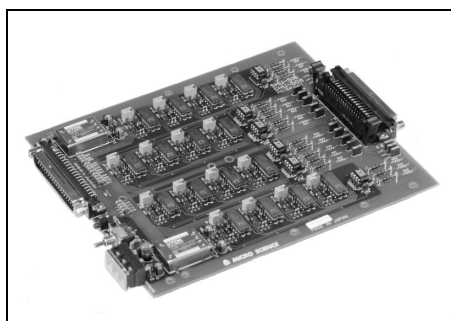
【注2】CN2 : サンプルホールド出力コネクタ (対ADボード接続側)

【注3】CN3 : 対BNC入力基板接続コネクタ (CN1に並列接続) : SHU-516xxBOX内で利用。

図1-4D . SHU-516BOXの接続例



SHU-516BOX (BNC接続箱入)



SHU-516BRD (基板のみ)

**A I U - 3 0 4 B R D** : ( 外 付 ) ADM-680x/681/682/686z/688/676PCI 用  
 4ch / 5 B シリーズ絶縁センサアンプ実装用バックプレーン ( 基板 )  
 要接続ケーブル : **D S 3 7 3 7 E - 1 0 0** ( 別 売 )

図 1-4 H . A I U - 3 0 4 B R D 機能ブロック

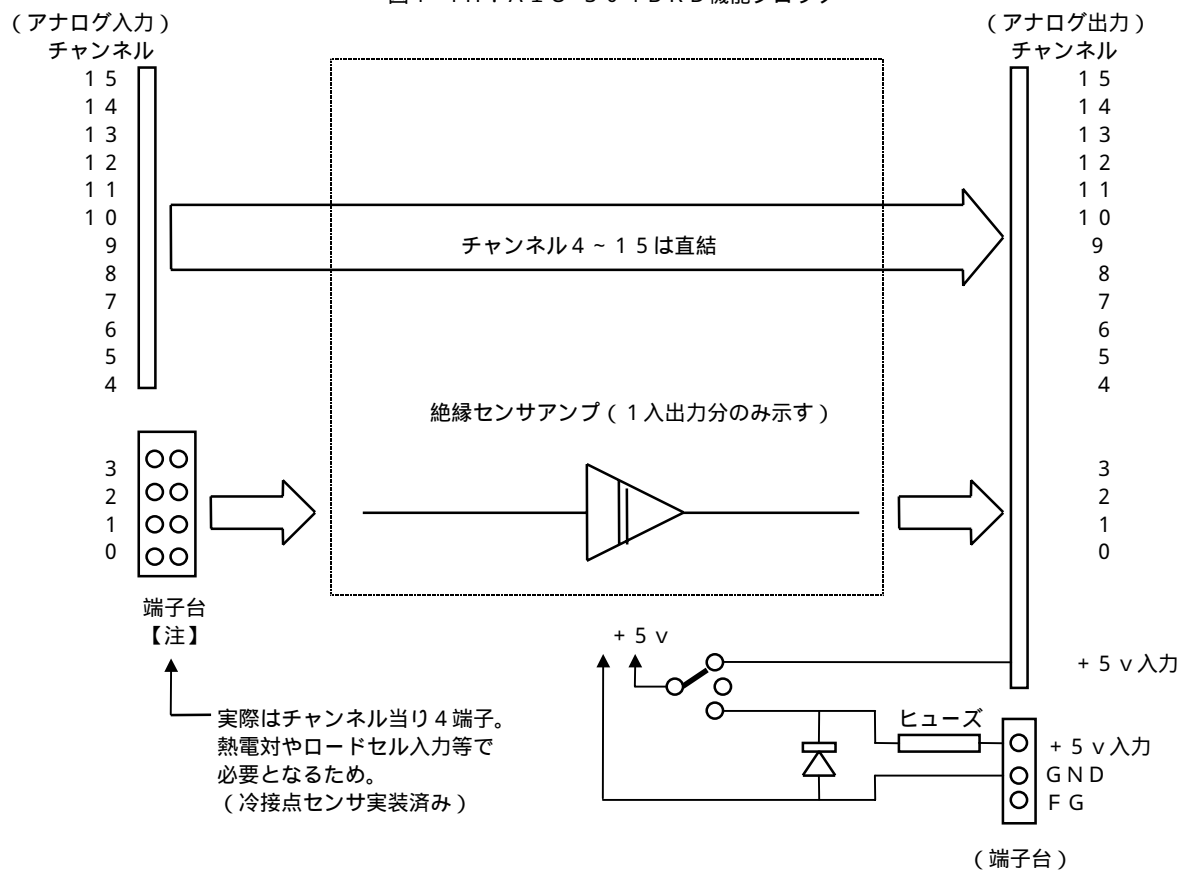
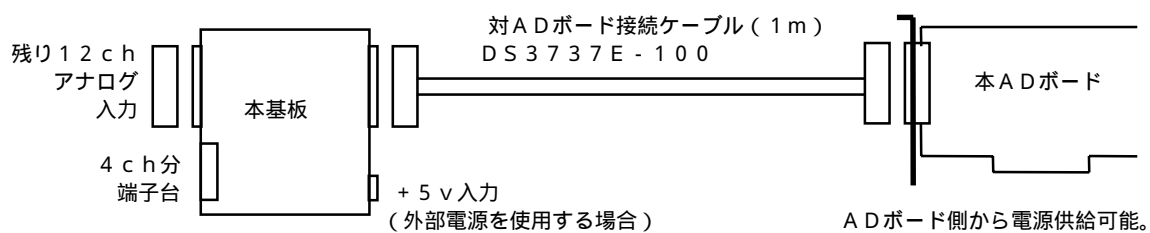


図 1-4 J . A I U - 3 0 4 B R D の接続



## 1-5. ボードのインストール

本製品はプラグアンドプレイに対応したPCIボードです。

御使用に先立ち、組み込むパソコンシステムにインストール（認識・リソース割り当て）される必要があります。この作業はシステムを上げたとき（電源投入直後）に自動実行されます。

### 準備

本ボード上の諸設定は出荷時の状態（1-2項）とします。

パソコン本体または拡張I/Oボックスの電源を切った状態でカバーを外し、任意の拡張（PCIバス）I/Oスロットに本ボードを無理なく押し入れ装着します。注意することは、

パソコン本体または拡張I/Oボックスの電源を必ず切っておく。電源を入れたままで本ボードを抜き差しすることは双方の故障原因となります。

本ボードのカードエッジ（金メッキ端子）に手を触れないこと。手を触れると、（油脂成分の付着等により）接触不良の原因となることがあります。もし、触れてしまった場合はアルコール等で拭き清めてください。

### 本ボード上ROM内のコンフィギュレーション情報

Vendor ID	: 13FDH（インタフェース素子の製造者ID）【注1】
Device ID	: 0110H（ADM-680xPCIボード自体のID）【注1】 0107H（ADM-682PCIボード自体のID）
Subsystem Vendor ID	: 13FDH（ボード製造者=マイクロサイエンス社のID）
Subsystem ID	: 0110H（ADM-680xPCIボード自体のID） 0107H（ADM-682PCIボード自体のID）
Class Code	: 110000H（本ボードの適合する分類コード）

リソース要求：I/Oアドレス：連続した複数アドレス。

割り込み：デフォルトでは不要求。【注2】

バスマスタ：機能なし（不要求）。

【注1】 Vendor ID / Device IDは本来、インタフェース素子メーカ/素子自体を特定するIDですが、本ボードで使用している素子は汎用品として多数の他社製品にも使用されており、（98/04/01）現在パソコンのプラグアンドプレイではVendor IDとDevice IDだけでボードを認識する機種があるので（混乱を避けるために）当社IDを記してあります。

【注2】 **割り込みを使用する場合**：本ボード上のROMに書き込まれているデフォルト（初期）のコンフィギュレーション情報では割り込みリソースを要求しません。もし要求したときに空気が無く拒否されるとI/Oアドレスの割り当ても受けられず、認識不能状態になる恐れがあるからです。割り込みを利用したいときは以下の手順を踏んでください。

本ボードを最初はデフォルト（初期）設定のままインストールし、システムから認識できる状態にしてください。

現在のシステムが使用しているリソース情報を調査してください。割り込みに空がある場合は（当社提供のユーティリティ：cf9050で）本ボード上のコンフィギュレーション情報（ROM）を割り込みリソースを要求するように修正して、一旦終了・電源を切ります。（パソコン電源部保護のため1分以上の後）、再度電源投入するとプラグアンドプレイで割り込みリソースが割り当てられます。

割り込みリソースに空が無い場合は最後の手段として、既に他デバイスに割り当てられている割り込みリソースを共有する方法も考えられますが、他デバイスの動作にも影響する恐れがあるため、現時点では当社のサポート対象外としています。



**インストール(1) : WINDOWS 95の場合。(WINDOWS 98 / MEも同様)**

#### 《ボードのインストール》

パソコンシステムの電源を投入するとWINDOWS 9xが立ち上がり、このとき新ハードウェア(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

オリジナルのWINDOWS 95では、

[新しいハードウェアが検出されました / 必要なソフトウェアをインストールしています]に続くダイアログボックスのデフォルトは[ハードウェアの製造元が提供するドライバ]となっていますから、添付の[ボードインストール・ディスク]を挿入、ウィザードに従って(ディスクがFDの場合は[a:¥win9x]フォルダから)読み込ませてください。

(CDROM<2002-11版以降>の場合は適切なドライブのフォルダ[ :¥win9x]から)ファイルのコピーで“ms\_pci.vxd”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

WINDOWS 95 / OSR2バージョンでは、

デバイスドライバ・ウィザードが立ち上がり、

[新しいハードウェアが検出されました。 / 必要なソフトウェアを探しています]に続いてドライバの検出過程ダイアログが現れますから、添付の[ボードインストール・ディスク]を挿入、ウィザードに従って(ディスクがFDの場合は[a:¥win9x]フォルダから)読み込ませてください。

(CDROM<2002-11版以降>の場合は適切なドライブのフォルダ[ :¥win9x]から)

ファイルのコピーで“ms\_pci.vxd”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

これで本ボードの情報がWINDOWS 95のレジストリに登録されました。

#### 《割り当てリソースの調査》

WINDOWS 95の【スタート】メニューから 【設定】 【コントロールパネル】  
【システム】 【デバイスマネージャ】 【MSCIENCE】 【ボード名】  
【プロパティ】 【リソース】で調べます。

《本ボード専用ドライバ/DLLのインストール》: 通常はこれを御利用ください。

本ボードの基本機能を関数化したものです。インストール方法は第6章(6-3項)参照。

《汎用ドライバ/DLLのインストール》: 前記の専用ドライバ/DLLユーザには不要です。

ボードに依存しない単純I/O実行用です。自作ドライバの素材に利用できます。

WINDOWS 9xではI/Oポートの読み書きをデバイスドライバを使用せず、DLLで直接実行できますから(その方が普通です。)、割り込みを使用する場合に限って当社の用意する“割り込み用の汎用デバイスドライバ”を利用してください。

インストーラはありません。必要なファイルを手作業で適切なフォルダにコピーします。

汎用ドライバ類の所在は、

(ドライバFDの場合): ドライバ本体: Win9x¥vxd¥pta95\_0.vxd

汎用のDLL: Win9x¥DLL¥accs\_95.dll

ドライバ説明: Win9x¥DOC¥readme.txt

(CDROMの場合): ¥INSTALL¥Driver¥Win9x以下です。

コピー先は: DLLはWINDOWSフォルダに、VXDはWINDOWSのシステムフォルダです。

**インストール(2) : WINDOWS-NT (4.0) の場合。**

各作業は必要により **Administrator レベル**で行ってください。

#### 《ボードのインストール》

パソコンシステムの電源を投入するとプラグアンドプレイが自動実行されます。

ソフト的には新ボードの装着されたスロットとボード情報が認識され、リソースの割り当てが自動実行されます。この過程は電源投入(ハードウェア・リセット)の毎に実行されますから、ハードウェアの構成が変化すると割り当てられるリソースが変化することもあります。

【ここまではWINDOWS 95と同様です。】

この後、ドライバ類の組み込みが実行され、最後にWINDOWS-NTが立ち上がりますが、NTのレジストリはプラグアンドプレイ情報に対応していないため、これで終わりです。

《本ボード専用ドライバ/DLLのインストール》: 通常はこれを御利用ください。

本ボードの基本機能を関数化したものです。インストール方法は第6章(6-3項)参照。

《汎用ドライバ&ユーティリティのインストール》: **専用ドライバ/DLLユーザには不要です。**

ボードに依存しない単純I/O実行用です。自作ドライバの素材に利用できます。

WINDOWS-NTではI/Oポートの読み書きも割り込み処理にもデバイスドライバが必要です。本ドライバは最大16枚のボード(各複数I/Oアドレスおよび専用割込1本)を制御することのできる**汎用デバイスドライバ**です。

インストールは添付のインストーラで行いますが、このとき同時にドライバの設定ユーティリティ、(プラグアンドプレイで自動設定された)リソースの調査ユーティリティ、さらにサンプルプログラムもインストールされます。

汎用ドライバ類の所在は、

(ドライバFDの場合) インストーラ: WinNT¥Setup.exe  
 ドライバ本体: WinNT¥Sys¥NtPta\_?.sys  
 汎用のDLL: WinNT¥DLL¥Port\_nt.dll  
 ドライバ設定ユーティリティ: WinNT¥Doc¥Rs\_reg.exe  
 リソース調査ユーティリティ: WinNT¥Doc¥PCIadr.exe  
 説明ファイル: WinNT¥Doc¥Readme.txt

(CDROMの場合) ¥INSTALL¥Driver¥WinNT以下です。

【注1】? = 0 ~ 15

【注2】ドライバとDLLは無指定でNT所定のフォルダにインストールされますが、ユーティリティとサンプルプログラムは前もってインストール先のフォルダを用意しておき、インストール実行時に指定します。

#### リソースの調査 / 汎用デバイスドライバの設定

当社製PCIボードのリソース(アドレス/割り込み)割り当て・占有状態を調査するユーティリティPCIadrを使用して、本ボードの(プラグアンドプレイで設定された)I/Oアドレス・割り込みレベル情報を取得できます。この情報にもとずいてデバイスドライバの設定ユーティリティ(Rs\_reg)でデバイスドライバを設定します。

使用方法是同一フォルダ内の説明テキストファイルを御覧ください。

**インストール(3) : WINDOWS 2000の場合。**

WINDOWS 2000はNT4.0の上位バージョンですが、プラグアンドプレイ機能を持つため、本ボード装着直後のインストール作業にWINDOWS 2000対応のインストールディスク(当社製:FDなら/vr2.00以降、CDROMなら2002-11版以降)が必要です。

添付のCDROM、または当社ホームページ[www.microscience.co.jp](http://www.microscience.co.jp)の<ダウンロード>アイコン以下で入手できるビジュアルな手順書も併せて参照し、注意深く行ってください。

各作業は必要により **Administrator レベル**で行ってください。

#### 《手順》

パソコンシステムの電源を投入するとWINDOWS 2000/XPが立ち上がり、このとき新しいハードウェア(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

新しいハードウェアの検出ウィザードが立ち上がり、  
[新しいハードウェアが検出されました。/必要なソフトウェアを探しています]に続いてドライバの検出過程ダイアログが現れますから、添付の[ボードインストール・ディスク]を挿入し、ウィザードに従って(ディスクがFDの場合は[a:¥win2K]フォルダから)読み込ませてください。

(CDROM<2002-11版以降>の場合は適切なドライブのフォルダ[ :¥win2K]から)

ファイルのコピーで“dms\_pci.sys”が見つからないのメッセージが出たら、コピー元に同上記のフォルダを指定してください。

これで本ボードの情報がWINDOWS 2000のレジストリに登録されました。

- (1) インストールされたドライバ“DMS\_\_PCI.SYS”は、  
当社製各PCIボード(複数可能)に共通使用できるWINDOWS 2000 / XP用のWDMドライバです。

インストール元: ボードインストールディスク。

インストール先: ¥WINDOWS¥SYSTEM32¥DRIVERS

- (2) 御利用に先立ち、4-1項に従い各種ソフトウェアのインストール作業を行って下さい。  
(専用インストーラによる解凍・展開)

インストール元: 添付のCDROM。

インストール先: ¥MSCIENCE 以下。

- (3) その後、利用する関数DLLを手作業で所定のフォルダにコピーする必要があります。  
本ボード専用のハンドラ関数DLL(推奨)から使用する場合は6-3項を、また当社製全PCIボード(複数可)共通に利用できる汎用単純入出力関数DLLから利用する場合は4-2項を御覧ください。

コピー元: ¥MSCIENCE以下。

コピー先: ¥WINDOWS¥SYSTEM32

以後、アプリケーションからの利用が可能になります。

#### 《割り当てリソースの調査》

WINDOWS2000の【スタート】メニューから 【設定】 【コントロールパネル】  
【システム】 【ハードウェア】 【デバイスマネージャ】 【MSCIENCE】  
【ボード名】 【プロパティ】 【リソース】で調べます。

**インストール(4) (WINDOWS-X Pの場合)**

ボード装着直後の作業にはWINDOWS 2000用のインストールディスクが必要です。  
基本的な手順は前ページに記したWINDOWS 2000の場合と同様ですが、  
**WINDOWS-X P**のウィザードは間違い易い表現が多いので作業には**注意が必要です**。  
添付のCDROM、または当社ホームページ[www.microscience.co.jp](http://www.microscience.co.jp)の<ダウンロード>  
アイコン以下で入手できるビジュアルな手順書も併せて参照し、注意深く行ってください。

《手順》----- オリジナルX Pの場合。S P 2の場合はビジュアルな手順書参照。

パソコンシステムの電源を投入するとWINDOWSが立上り、このとき新ハードウェア  
(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

- (1) 新しいハードウェアの検出ウィザードの開始。 / ダイアログ /  
<ハードウェアに付属のインストールCD、ディスクがある場合は挿入してください>  
と表示されますが、ここでは添付のCDROMを**未だ挿入しないでください**。  
下段に表示されている<インストール方法>選択肢ラジオボタン をデフォルトから  
<一覧または特定の場所からインストールする>に変更して【次へ】をクリックします。
- (2) 検索とインストールのオプションを選んでください。 / ダイアログ /  
デフォルトの< 次の場所で最適のドライバを検索する>チェックボックスを外し、  
< 次の場所を含める>のみをチェック、ここで添付のCDROMを挿入すると、
- (3) 自動再生 / ダイアログ / が登場してサーチを始めますが、  
これは即、【キャンセル】クリックしてください。
- さらに、
- (4) この種類のファイルのディスクを挿入したり、デバイスに接続したりするたびに  
WINDOWSが自動的に実行する動作を選択できます。 / ダイアログ / が登場したら  
これも【キャンセル】クリックします。
- これで(2)の / ダイアログ / に戻りますから、
- (5) < 次の場所を含める>を指定するためのテキストボックスを正しく埋めるために  
【参照】ボタンをクリックします。
- (6) フォルダの参照<ハードウェアのドライバを含むフォルダを選んでください>  
 / ダイアログ / が開きますから、  
< CDROMアイコン> < 0\_\_ボードインストール> < WIN2K>と指定して  
【OK】をクリックするとインストールが実行されます。

これで本ボードの情報がWINDOWSのレジストリに登録されました。

以下は前ページに記したWINDOWS 2000と同様です。  
御利用に先立ち、4 - 1項に従い各種ソフトウェアのインストール作業を行って下さい。

【注】操作ミス等でボードインストールが正しく実行されなかった場合は、  
Windows X Pはボードインストール作業直前の状態を記憶しているので、  
一旦終了・電源を落としてボードを外し、再立ち上げの後、  
WINDOWSの【スタート】から【ヘルプとサポート】を選択し、  
<ヘルプとサポートセンター>ダイアログ中の  
<コンピュータへの変更をシステムの復元で元に戻す>機能で  
ボードインストールをやり直すことのできる元の状態に戻すことができます。

## 1 - 6 . 動作確認・試運転

以下の手順で試運転してください。動作に不具合があるときは1 - 2項に記されたボード上の設定を確認してください。それでも不明なときは本書巻末に添付の【Q & Aフォーム】にシステム情報を御記入のうえ当社技術部までFAXしてください。迅速に応答します。

なお、TELいただく場合も客観情報の整理・評価は問題解決のスピードアップにつながりますから事前にFAXしてください。

== 準備 ==

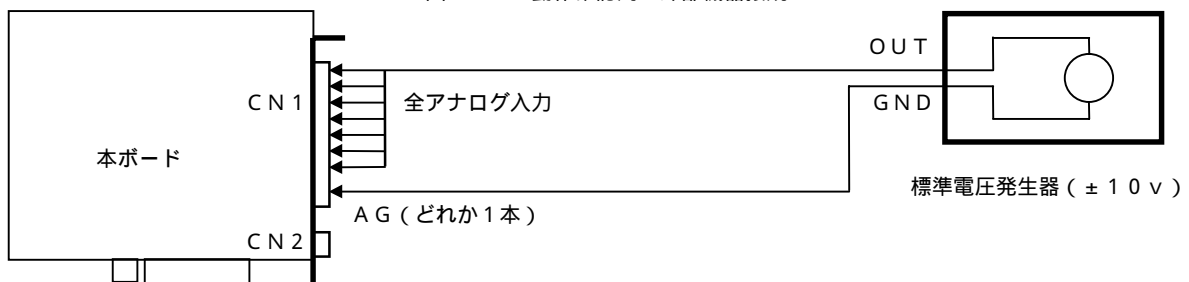
本ボード上の諸設定は出荷時の状態（1 - 2項）とします。

1 - 4項に従って本ボードをインストールし、ユーティリティ等で割り当てられたリソース（I/Oアドレス）を調べる。

本ボードのアナログ入力テスト用の信号源（ $\pm 10\text{V}$ 以内）に接続します。（図1 - 6）

以上で準備完了です。電源投入順序は全機器同時、または外部機器を先にパソコン本体を最後に行います。電源切断は逆順序です。

図1 - 6 . 動作確認用の外部機器接続



### (1) WINDOWS 95 / 98 / ME 用

== 運 転 ==

試運転・動作確認用プログラム“68 QB2”を使用します。

本プログラムはMS - DOS版です。御使用に先立ち、添付のソフトウェアをインストール（4 - 1項）しておく必要があります。また、当プログラムのソース（Quick-Basic）も同名（拡張子：BAS）で添付されています。

なお“68 QB2 . EXE”は日本語モードでは正常な表示ができないので、事前に英語モードに切り替えてから“68 QB2 . EXE”を呼び出す“68 QB2 . COM”を使用してください。

【注】ファイル名：ADM - 680xPCI用は = 0、ADM - 682PCI用は = 2

テストシステムの電源を投入し、MS - DOSを立ち上げます。

試運転・動作確認用プログラム“68 QB2”を読み込み、実行します。

最初にI/Oベースアドレスの入力を要求されますから、1 - 5項で調査した4桁のHex値を入力すると以下、操作メニューとなります。

操作 【ENTER】キー：スタート  
【SPACE】キー：中断 / 再開  
【ESC】キー：終了

ADデータ表示：16進数（Hex）、標準出荷時のアナログ入力範囲設定は $\pm 10\text{V}$

(2) WINDOWS 2000 / XP用

== プログラム ==

本動作確認プログラムは第 6 章で説明する本ボード専用のハンドラ関数 D L L ではなく、ボード依存性のない汎用 I / O アクセス関数 D L L を使用して製作されています。

いずれのDLLも下層（ボードのアクセス）に使用するドライバは同一で、本ボードをインストールするとき同時に自動インストールされたWDMドライバです。このWDMドライバはプラグアンドプレイで認識される複数（＝最大8枚）の当社製PCIボードを平行して制御することができます。/本動作確認プログラムでの動作は1枚のみ/

動作確認プログラムの位置：添付CDROM（2003年5月版以降）のルート¥から、  
 <6\_追加ソフト><動作確認><D I Oボード><W d m>  
 以下です。

プログラム名: `td680w2.exe` / または `td682w2.exe`  
`ts680w2.exe` / または `ts682w2.exe`

内容はボードアクセスと基本動作確認で：      ボードID取得（本書3 - 4項）、  
ステータス取得（リセット時）、  
ボード番号取得（ボード上SW - BN設定値）  
内部クロック使用でのサンプリング動作、  
サンプリング動作時のステータス変化、  
FIFO容量のチェック、  
サンプリング点数カウンタ値の取得。

などを実行します。

## 操作手順

(1) WINDOWSの<スタート><プログラム><アクセサリ><コマンドプロンプト>、  
または<スタート><プログラム><MS-DOSプロンプト>、と進み、

( 2 ) D O S 窓中で    d :    ENTER    ( d : 実際の C D R O M ドライブ名に置き換える。 )

c d ¥ 6 \_\_追加ソフト¥動作確認¥ A Dボード¥ W d m ENTER

t d 6 8 0 w 2	ENTER
---------------	-------

(ファイル名)

はスペース

## WINDOWS NTでの動作確認

WINDOWS - NTの場合は第6章で説明する専用の関数ライブラリを使用した各言語 (VB, C++, C, Delphi, C++ビルダ) 用のサンプルを御利用ください。

## 第2章. 信号入出力

### 2-1. アナログ入力回路

ADM-682PCIのアナログ入力はボード上のスイッチ（SL-INM）切り替えにより普通の2線式（シングルエンド）16チャンネルまたは差動8チャンネルで接続することができます。

ADM-680xPCIは普通の2線式（シングルエンド）8チャンネル固定です。

アナログ入力範囲はボード上のスイッチ選択（SL-RG1/SL-RG2/SL-RG3）、また絶対最大定格は $\pm 3.5\text{V}$ です。これ以上の電圧が印加される恐れがある場合は保護対策（2-3項）が必要です。

なお各チャンネル入力端には入力インピーダンスを下げるため $10\text{M}\Omega$ の終端抵抗が実装されています。（外すと $100\text{M}\Omega$ 以上となる）

図2-1A. アナログ入力～AD変換部の構造

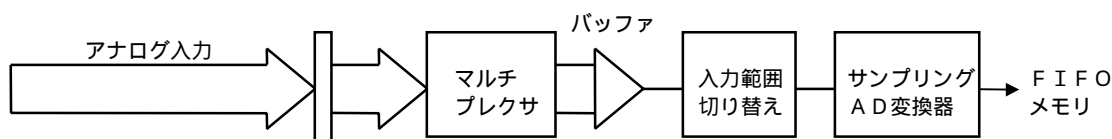


図2-1B. シングルエンド電圧入力の接続（1チャンネル分）

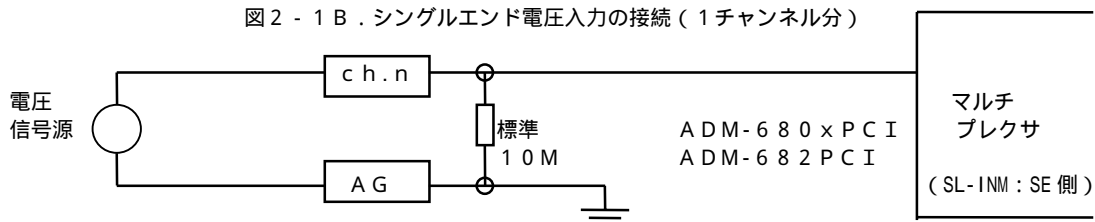
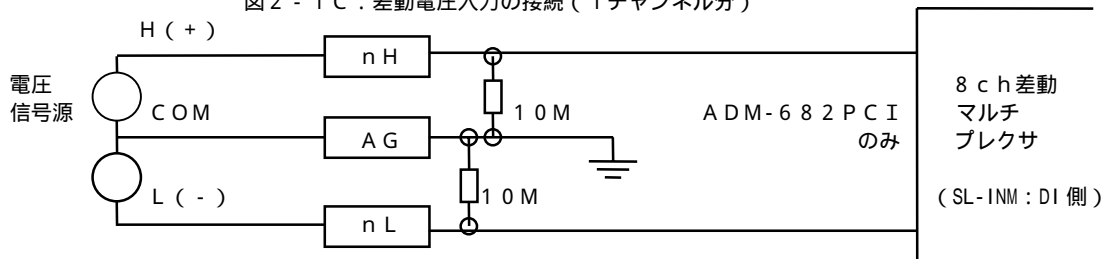


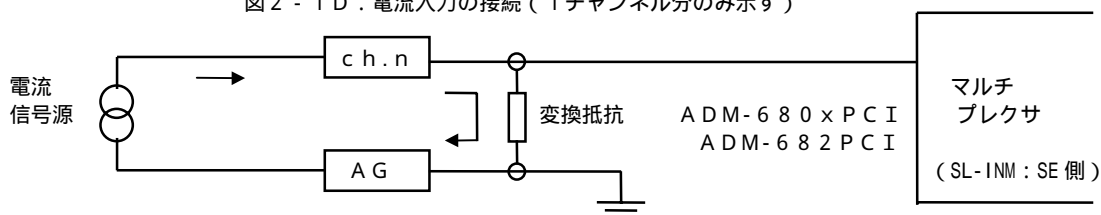
図2-1C. 差動電圧入力の接続（1チャンネル分）



電流入力： 信号源が $4 \sim 20\text{mA}$ 等の電流出力の場合は標準実装されている $10\text{M}\Omega$ の終端抵抗を適当な値の電流・電圧変換用抵抗に交換して使用できます。

（例： $250\Omega$ なら $1 \sim 5\text{V}$ に変換）

図2-1D. 電流入力の接続（1チャンネル分のみ示す）



## 2-2. アナログ入力範囲

12BIT分解能は[1/4096]ですから、公称入力範囲で正直に調整するとAD変換値の1単位(digit)当りの電圧値が割り切れない値となります。

当社では範囲を少し広げて、切りの良い値となる(モードA)をサポートしています。

その値は公称入力範囲の[1/4000]です。

表2-2A. アナログ入力範囲・分解能・正確度【注1】

公称入力範囲	モード	実際の入力範囲(±10V超過は無効)	分解能 mv/digit	備考
±10 V	A	- 10.240 ~ + 10.235 V	5	表2-2A参照
	B	- 10.000 ~ + 9.99512 V	4.88....	
±5 V	A	- 5.120 ~ + 5.1175 V	2.5	
	B	- 5.000 ~ + 4.99756 V	2.44....	
±2.5 V	A	- 2.560 ~ + 2.55875 V	1.25	【注2】 ADM-682PCIのみ。
	B	- 2.500 ~ + 2.49878 V	1.22....	
0 ~ +10 V	A	0 ~ + 10.2375 V	2.5	
	B	0 ~ + 9.99756 V	2.44....	
0 ~ +5 V	A	0 ~ + 5.11875 V	1.25	
	B	0 ~ + 4.99878 V	1.22....	

【注1】 本機のアナログ入力は【±10V範囲/Aモード】で最終調整されていますが、高精度部品の使用により入力範囲を切り替えても多くの用途では再調整の必要がないほどです。

これ以外の入力範囲で最も正確度を良くしたいとき、またはBモードで御使用のときは再調整(7-3項)が必要です。 本製品の出荷時(常温)・当社調整環境での絶対正確度は下表2-2B中の理論正確度(非直線性+調整誤差)に校正測定器誤差0.015%を積算した値(1)、さらに入力範囲切り替え回路の影響を加算した値(2)となります。

表2-2A. 正確度(出荷時、当社・常温での調整環境)

使用条件	ADM-680xPCI	ADM-682PCI
(製造時)最適調整範囲±10V/Aモードでの正確度(1)	0.105%FS	0.090%FS
(製造時)その他の入力範囲正確度(2)	0.172%FS	0.110%FS
誤差ゼロの信号で校正した特定範囲での理論正確度(想定値)	0.093%FS	0.078%FS

### 伝達関数

12ビットの分解能は“2の12乗分の1”ですから、変換データとアナログ入力電圧の関係は以下のようになります。

分解能  $Res = Vspan \div 4096$  [V/digit]

変換データ  $Dad = Vio \div Res$  [digit] / ユニポーラるとき  
 $Dad = (Vio \div Res) + 2048$  [digit] / バイポーラるとき

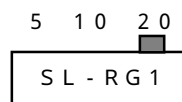
入出力電圧  $Vio = Dad \times Res$  [V] / ユニポーラるとき  
 $Vio = (Dad - 2048) \times Res$  [V] / バイポーラるとき

【注12】 Vspan は入力範囲の絶対幅です。 具体的には表2-2Aの範囲に1digit分の電圧値を加算した値です。 例えばAモードの公称±10V範囲ならVspan = 20.480V (5[mV] × 4096)、またBモードなら20Vです。



## アナログ入力範囲の設定

ADM - 680xPCI : ボード上のスイッチ (SL-RG1) で行います。  
 設定位置はアナログ入力スパン (絶対幅) で表示しています。  
 すなわち、20 :  $\pm 10$  V (出荷時設定)  
 10 :  $\pm 5$  V  
 5 :  $\pm 2.5$  V です。



ADM - 682PCI : ボード上の下記スイッチで設定します。 / 1-2項参照。

SL-RG1 : 入力スパン選択 (標準出荷時 = 20) / 入力範囲の絶対電圧幅  
 SL-RG2 : レンジの極性選択 (標準出荷時 = BI) / BI : バイポーラ、UN : ユニポーラ  
 SL-RG3 : レンジモード選択 (標準出荷時 = A) / A : モードA、B : モードB

表2-2C. 入力範囲選択 (ADM - 682PCI)

公称 アナログ入力範囲	SL-RG3 (モード選択)	SL-RG2 (レンジ極性)	SL-RG1 (スパン選択)
$\pm 10$ V	A	BI	20
《該当なし》	A	UN	20
$\pm 5$ V	A	BI	10
0 ~ +10 V	A	UN	10
$\pm 2.5$ V	A	BI	5
0 ~ +5 V	A	UN	5
$\pm 10$ V	B	BI	20
《該当なし》	B	UN	20
$\pm 5$ V	B	BI	10
0 ~ +10 V	B	UN	10
$\pm 2.5$ V	B	BI	5
0 ~ +5 V	B	UN	5

図2-2A. 【Aモード】

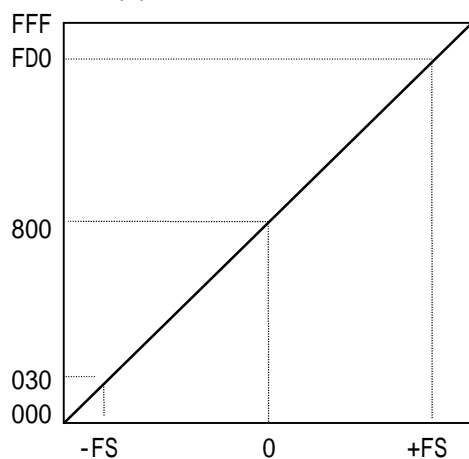
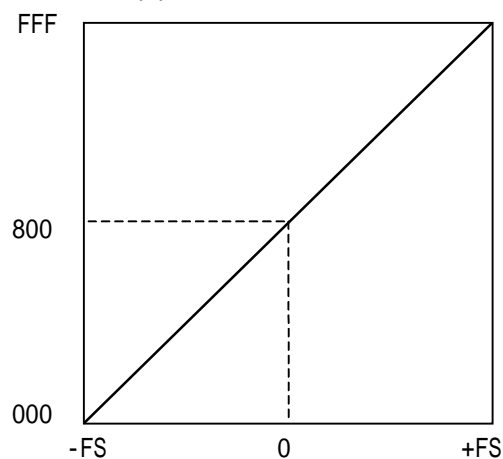


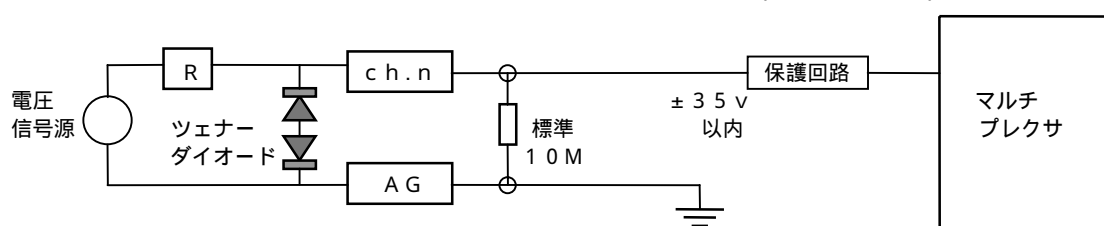
図2-2B. 【Bモード】



## 2-3. アナログ入力特性 (5ページ記載の仕様一覧を併せて参照)

- AD変換誤差：** 本機のAD入力は【Aモード±10V範囲】で最終調整されていますが高精度部品の使用により入力範囲を切り替えても多くの用途では再調整の必要がない程です。(前2-2項参照) 他の入力範囲、またはBモードで最も正確度を良くしたいときは再調整(7-3項)を行ってください。  
御希望により当社でも(出荷時は無償/後日は有償で)行います。
- 温度ドリフト：** ADボードの周囲温度が変化したとき、同一アナログ入力に対するAD変換データが変化する度合いを(対フルスケール比で)示します。  
本機では【typ. 25ppm/°C】です。
- 経年変化：** 経年変化のデータはありません。 十分な精度の維持が必要な用途では年に1~2回(夏・冬)標準電圧源などで校正し、必要な場合に再調整を行うとよいでしょう。 御希望により当社でも(有償で)行います。
- 内部雑音：** 本ボード内部の雑音は各チャンネルの入力端をアナロググランドAGに短絡してみれば見当がつきます。 <実際の組み込みシステムに依存>  
本機では【typ. ±1LSB】です。
- 入力耐圧：** 本ボードのアナログ入力回路は±35Vまでの過電圧に対して保護されていますが、これを超える入力電圧が印加されると構成素子故障の原因となります。  
入力電圧が(過渡的でも)±35Vを超える恐れがある場合は入力保護対策が必要です。 但し直列抵抗を含む保護回路は入力浮遊容量と併せてローパスフィルタを構成するだけでなく、漏れ電流による誤差の原因ともなりますから必要最小限とするべきでしょう。

図2-3. ツェナーダイオードによる保護回路例(1チャンネル分)



計算例： 15Vツェナーダイオード(500mw定格)2本と直列抵抗Rを上図のように接続して、過電圧100V保護動作時のダイオード消費電力を150mw(15V×5mA)とすると、

$$\begin{aligned} \text{直列抵抗 } R &= (100 - 15) \div 5 \text{ mA} = 17 \text{ K} \\ \text{保護動作時の消費電力 } P &= (100 - 15) \times 5 \text{ mA} = 425 \text{ mw} \end{aligned}$$

【注1】直列抵抗Rには余裕をみて1W型を使用する。

【注2】 ツェナーダイオードの漏れ電流(凡例=100nA)と直列抵抗Rによる電圧降下が正常動作時の誤差となる事に御注意ください。

## 2-4. 外部サンプルホールド制御（同時サンプル用）

本機に使用されているA/D変換器はサンプルホールド機能を備えていますが、複数チャンネルを使用するときはアナログ入力端をマルチプレクサで（自動的に）切り替えてはサンプルホールド・A/D変換を繰り返す“逐次サンプル”方式です。【3-1項参照】 このため隣接スキャン順番チャンネル間のデータにADM-680xPCIでは4 $\mu$ s、ADM-682PCIでは8 $\mu$ sの時刻差が生じます。

オプションで外部に各チャンネル専用サンプルホールド回路を前置し、同時サンプリング動作を実現できるようなTTLレベルの制御信号（S/H）を用意しました。

この信号はボード上のジャンパJP1を接続することによりアナログ入力コネクタに接続・出力されます。

図2-4A. 1回A/Dサンプリング・スキャン 対 S/H出力

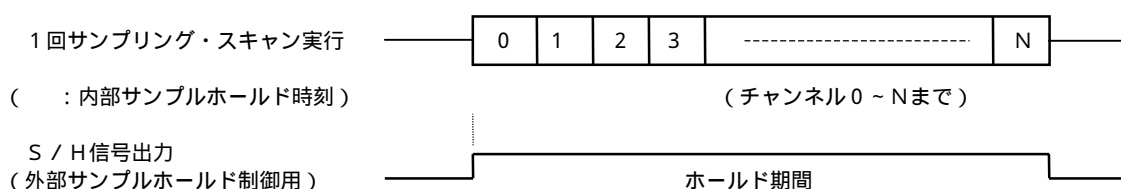
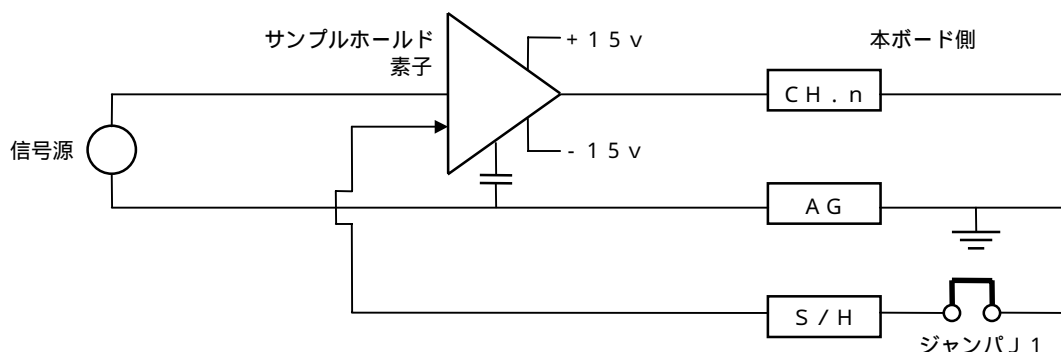


図2-4B. 外部サンプルホールド回路使用例（1チャンネル分のみ記す）



【注1】（上記例を含む）ユーザ設計の外部回路と一体化した性能は一切保証できません。

【注2】 外付けの同時サンプルホールド回路を接続・制御する場合はホールド・セトリング時間による誤差を最小化するためのソフト設定（3-18項）を行ってください。

【注3】 外部回路用の電源（+5V）をPCIバス側から本ボードのコネクタを通して供給する場合で、本ボード自体（4.5W）も含めた総消費電力が7.5Wを超える場合はボード上のジャンパJP2を【3-4側】に設定してください。

（外付オプションの同時サンプルユニット、絶縁アンプユニットを接続する場合など）

### 補 記

別製品で8チャンネル同時サンプル機：ADM-688PCIがあり、こちらの方が本機に同時サンプルユニットを外付けするよりも機能・コスト両面で有利です

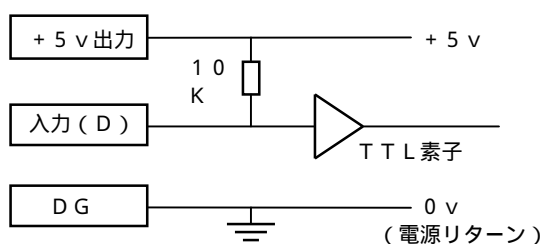
## 2 - 5 . デジタル入出力回路

外部クロック源入力、外部トリガ入力、外部割り込み入力、汎用デジタル入力は全てTTLレベルであり10K $\Omega$ でプルアップされています。クロック出力もTTLレベルです。

汎用デジタル出力はオープンコレクタですが、接続先がTTLレベル入力の際にはボード上のスイッチ：S - PUP設定により1K $\Omega$ のプルアップ抵抗を接続（出荷時状態）して対応することができます。

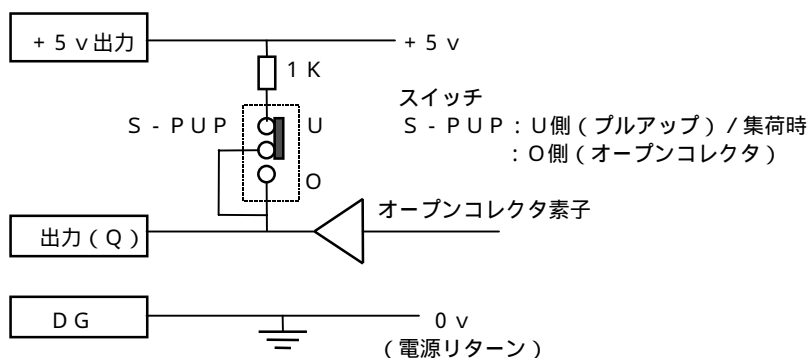
なお電源投入直後の汎用デジタル出力は“0”となりますがリセット操作（3 - 4項）では変化しません。

2 - 5 A . 全てのデジタル入力



【注意】 TTL入力の絶対最大定格は負側：-0.6V、正側：+7Vです。  
この値を一瞬でも超えると入力端素子破壊の原因になります。  
(7 - 2項に注意点や対策を記します。)

図2 - 5 B . 汎用デジタル出力



デジタル出力論理はボード上のスイッチS - POLで設定します。  
【出荷時：P（正論理）】、または【N（負論理）】

## 第3章. 制御・操作

### 基本操作

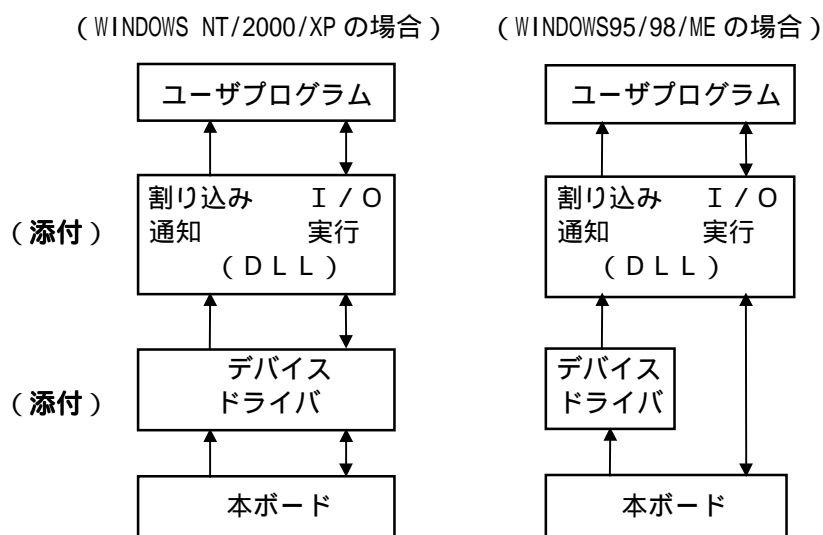
本機の運転・操作は各機能の制御レジスタに対する入出力命令（I/O）により行います。

### 実用プログラムの作成

3-1項～3-3項で制御構造・手順を、また3-4項以下で各制御要素（レジスタ）の定義を学習してから、第4章で示すサンプルプログラムソース（C、およびBASIC）を見てください。

WINDOWS 95 / 98 / ME / NT / 2000 / XPの場合は汎用のI/O読み書きDLL & デバイス・ドライバが添付されています。基本的には当DLLを使用してボード上の各レジスタを読み書きすることでプログラミング可能です。

またWINDOWS 95 / 98 / ME / NT / 2000 / XP用の本ボードに特化したハンドラ（基本機能関数DLL & デバイスドライバ）と使用例も用意されています。



### 3-1. ADサンプリング動作・トリガ動作の様子

本機には2種類のサンプリング・モードがあります。

いずれの場合もサンプリングされた結果のADデータ（2バイト構成）は順番にFIFOバッファメモリに書き込まれて行きます。パソコン側からはFIFOメモリの充満状態を示すフラグを参照しながらADデータを古い順に読み込みます。【3-2項参照】

FIFOメモリの充満状態を示すフラグは、割り込み要求発生に使用することもできます。

FIFOメモリ容量は標準1024語（8M語まで増設可能）ですからパソコン側の読み込み速度がサンプリング速度に追いつかずにオーバーフローを起こしたような場合でも、その時点でFIFOメモリ容量だけの有効データを確保することができます。

PCIバスの実用的なADデータ転送速度はWINDOWS98で（専念したとして）1M語/sec程度ありますから、通常は本機の最高速度256K語/secを実現することが充分可能です。

但し表示や他の制御等を含む応用では時分割のマルチタスクとなり、（それらの）処理時間次第で実現可能な最高速度が決まります。

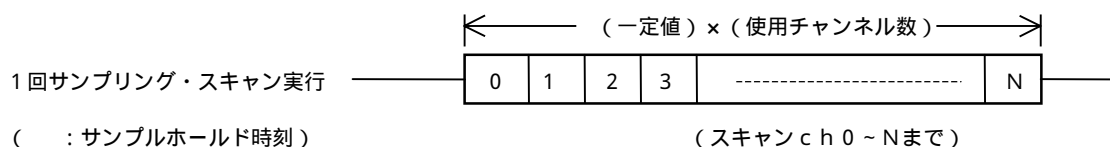
**マニュアルサンプリング** : 指定したアナログ入力チャンネル群に対して1回だけADサンプリング(&FIFOメモリに転送)を実行するものです。

チャンネル0を先頭に指定最終チャンネルまで自動実行します。

アナログ入力端は順次・切り替えてAD変換するため各チャンネルの実行時刻に【注】一定の差が生じます。/下図/

【注】一定の時刻差 =  $4\mu s$  (ADM-680xPCI)、  
=  $8\mu s$  (ADM-682PCI)

図3-1A. 1回ADサンプリング・スキャン

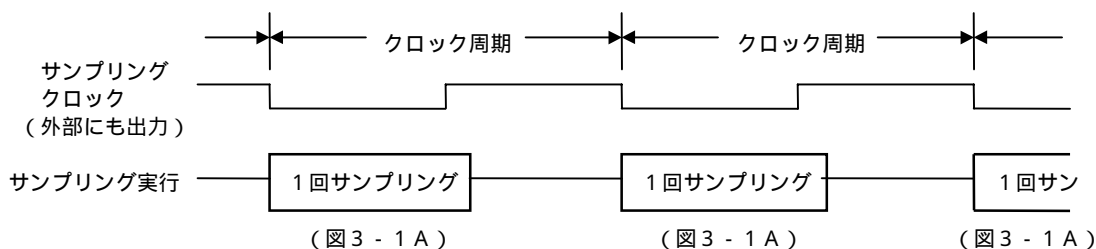


**操作手順**

- (1) 制御部リセット【3-4項】: 制御部リセット
- (2) 動作条件設定【3-5項】: ADデータコード設定
- 【3-6項】: 使用チャンネル数指定
- 【3-10項】: トリガモード設定(マニュアルに指定)
- (3) 動作開始【3-11項】: マニュアル(1回)サンプリングスタート
- (4) ステータス検査【3-12項】: ステータスの読み込み/評価
- (5) ADデータ取得【3-13項】: ADデータを(FIFOから)読み出す

**連続(自動)サンプリング**: 指定したアナログ入力チャンネル群に対して指定したトリガ、クロックでADサンプリング(&FIFOメモリに転送)を連続自動的に実行するものです。

図3-1B. 連続サンプリング



**操作手順**

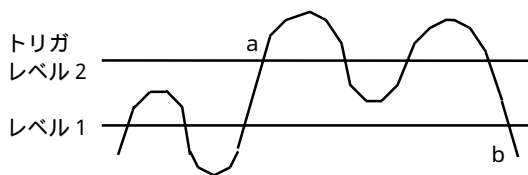
- (1) 制御部リセット【3-4項】: 制御部リセット
- (2) 動作条件設定【3-5項】: ADデータコード設定
- 【3-6項】: 使用チャンネル数指定
- 【3-7項】: クロック源指定(内部/外部)
- 【3-8項】: クロック源分周比(クロック値)の設定
- 【3-9項】: 内部(アナログ)トリガレベルの設定<任意>
- 【3-10項】: サンプリングモードの設定
- 【3-14項】: 割り込み要求発生要因の設定<注><任意>
- (3) 動作開始【3-10項】: トリガモード設定<任意>
- (4) ステータス検査【3-12項】: ステータスの読み込み/評価
- (5) ADデータ取得【3-13項】: ADデータを(FIFOから)読み出す

<注> 割り込みを使用時はデバイスドライバ中でクリア操作【3-15項】を行う必要があります。

最高サンプリング速度： 1回サンプリング・スキャン実行時間の逆数が本ボード自体の最高サンプリング周波数（可能なサンプリングクロック）となります。1回サンプリング・スキャン実行時間は、  
**ADM - 680x PCI**では（使用チャンネル数）× 4  $\mu$ s、  
**ADM - 682 PCI**では（使用チャンネル数）× 8  $\mu$ s。

トリガ機能： 本機のトリガは連続サンプリングを開始させるものです。【3 - 10項参照】ソフトトリガはプログラム上・任意のプロセスで実行できる即トリガ（即スタート）機能。外部トリガは外部TTL入力信号の指定エッジ、または指定アクティブ期間で機能します。内部（アナログ）トリガは指定条件とチャンネル0入力をボード上で比較して機能します。

図3 - 1 C . アナログ・エッジトリガ

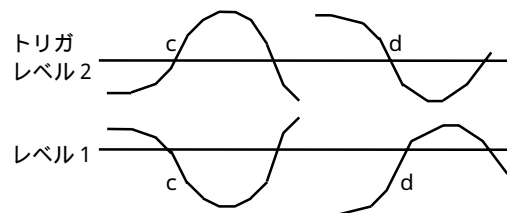


a : 正 ( + ) エッジトリガ点  
b : 負 ( - ) エッジトリガ点

エッジトリガの場合はノイズ等による逆極性誤動作が起らないようにヒステリシスを設定します。すなわち、ソフト上で指定したトリガレベル1, 2を連続して交差した点でトリガ発生となります。

レベルトリガの場合はレベル1と比較極性のみ設定、信号と大小だけを比較します。トリガ待ち開始 = 即トリガ発生もあり得ます。

図3 - 1 D . アナログ・レンジトリガ



c : アウトレンジ・トリガ点  
d : インレンジ・トリガ点

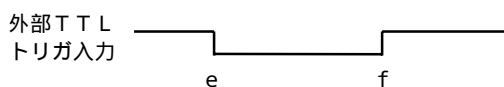
レンジトリガの場合は指定したトリガレベル1, 2の帯域から正負いずれかの方向に外れたC点でアウトレンジ・トリガ、逆に正負いずれかの方向から帯域内に入るD点でインレンジ・トリガ発生となります。

（別称：ウインドウレンジ・トリガ）

トリガレベル1, 2いずれかを指定極性で交差したときに発生するレンジ・エッジトリガもあります。

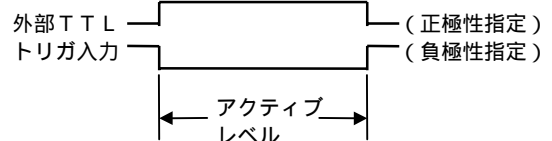
（別称：デュアルスロープ・トリガ）

図3 - 1 E . デジタル・エッジトリガ



e : 負 ( - ) エッジトリガ点  
f : 正 ( + ) エッジトリガ点

図3 - 1 F . デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

トリガ動作遅れ： 本ボード上で自動的に行われるトリガ検出から連続サンプリング開始までの遅れ時間はトリガの種類によって少しだけ異なります。

内部（アナログ）トリガ： 約 5  $\mu$ s  
内部ソフトトリガ： 250 ns  
外部デジタル入力トリガ： 250 ns

## 3-2 . F I F Oバッファメモリの構造・動作

### A Dデータ転送 ( F I F O パソコン )

A D変換 ( サンプリグ ) されたデータは F I F Oメモリ内にあり、パソコン側からの読み出しを待っています。 ソフト上では F I F Oメモリの充满状態を示すフラグを監視、または割り込み等を設定してアプリケーションに適した転送方法を採用します。 いずれの場合も F I F Oバッファメモリがサンプリグ実行とデータ転送のタイミング違いを吸収するのでマルチタスクシステムを容易に実現することができます。

ポーリング： 【Not-Empty】フラグを監視してA DデータをI N命令で1語ずつ読み込む方法、【Not Half-Full】フラグを監視してA DデータをI N S B命令でF I F Oメモリ容量の半分単位で読み込むブロックI / O転送がある。

割り込み： 【Not-Empty】【Not Half-Full】【1回サンプリグ・スキャン終了】【トリガ発生】【外部割り込み】等から選択した要因による割り込みでポーリングと同様のデータ転送を実行する。

### F I F Oメモリの動作

F I F O ( first in first out ) メモリは図3 - 2に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっている。

読み書きは非同期で同時も可能。 すなわちデータの書き込み ( 入口 ) と読み出し ( 出口 ) は互いに相手側のタイミングに配慮する必要がない。

F I F Oメモリ内部は出口から読み出された分だけ入口側に空領域が増えるので満杯となる前にデータを読み出す動作であればサンプリグ点数を制限しない。 なお満杯時に追加書き込みされようとしたデータは消失し【E R R : エラー】フラグがセット ( = 1 ) されるが、この後もF I F Oメモリ内のデータは有効に読み出すことができる。

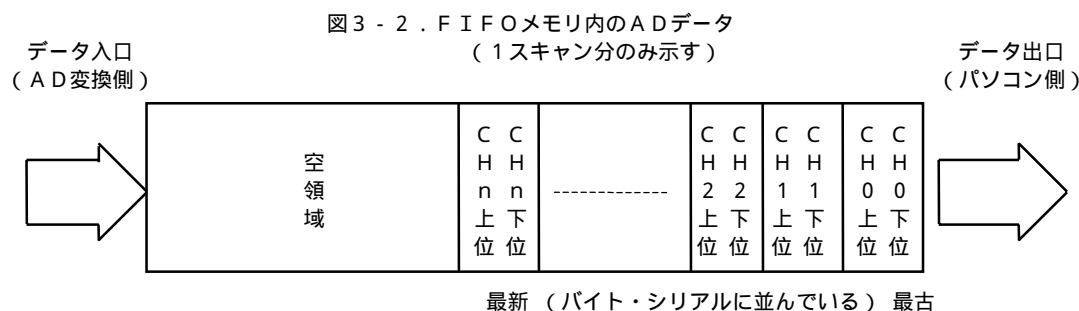


表3 - 2 . F I F Oメモリ関連のステータス・フラグ

フラグ名	フラグの意味	( 標準1024語のとき )
N o t - E M P T Y	1語以上。	( 格納データ数 1 )
N o t - H A L F - F U L L	[ 容量の半分 ] 以下。	( 格納データ数 512 )
E R R	サンプリグ・エラー発生。	データ読み出しが遅いためメモリが溢れた、または実力以上の速度で書き込みした。





### 3-3. 制御レジスタ I / O アドレス・マップ

表 3 - 3 に本ボード上の各制御レジスタ I / O アドレスを記します。  
 表中の【BASE】はプラグアンドプレイで設定される I / O ベースアドレス値です。

表 3 - 3 . 制御レジスタ I / O アドレス

I/O アドレス	IN/OUT	ポート / レジスタ名・機能	記載項
【BASE】+ C	IN		
	OUT	外付・同時サンプルホールド制御 (オプション)	【3-18】
【BASE】+ B	IN	ボード番号 (スイッチ SW - BN の設定値)	【3-4】
	OUT		
【BASE】+ A	IN	汎用デジタル入力 / 現在値	【3-17】
	OUT	汎用デジタル出力 / ラッチ	
【BASE】+ 9	IN		
	OUT	(クロック源) 分周比設定	【3-8】
【BASE】+ 8	IN		
	OUT	クロック源選択	【3-7】
【BASE】+ 7	IN	ボード制御部リセット	【3-4】
	OUT	アナログ・トリガレベル (2) 設定	【3-9】
【BASE】+ 6	IN	マニュアル (1 回) サンプリングスキャン	【3-11】
	OUT	アナログ・トリガレベル (1) 設定	【3-9】
【BASE】+ 5	IN	ステータス取得	【3-12】
	OUT	ステータス (ビット指定) クリア	
【BASE】+ 4	IN		
	OUT	割り込み制御 (要因設定)	【3-14】
【BASE】+ 3	IN		
	OUT	トリガモード設定 (含ソフトトリガ実行)	【3-10】
【BASE】+ 2	IN		
	OUT	データコード指定	【3-5】
【BASE】+ 1	IN		
	OUT	割り込み要求クリア	【3-15】
【BASE】+ 0	IN	A/D データ読み出し	【3-13】
	OUT	スキャン最終チャンネル番号指定	【3-6】

【読み (IN) / 書き (OUT)】はパソコン側から見た方向。

全てのポートは 1 バイト。

#### 制御操作の詳細

以下【3-4 項】～【3-18 項】に各制御レジスタの詳細を記します。  
 各ポートアドレス値は表 3-3 を御参照ください。

### 3 - 4 . ボード・リセット、認識

```
rst = inp (BASE + 7) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ (rst) は本ボードの ID です。 当操作は電源 ON、またはパソコン本体のハードウェアリセットと同等の機能ですが汎用デジタル (ラッチ) 出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

サンプリング中であれば、これを中止する。

FIFOメモリをクリアする。(格納されていた読み出し待ちADデータは失われる)

なお、クロック源 / 分周は無効となる。(要再設定)

汎用デジタル (ラッチ) 出力は変化せずに保持される。

表 3 - 4 A . 【BASE + 7】入力ポートの構成

ビット	各ビットの機能・意味
B 7	ADM - 680x PCIのボードID = ( 2 A H ) ADM - 682 PCIのボードID = ( F H )
B 6	
B 5	
B 4	
B 3	
B 2	
B 1	
B 0	

【注】ここで読み込まれるボードIDはPCIバス上のDEVICE IDとは無関係です。  
( 1 - 5 項 . 参照 )

#### < 本ボードを複数使用する場合 >

本ボードのI/Oアドレスはプラグアンドプレイにより(その都度)ダイナミックに割り当てられます。 複数の本ボードを同一システムにインストールして使用する場合、ハードウェアの構成・状態が変わらなければ前回立上げ時と同一アドレスが割り当てられますが、増設・交換等の変化があった後は前回立上げ時と異なるアドレスを割り当てられることがあります。

そのようなときに複数の本ボードを区別・特定する手段としてボード番号設定スイッチがあります。(本ボードを1枚のみ使用する場合は無用です。)

```
BN = inp (BASE + B) ; /* ボード番号設定スイッチSW - BN読み込み */
```

表 3 - 4 B . 【BASE + B】入力ポートの構成

ビット	各ビットの機能・意味
B 7	未使用
B 6	
B 5	
B 4	
B 3	ボード番号設定スイッチSW - BNの値 ( 0 ~ F H )
B 2	
B 1	
B 0	

### 3-5 . A D データコード指定

o u t p (BASE + 2 , d c d ) ; /\* d c d = データコード指定データ \*/

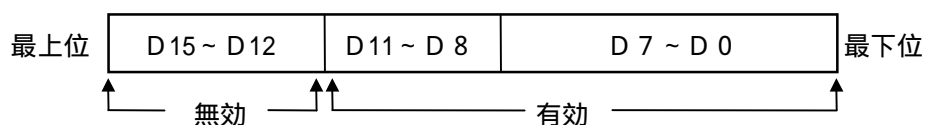
A D データコード ( バイナリ、または2の補数 ) の設定データ d c d を書き込みます。

表 3 - 5 . 【BASE + 2】出力ポートの構成

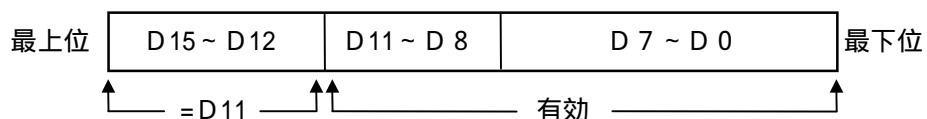
ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用 ( 無効 )			0
B 6	未使用 ( 無効 )			0
B 5	未使用 ( 無効 )			0
B 4	A D データコード	2 の補数	バイナリ	0
B 3	未使用 ( 無効 )			0
B 2	未使用 ( 無効 )			0
B 1	未使用 ( 無効 )			0
B 0	未使用 ( 無効 )			0

【注】 最上位 4 B I T について。

バイナリ指定の場合：A D データ 1 語中、最上位 4 B I T は無効です。



2 の補数指定の場合：A D データ 1 語中、最上位 4 B I T は有効なデータの最上位ビット D11 と同一値になります。



### 3-6 . サンプルング・チャンネル数の設定

o u t p ( B A S E + 0 , e c h ) ; /\* e c h : スキャン最終チャンネル番号 \*/

各回サンプルング・スキャンはチャンネル番号の若い順（先頭＝チャンネル0）に固定されており、当ポートで最終チャンネル番号 e c h を指定します。 従って使用されるチャンネル数は（ e c h + 1 ）となります。 【注】サンプルングスキャン：3-1項/図3-1A . 参照。

表 3 - 6 . 【BASE + 0】出力ポートの構成

ビット	各ビットの機能・意味	指定方法	リセット時
B 7	未使用		0
B 6			0
B 5			0
B 4			0
B 3			0
B 2	スキャン最終チャンネル番号	0 H ~ F H	0
B 1			0
B 0			0

### 3-7. クロック源の選択

```
outp (BASE + 8, cks); /* cks : クロック源選択 */
```

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的の連続サンプリング・クロックとなります。例えば外部クロック源 (CLK-IN) 入力を選択し、分周比を 1 / 1 に設定すれば、外部イベントに同期したサンプリングとなります。

表 3 - 7 A . 【BASE + 8】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	外部クロック源 (使用時) の有効極性指定	( + )	( - )	0
B 6 B 5	内部クロック源 (使用時) の選択データ	【表 3 - 7 B】参照。		0 0
B 4	クロック源選択 (外部 / 内部)	外部	内部	0
B 3 B 2 B 1 B 0	未使用			0 0 0 0

表 3 - 7 B . 選択される内部クロック源

ビット		選択される内部クロック源	
B 6	B 5	クロック源周波数	主な用途
1	1	無効	
1	0	オプション	任意
0	1	8.192 MHz	周波数解析
0	0	10.000 MHz	汎用計測

オプションのクロック源素子 (10 MHz 以下) は本ボード上に追加装着することで使用可能となります。

素子名    JXO-5S-    MHz (金石)、または DOC-49S1-    MHz (大真空)、または SG-8002DC-    M-PTBS (EPSON)
----------------------------------------------------------------------------------------------

### 3-8. (クロック源) 分周比の設定 ..... 連続サンプリングクロック値の設定。

```

o u t p ( B A S E + 9 , d i v 1 ) ; /* d i v 1 = 分周比 A の下位バイト */
o u t p ( B A S E + 9 , d i v 2 ) ; /* d i v 2 = 分周比 A の上位バイト */
o u t p ( B A S E + 9 , d i v 3 ) ; /* d i v 3 = 分周比 B の下位バイト */
o u t p ( B A S E + 9 , d i v 4 ) ; /* d i v 4 = 分周比 B の上位バイト */

```

クロック源の分周比データを (BASE + 9 ポートに) 書き込みます。

必ず4バイト続けて書き込んで下さい。

分周は16BIT構成のカウンタA, Bを直列接続した32BITで行われます。

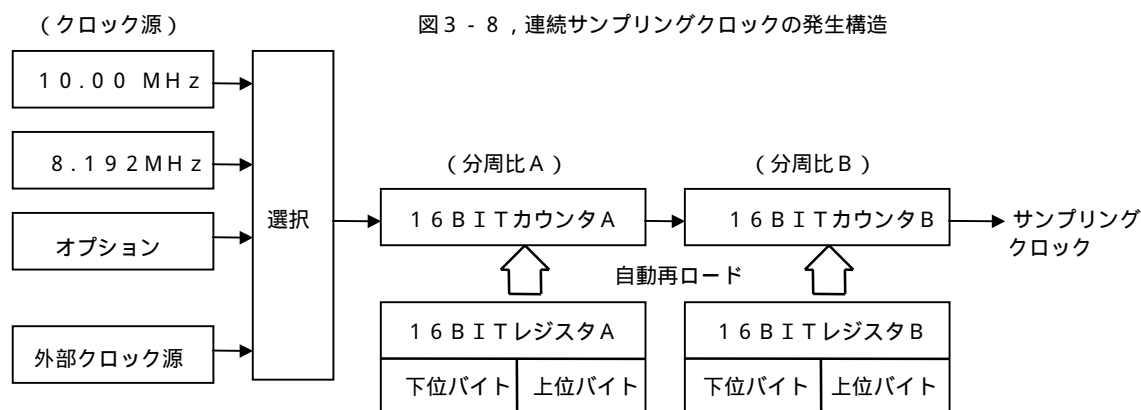
分周データA, Bの範囲は各1~65535で、各専用レジスタに書き込まれます。

内部クロック源10MHz (周期100ns) を選択したときの最長クロック周期は、

$$(100\text{ns}) \times 65535 \times 65535 = 429.4836225\text{秒}$$

表3-8. 【BASE + 9】出力ポートの構成

ビット	分周比A下位	分周比A上位	分周比B下位	分周比B上位	リセット時
B7	(div1) a7	(div2) a15	(div3) b7	(div4) b15	変化しない
B6	( " ) a6	( " ) a14	( " ) b6	( " ) b14	
B5	( " ) a5	( " ) a13	( " ) b5	( " ) b13	
B4	( " ) a4	( " ) a12	( " ) b4	( " ) b12	
B3	( " ) a3	( " ) a11	( " ) b3	( " ) b11	
B2	( " ) a2	( " ) a10	( " ) b2	( " ) b10	
B1	( " ) a1	( " ) a9	( " ) b1	( " ) b9	
B0	( " ) a0	( " ) a8	( " ) b0	( " ) b8	



内部クロック源10.00MHz および 8.192MHz は本ボード標準装備。

《分周動作》 連続サンプリング開始のトリガを認識すると分周動作が開始されます。レジスタからカウンタにロードされた分周比データはクロック源周期ごとにダウンカウントされて行き、0に達するとタイミング信号を発生させると同時に再びレジスタからカウンタにロードされる繰り返しとなります。このタイミング信号が各回サンプリング・スキャンの実行開始タイミングとなります。

### 3-9 . 内部 (アナログ) トリガレベルの設定

output (BASE + 6 , TGL 1 ) ; /\* TGL 1 = トリガレベル・データ 1 \*/  
output (BASE + 7 , TGL 2 ) ; /\* TGL 2 = トリガレベル・データ 2 \*/

アナログ・トリガレベル指定データを (BASE + 6、BASE + 7 ポートに) 書き込みます。

必ず 2 データ続けて書き込んで下さい。

レベルトリガ・モードのときは (表 3 - 9 A のように) TGL 2 は無効ですが、必ず形式的なダミーデータを書き込んでください。

本機が (内部 = アナログ) トリガ待ち状態の時はチャンネル 0 入力が一定周期【注】で連続的に監視サンプリングされ、AD 変換値の上位 8 BIT が当トリガレベル・データと比較されています。トリガが認識されると (3 - 8 項で説明した) 分周動作が開始されます。すなわち、連続サンプリングのスタートです。【注】一定周期: 約 5  $\mu$ s。

ここで指定するトリガレベル・データ TGL 1、および TGL 2 は (3 - 10 項で設定される) トリガモードにより表 3 - 9 A の意味を持ちます。

表 3 - 9 A . トリガモード v s トリガレベル・データ

トリガレベル・データ	エッジトリガの場合	レベルトリガの場合	レンジトリガの場合
TGL 1	トリガ基準レベル	トリガ基準レベル	トリガレベル下限値
TGL 2	ヒステリシス・レベル	ダミーデータ	トリガレベル上限値

#### トリガレベル・データ TGL の算出

$$TGL = V_{tg} \div (V_{span} \div 256) + 128 \text{ digit}$$

なお、 $V_{tg}$  : トリガレベル電圧

$V_{span}$  : スパン (入力範囲の絶対幅 / 表 3 - 9 B 参照)

表 3 - 9 B . 各アナログ入力範囲に対するスパン、およびトリガレベル分解能

アナログ入力範囲	A レンジの場合		B レンジの場合	
	Vspan	分解能 ( $V_{span}/256$ )	Vspan	分解能 ( $V_{span}/256$ )
$\pm 10 \text{ v}$	20.48 v	80 m v	20 v	78.125 m v
$\pm 5 \text{ v}$	10.24 v	40 m v	10 v	39.0625 m v
$\pm 2.5 \text{ v}$	5.12 v	20 m v	5 v	19.5312 m v



## 内部（アナログ）トリガの各種形態

**エッジトリガ：**（トリガチャンネル＝スキャン先頭チャンネル）アナログ入力信号が指定トリガレベルを指定方向（極性）で交差したときに発生します。但し、本ボードでは信号に重畳した雑音による誤トリガを防ぐためにヒステリシスレベルを設定し、トリガ基準レベル（TGL1）とヒステリシス・レベル（TGL2）を連続して交差した時点でトリガを発生させます。

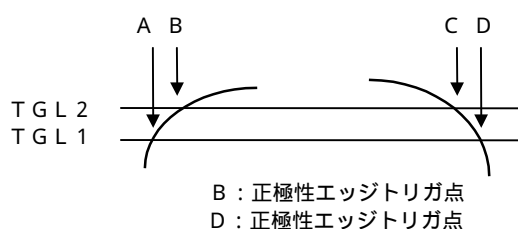
## 《補足》

トリガチャンネル入力信号に雑音が乗っており、エッジトリガ・モードでヒステリシスが無いときはトリガ基準レベル（TGL1）付近で誤トリガ発生が考えられます。

すなわち、正極性のエッジトリガを指定しているときはD点付近、また負極性のエッジトリガを指定しているときはA点付近で雑音による誤トリガ発生の可能性があります。

ヒステリシス・レベル（TGL2）の設定により正しいトリガ点でのみ動作します。

図3-9A. ヒステリシスによる正しいトリガ認識



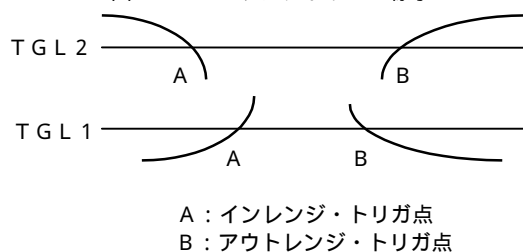
**レベルトリガ：**トリガチャンネル入力信号がトリガ基準レベル（TGL1）の大きを単純に比較します。正極性を指定した場合はアナログ入力信号がトリガ基準レベルより大きい時、負極性を指定した場合はアナログ入力信号がトリガ基準レベルより小さい時にトリガ発生となります。したがって、トリガ待ちになった瞬間にトリガ発生となる場合もあります。

**レンジトリガ：**トリガチャンネル入力信号がトリガレベル上限値（TGL2）と同下限値（TGL1）で指定する帯域から上下いずれかの方向に外れた時がアウトレンジ・トリガ、逆に上下いずれかの方向から指定領域に入った時がインレンジ・トリガ（負極性のレンジトリガ）です。

## 《補足》

レンジトリガはレベル動作が一般的ですが、別名 デュアルスロープ・トリガ とも称するエッジトリガも可能です。その場合のヒステリシスはトリガレベル上下限値の外側、トリガレベル分解能1単位（表3-9B）に固定されています。

図3-9B. レンジトリガの様子



## 外部（デジタル）トリガの各種形態

図3-9C. デジタル・エッジトリガ

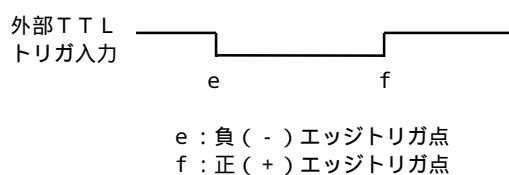
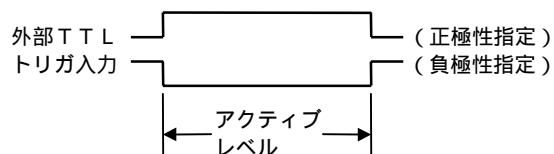


図3-9D. デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

## 3-10.トリガモード設定（含ソフトトリガ実行）

outp (BASE + 3, tgm); /\* tgm = トリガモード設定データ \*/

トリガモード、およびサンプリングモード設定データを書き込みます。

表3-10A. 【BASE + 3】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	ソフトトリガ制御	発生	禁止（強制停止）	0
B 6	外部トリガ入力信号制御	許可	禁止（強制停止）	0
B 5	内部（アナログ）トリガ制御	許可	禁止（強制停止）	0
B 4	トリガ極性選択	+ ( )	- ( )	0
B 3	トリガ認識モード選択 2	エッジ	レベル	0
B 2	トリガ認識モード選択 1	レンジ	レンジ以外	0
B 1	未使用			0
B 0	サンプリング・モード選択	連続サンプリング	マニュアル・サンプリング	0

マニュアル・サンプリング動作（B 0 = 0 のとき）：次 3-11 項参照。

連続サンプリング動作（B 0 = 1 のとき）

**連続サンプリング**はトリガの発生によりスタートし、スタートの原因となったトリガ制御ビットのリセット（0）により停止します。複数のトリガを許可しておくで最初に発生したトリガで連続サンプリングがスタートしますが、その原因となったトリガ制御ビットをリセットしても他の許可されたトリガが発生すると再びスタートするので注意が必要です。

プログラム上任意のプロセスから連続サンプリングをスタートさせるには、**ソフトトリガ**制御ビット B 7 をセット（0 → 1）します。停止させるにはリセット（1 → 0）です。

なお、サンプリング・モードが**マニュアル・サンプリング（B 0 = 0）**のときにソフトトリガまたは許可されていたトリガが発生しても連続サンプリングは行われませんが、サンプリング・クロックは起動されます。したがってステータスデータ【3-12 項】には反映されますし、また同クロックによる割り込みが許可【3-14 項】されているときは割り込み要求信号が発信されます。

特殊なトリガ形態として**帯域サンプリング**（デジタル・レベルトリガ）動作があります。これは外部トリガ入力信号の指定レベル（極性）期間だけ連続サンプリングを行います。

/ 図 3-9D 参照 /

表 3-10 B. トリガモード設定ビットの組み合わせ

選択されるトリガ名		B7	B6	B5	B4	B3	B2	備考 / 一般的な別呼称
	ソフトトリガ	1	x	x	x	x	x	即トリガ (即スタート)
デジタル	エッジ・トリガ ( + )	0	1		1	1	0	
	エッジ・トリガ ( - )	0	1		0	1	0	
	レベル・トリガ ( + )	0	1		1	0	0	帯域サンプリング ( + )
	レベル・トリガ ( - )	0	1		0	0	0	帯域サンプリング ( - )
アナログ	エッジ・トリガ ( + )	0		1	1	1	0	
	エッジ・トリガ ( - )	0		1	0	1	0	
	レベル・トリガ ( + )	0		1	1	0	0	
	レベル・トリガ ( - )	0		1	0	0	0	
	レベル・レンジトリガ ( + )	0		1	1	0	1	アウトレンジ・トリガ
	レベル・レンジトリガ ( - )	0		1	0	0	1	インレンジ・トリガ
	エッジ・レンジトリガ ( + )	0		1	1	1	1	デュアルスロープ・トリガ ( + )
	エッジ・レンジトリガ ( - )	0		1	0	1	1	デュアルスロープ・トリガ ( - )

: 当ビットをセット (= 1) するとアナログトリガとのOR動作となる。

: 当ビットをセット (= 1) するとデジタルトリガとのOR動作となる。

×：無視

## 具体的な操作（事前の条件設定等は別途必要）

```
マニュアル（１回）サンプリング：   outp（BASE + ３，0x0）    ： / * マニュアルサンプリングに設定 */  
                                     mstr = inp（BASE + ６）      ： / * 次３ - １ １項参照 */
```

[illegible]

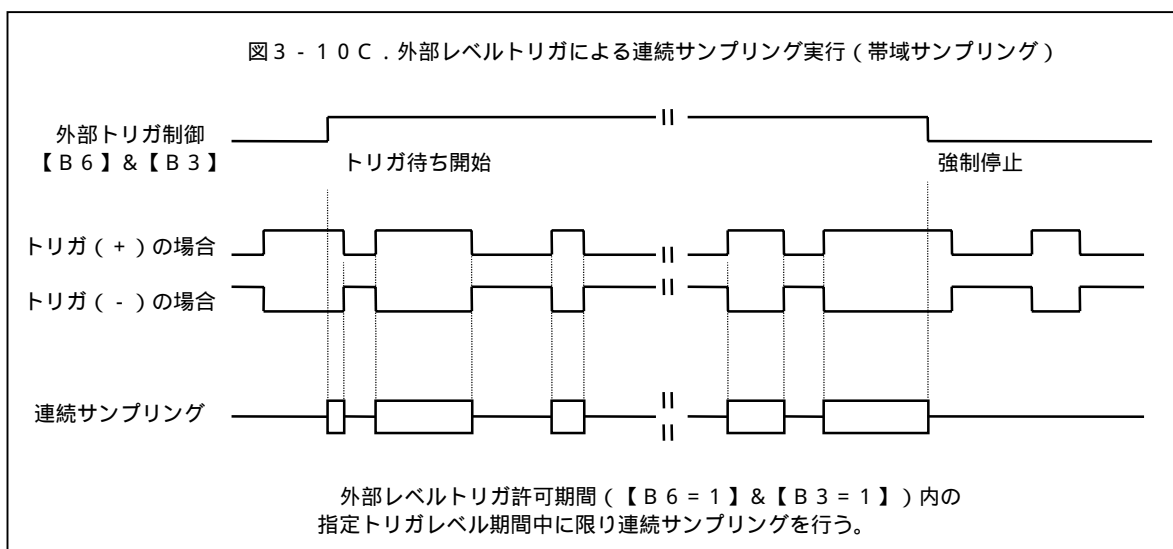
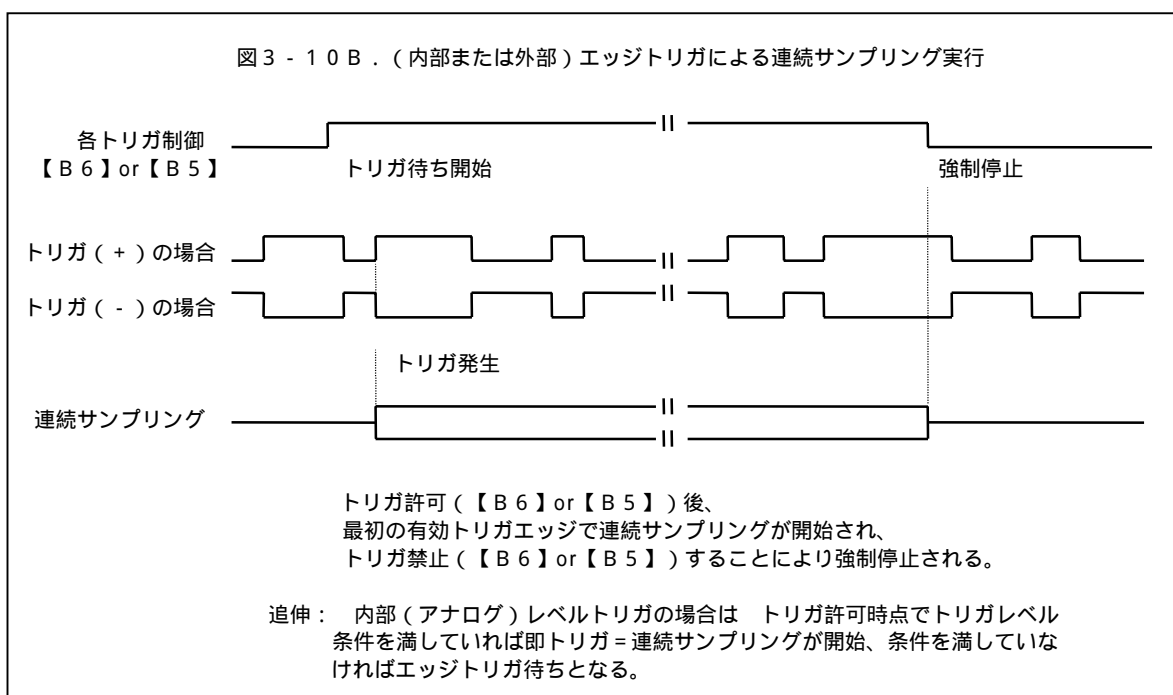
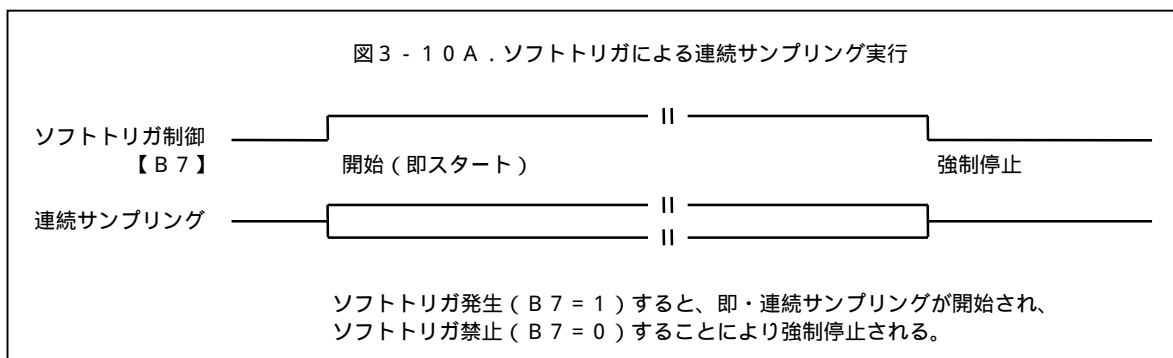
```
各種トリガで連続サンプリング      :   outp( BASE + 3 , tgm )       : /* 各種トリガ待ち状態 */
                                      :   outp( BASE + 3 , 0x01 )    : /* 強制停止          */
```

トリガ遅れ

トリガ条件が成立したとき、本ボードがこれを検出して実際に連続サンプリングを開始するまでの遅れ時間はトリガの種類によって少しだけ異なります。  
その遅れ時間は、

ソフトトリガ： 250 ns、  
内部（アナログ）トリガ： 約 5 μs、  
外部（デジタル）トリガ： 250 ns です。

図3 - 10 A , B , C に一般的な連続サンプリング動作の様子を示します。



### 3-11. マニュアル (1回) サンプリング開始

```
str = inp (BASE + 6) ; /* str = ダミー (無効) データ */
```

当操作により指定チャンネル群に対するマニュアル (1回) サンプリングが開始されます。変数 `str` には意味が無く、当操作の実行時に発生する I/O 制御信号で動作します。プログラム上任意のプロセスで指定チャンネル群に対する各 1 回サンプリングを実行したいときに利用します。

サンプリングされた AD データは (連続サンプリングと同様に) FIFO バッファメモリに自動転送されます。当操作の後は、FIFO メモリの各回サンプリングスキャン終了フラグ、または Not-Empty フラグ (次 3-12 項) を検出するループを経て AD データ読み込みを実行します。 (3-13 項)

#### マニュアル (1回) サンプリング操作の全手順

```
rst = inp (BASE + 7) ; /* 制御部リセット【3-4項】: 制御部リセット */
outp (BASE + 2, 0x0) ; /* 【3-5項】: データコード、スキャン速度 (本例ではバイナリ) */
outp (BASE + 0, 0x3) ; /* 【3-6項】: 使用チャンネル数の (本例では4チャンネル) */

outp (BASE + D, 0xA) ; /* 【3-19項】: マルチサンプリング回数の設定 (本例では10回) */
outp (BASE + D, 0x0) ; /* 【  "  】: 同上 (最大255なので上位3バイトは必ず0) */
outp (BASE + D, 0x0) ; /* 【  "  】: 同上 (最大255なので上位3バイトは必ず0) */
outp (BASE + D, 0x0) ; /* 【  "  】: 同上 (最大255なので上位3バイトは必ず0) */
outp (BASE + E, 0x1) ; /* 【3-20項】: マルチスキャンクロック源、平均処理 (内部、平均する) */

outp (BASE + 3, 0x0) ; /* 【3-10項】: トリガモード設定 (マニュアルに指定) */

str = inp (BASE + 6) ; /* 動作開始【3-11項】: マニュアル (1回) サンプリング開始 */

while ((inp (BASE + 5) & 0x80) != 0x80)
    ; /* ステータス検査【3-12項】: ステータスの読み込み / 評価 */

outp (BASE + 5, 0x80) ; /* ステータス (EOSフラグ) クリア */

for (ch = 0; ch <= 3; ch++) ; /* チャンネル0~3まで */
{
    ADL (ch) = inp (BASE + 0) ; /* ADデータ下位バイト取得【3-13項】: FIFOから読む */
    ADH (ch) = inp (BASE + 0) ; /* ADデータ上位バイト取得【3-13項】: FIFOから読む */
}
```

《補》 マルチサンプリング & 平均処理機能を使うこともできます。

上例の【BASE + D】～【BASE + E】で設定している部分です。

ここでは4チャンネル分、最高速 (2  $\mu$ s / ch) 指定なので実行時間は、  
(2  $\mu$ s)  $\times$  (4 ch)  $\times$  (10回) = 80  $\mu$ s になります。

各チャンネルごとの平均値をハード的に算出、これが1回サンプリングスキャン分データとしてFIFO バッファメモリに書き込まれています。

なお自動連続サンプリングでは**指定周期**で指定回数をサンプリングスキャンできますが、マニュアルサンプリング (本項) のときは固定の最高速で実行されます。

## 3-12. ステータスデータの取得、クリア

```
s t s = i n p ( B A S E + 5 ) ; /* s t s = ステータスデータ */
```

本ボードのステータスデータを読み込みます。

表 3-12A. 【BASE+5】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	EOS: 各回サンプリング・スキャン終了【注1】	終了済み	実行中、その他	0
B 6	INT: 割り込み要求発生【注1】	発生済み	未発生、その他	0
B 5	TIM: 各回サンプリング・スキャン開始【注1】	開始済み	未開始、その他	0
B 4	TGD: トリガ発生認識【注2】	発生済み	未発生	0
B 3	未使用			0
B 2	ERR: エラーフラグ【注1】	発生	未発生	0
B 1	HLF: Not Half-full (3-2項参照)【注2】	1 / 2 未満	1 / 2 以上	1
B 0	EMP: Not Empty (3-2項参照)【注2】	データ有	データ無	0

【注1】 一旦セットされるとクリア操作まで保持するラッチフラグ。

【注2】 現在状態を刻々反映する状態フラグ。

## 《補足説明》

**EOS:** 各回のサンプリング・スキャンが終了するたびにセット (= 1) される。すなわち、後述のTIMからサンプリング・スキャン実行時間だけ遅れてセットされる。

**INT:** 割り込み要求が発生 (3-14項) するとセット (= 1) される。

**TIM:** 各回のサンプリング・スキャンが開始されるたびに (連続サンプリングクロックの前縁で) セット (= 1) される。

**TGD:** 許可されたトリガ (内部 / 外部 / ソフト) が発生するとセット (= 1) される。  
(B 4) トリガ禁止操作 (3-10項) でクリアされる。  
外部デジタル入力によるレベルトリガ (帯域サンプリング) 動作のときは同有効レベル期間中だけセット (= 1) される。

**ERR :** サンプリング動作エラー（以下 ケースのいずれか）発生時にセット（= 1）  
 （B2） され、制御部リセット操作（3 - 4項）まで保持される。

FIFOバッファメモリが満杯になった状態で、次のデータは書き込みが  
 成らず消失された。《データロスト・エラー》

本機の（実力）最高サンプリング速度以上のクロック値を指定して連続サ  
 ンプリングを実行した。《オーバーラン・エラー》

**HLF :** FIFOバッファメモリ内がサンプリングされたデータで《半分 + 1》以上に  
 （B1） なった時にセット（= 0）され、読み出しの実行で《半分 + 1》未満になるとリ  
 セット（= 1）される。/Not Half-full/

本機のFIFOメモリ容量は標準1024語、《半分 + 1》= 513語。

**EMP :** FIFOバッファメモリにサンプリングされたデータが1個でも書き込まれる  
 （B0） とセット（= 1）され、空になるとクリア（= 0）される。/Not Empty/

#### ステータス・クリア操作

```
outp (BASE + 5, stc); /* stc = ステータス (の指定ビット) クリア */
```

ステータスデータ（の指定ビット）、またはFIFOメモリ素子をクリアします。  
 この動作は当出力命令実行の瞬間に行われ、当出力データは保持されません。

表3-12B. 【BASE + 5】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B7	EOS【注1】ビットのクリア制御	クリアする	クリアしない	0
B6	INT【注1】ビットのクリア制御	クリアする	クリアしない	0
B5	TIM【注1】ビットのクリア制御	クリアする	クリアしない	0
B4	未使用			
B3	未使用			
B2	ERR【注1】ビットのクリア制御	クリアする	クリアしない	0
B1	未使用			
B0	FIFOメモリ素子だけのクリア【注3】	クリアする	クリアしない	0

【注3】 FIFOメモリ内の残りデータを破棄し、EMP, HLFフラグをリセットする。

### 3-13 . A/Dデータの読み出し

FIFOバッファメモリ内のA/Dデータは図3-13に示す配置となっています。 これらを逐次読み出し、パソコン側のメモリに転送する方法は通常の入力命令のほかにブロック入力命令もあります。

- (1) 通常の入力命令の場合はバイト単位で（連続して）読み出します。

ソフト上ではサンプリングされたA/DデータがFIFOメモリ内に1個以上有るか/空かを示すステータスフラグEMP（前3-12項）をポーリングするか、または同ステータスによる割り込みを使用します。

《読み込み操作例》

```
ADL = inb (BASE+0x0) ; /* ADL = 下位バイト・データ (D7~D0) */
ADH = inb (BASE+0x0) ; /* ADH = 上位バイト・データ (D15~D8) */
```

- (2) 80286以上のCPU搭載パソコンでは複数のデータを連続して読み出し、パソコン側のメモリに転送するブロック入力転送命令（INSB命令）を使用することができます。

この場合はFIFOメモリ内に蓄積されたA/DデータがFIFOメモリ容量の 半分 + 1 以上か/未満かを示すステータスフラグHLF（前3-12項）をポーリングするか、または同ステータス変化による割り込みを使用します。

```
《ブロックIN命令》  mov     dx, (BASE+0x0) ; /* 読み出しポート */
                    mov     ecx, count ; /* 読み出しデータ数 x 2 */
                    mov     edi, dest ; /* データ格納先アドレス先頭 */
                    cld
                    rep insb ; /* データ転送 */
```

（期待転送速度 = 800 Kword / sec 程度。）

#### A/Dデータ読み出しアルゴリズム作成上の注意

FIFOメモリからA/Dデータを読み出すときに監視・参照するフラグにはNot-Empty、Half-Full、各回サンプリングスキャン終了などがあります。 Half-Full フラグはもっぱらFIFOメモリ容量の半分単位でブロック転送（INSB命令）をするときに使用し、Not-Emptyと各回サンプリングスキャン終了フラグは時々刻々の読み出しに使用されます。

注意すべきは Not-Empty の使用法で、複数チャンネルを使用しているときに当フラグを検出して複数データの読み出し操作を行うと（ソフト実行速度が速い場合）後順チャンネルのA/Dデータが未だ入力されていないのに読んでしまうことが起こり得ます。

各回サンプリングスキャン終了フラグを利用すれば、当フラグの検出時には既に指定チャンネル分のA/Dデータが存在するので確実に読み出しできます。

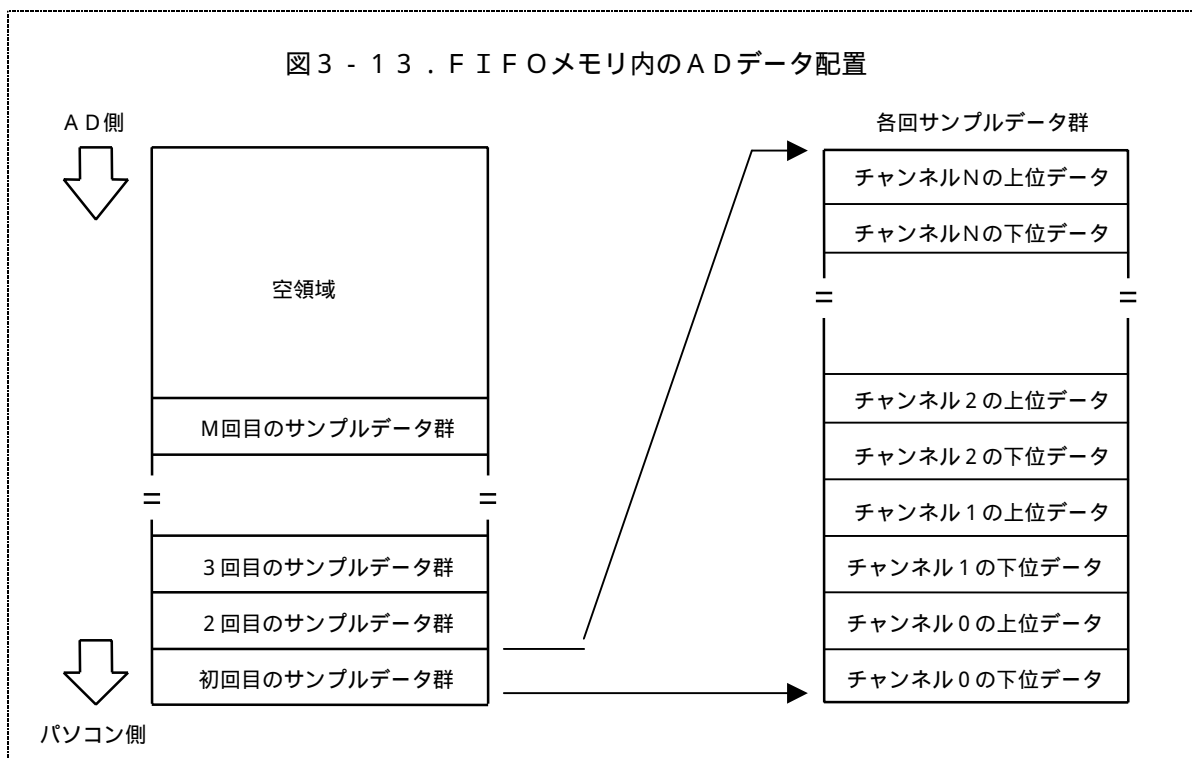
エラーが発生するときは、

本ボード搭載のFIFOメモリ入力速度（使用チャンネル数 × サンプリング周波数）が出力側の読み出し速度（パソコン側へのデータ転送速度）より速いときは、同メモリの充満量が次第に増えてゆき、ついにはオーバーフローを起こしてエラー（ERR）フラグが立ちます。

当該時点以降にサンプリングされた新データは全て消失されますが【ここでトリガ禁止操作によりサンプリング動作を止めれば】FIFOメモリ内の残りデータは全て有効に読み出すことができます。 【注】オーバーフロー発生がブロック転送実行タイミングと重なった場合は、FIFOメモリ末尾側に最大1ブロック転送分の空領域を残すような形となります。

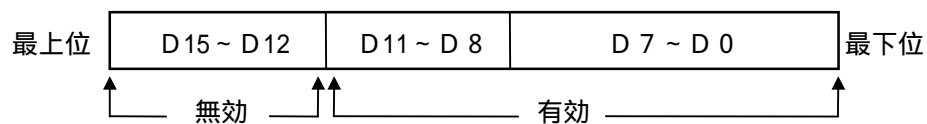


図3-13. FIFOメモリ内のADデータ配置

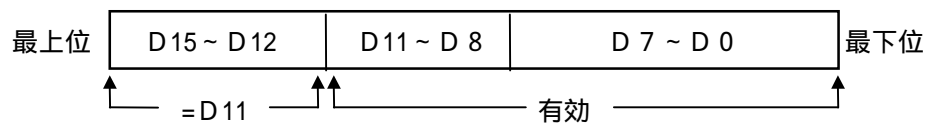


12ビットデータの最上位4BITについて。

バイナリ指定の場合：ADデータ1語中、最上位4BIT（2BIT）は無効です。



2の補数指定の場合：ADデータ1語中、最上位4BITは有効なデータの最上位ビットD11と同一値となります。



### 3-14 . 割り込み制御

```
outp (BASE + 4, irm); /* inm : 割り込み要求の発生要因制御 */
```

本ボードからパソコン本体内部割り込みコントローラに発信する割り込み要求の発生要因を制御します。複数の要因を許可するとOR動作となります。なお本ボードで割り込みを使用するにはインストール時にリソースを取得しておく必要があります。(1-6項/インストール/参照)

【割り込みを使用しない場合は操作不要です。/読み飛ばしてください。】

表3-14 . 【BASE + 4】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	外部割り込み信号 (INT-IN) の有効極性指定	( + )	( - )	0
B 6	(FIFO) HALF-FULL 状態に変化 による割り込み	許可	禁止	0
B 5	(FIFO) Not-EMPTY 状態に変化 による割り込み	許可	禁止	0
B 4	未使用			0
B 3	1回サンプリング・スキャン終了 による割り込み	許可	禁止	0
B 2	トリガ発生 による割り込み	許可	禁止	0
B 1	外部割り込み信号 (INT-IN) による割り込み	許可	禁止	0
B 0	連続サンプリング・クロック による割り込み	許可	禁止	0

#### 《 補助説明 》

- B 7 : 外部割り込み信号 (INT-IN) が許可された場合の信号エッジ極性 ( ) 指定。
- B 6 : FIFOメモリ内の待機データが半分 (標準1K語のとき512) を超えた状態が発生したタイミングによる割り込み制御。
- B 5 : FIFOメモリ内が空から1データ入ったタイミングによる割り込み制御。
- B 3 : 各回サンプリング・スキャン終了タイミングによる割り込み制御。
- B 0 : 指定クロックの有効エッジによる割り込み制御。  
(各回サンプリング・スキャン開始タイミングによる割り込み制御。)

実際に割り込みを使用するには、 割り込みリソースを取得する。(1-5項)  
割り込み処理サブルーチンを用意する。  
ドライバで割り込みを使用するように設定する。

このあと当割り込み制御ポートに書き込みを行いますが、WINDOWSでは割り込みコントローラ素子(パソコン本体内部)をアプリケーションで直接操作することはせずに、デバイスドライバが事前事後の処理と応答操作を行い、アプリケーションには通知と戻りのメッセージ交換で対処します。具体的には本ボード付属のCサンプルの該当部分を参照してください。

《添付のデバイスドライバを使用した例》

### 3 - 15 . 割り込み要求クリア

```
outp (BASE + 1, 0x0) ; /* 割り込み要求信号クリア (出力禁止) */
outp (BASE + 1, 0x1) ; /* 割り込み要求信号出力許可 */
```

本ボードからパソコン本体内部割り込みコントローラに発信する割り込み要求信号出力はソフト（ボードのドライバ）上でクリア操作する必要があります。すなわち、PCIバスの割り込み信号はクリア操作まで割り込み要求状態を保持する“レベル動作”です。

また当ポートはラッチポートですからビットB0で出力禁止（クリア）操作を行うと当状態は保持され、次の割り込み信号が出力できない状態です。これを解消するには再度ビットB0をセット（= 1）する操作が必要です。

《WINDOWSでは通常、この操作はデバイスドライバ内で行います。》

表 3 - 15 . 【BASE + 1】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用			0
B 6				0
B 5				0
B 4				0
B 3				0
B 2				0
B 1				0
B 0	PCIバス上への割り込み信号出力制御	出力許可	出力禁止（クリア）	0

### 3-16．マスタスレーブ動作

本機に添付のハンドラ関数では非対応、  
姉妹機ADM-686z/687zPCIでは対応。

複数の本ボード（最大7枚）を同一クロックで同期運転することもできます。  
この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。  
スレーブはマスタからのクロックを受けて同期をとりますが、サンプリングタイミングに最大  
125nsの遅れが生じます。 接続・操作は以下のとおり。

#### ボード上の設定

特になし。

各ボードを1枚ずつインストールし、直後に割り当てられたリソース（I/Oアドレス）と  
PCIバス番号・デバイス番号を確認・記録する。 / 各ボードに認識ラベルを付すとよい。

#### ボード間の接続等

マスタ機のクロック出力《CLK-OUT》をスレーブ各機のクロック入力《CLK-IN》に接続する  
だけである。（図3-16参照）

マスタ機は外部クロック源、外部（デジタル）トリガを使用することもできる。

#### ソフトウェア

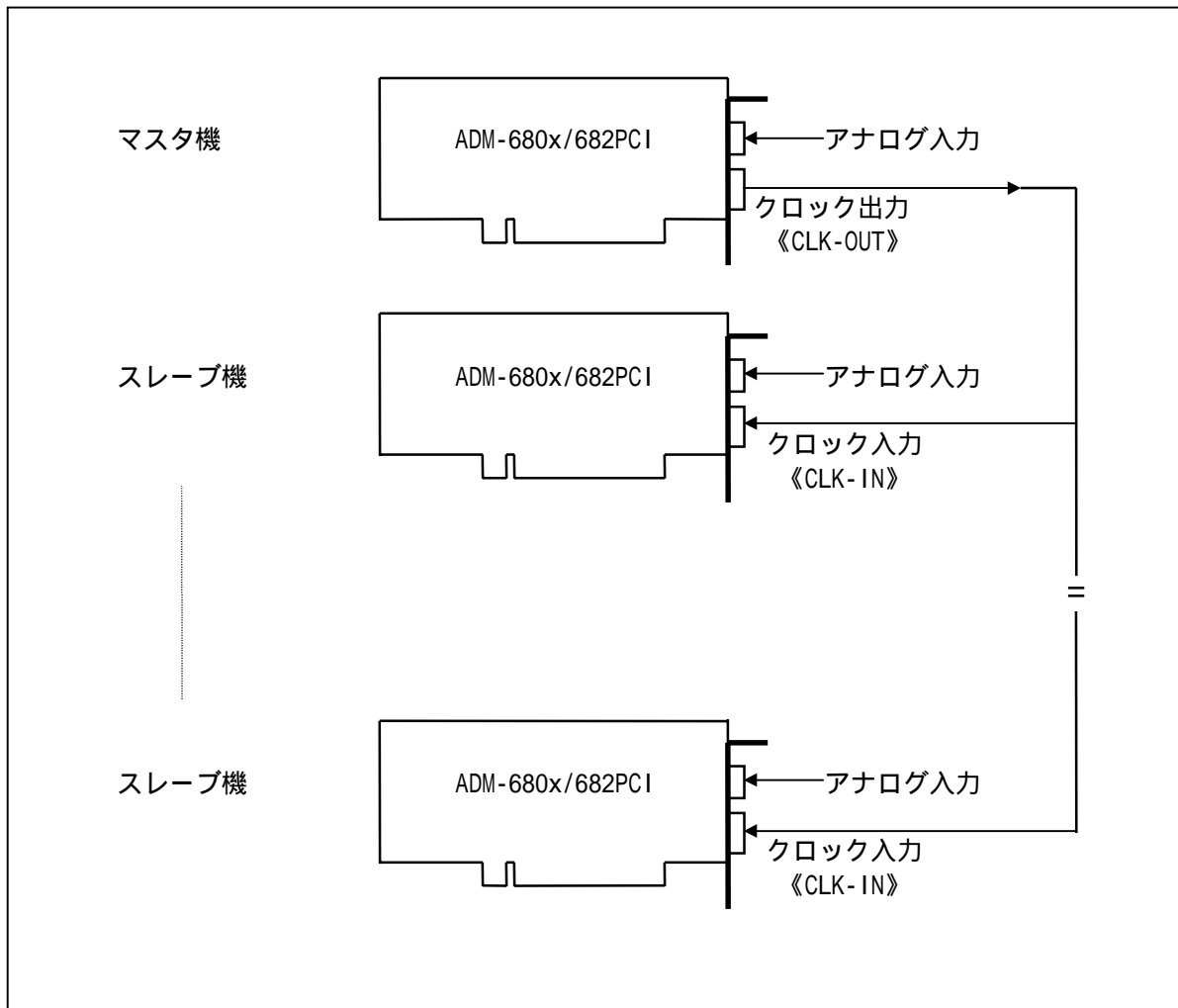
スレーブ各機のクロック源は外部に設定（3-7項）、またクロック源の分周比は1/1に  
設定（3-8項）しておく。

スレーブ各機の内部（アナログ）トリガ、および外部トリガは禁止としておく。

マスタ機は単独動作時と同様に（何の制限もなく）条件設定できる。

連続サンプリング動作のスタート操作はスレーブ各機を（ソフトトリガで）先に、最後に  
マスタ機を（任意のトリガ条件で）行う。 連続サンプリング開始後はマスタ機のスステータ  
スを監視しながら適時、各機からのADデータを読み出す。

図3-16. マスタスレーブ接続による複数ボードの並列・同期運転



### マスタスレーブ動作の概要

- (1) スレーブ各機をソフトトリガで即スタートさせると外部クロック入力による連続サンプリング動作となるが、この時点ではマスタ機からのクロック入力待ち状態である。
- (2) マスタ機が（設定した）トリガにより連続サンプリングが開始されるとマスタ機から有効なクロック信号が出力され、これがスレーブ各機（最大7枚）に入力されて同期サンプリングが実行される。／この間の遅れ時間は最大125nsである。／
- (3) 以後はマスタ機のステータスを監視しながら適時、各機のFIFOバッファメモリからADデータを読み出す。マスタを含めて各機は自身の最高速度で連続サンプリングできるが、バスの現実的な転送速度による制限と各機の搭載メモリ容量（標準＝1K語）で実際に可能な最高サンプリング速度が決まる。  
／搭載メモリ容量までは無条件にボード自体の最高速度で動作可能。／

## 3-17. 汎用デジタル入出力

## デジタル入力

```
d i n = i n p ( B A S E + 10 ) ; /* 汎用 T T L ( 現在値 ) 入力 */
```

ADM-680xPCIの汎用デジタル入力は全てアナログ入力コネクタCN1に接続されています。また最下位ビットD0に限りデジタル入出力コネクタCN2にも接続されています。

ADM-682PCIの汎用デジタル入力は1ビット(D0)のみで、デジタル入出力コネクタCN2だけに接続されています。

表3-17A. 【BASE+10】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4	未使用		
B 3 B 2 B 1 B 0	D 3 : 汎用デジタル入力 ビット 3 D 2 : " " " ビット 2 D 1 : " " " ビット 1 D 0 : " " " ビット 0	H i g h ( 開放 )	L O W ( 0 v レベル )

## デジタル出力

```
o u t p ( B A S E + 10 , d o u t ) ; /* 汎用 T T L ( ラッチ ) 出力 */
```

ADM-680xPCIの汎用デジタル出力はスイッチS-TDQを経てアナログ入力コネクタCN1に接続されています。(出荷時は全ビットOFF=非接続状態) また最下位ビットQ0に限ってはデジタル入出力コネクタCN2にも接続(OFFできない)されています。

ADM-682PCIの汎用デジタル出力は1ビット(Q0)のみで、デジタル入出力コネクタCN2だけに接続されています。

表3-17B. 【BASE+10】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4	未使用			0 0 0 0
B 3 B 2 B 1 B 0	Q 3 : 汎用デジタル出力 ビット 3 Q 2 : " " " ビット 2 Q 2 : " " " ビット 1 Q 2 : " " " ビット 0	H i g h	L o w	0 0 0 0

【注1】 電源投入、またはハードウェアリセット直後の汎用デジタル出力は“0”ですが、ソフト的な制御部リセット操作(3-4項)ではクリアされません。

【注2】 汎用デジタル出力の論理はボード上のスイッチS-POLにより任意に設定することができます。また、出力レベルはボード上のスイッチS-PUPで1Kのプルアップ(U側:標準)、またはオープンコレクタ(O側)を選択できます。  
(1-2項、2-4項参照)

### 3-18 . 外付・同時サンプルホールド制御

複数チャンネル同時サンプルホールド回路を外付け接続する場合のサンプリング・スキャン開始タイミング調整オプションです。（使用する場合は当ポートのビットB0 = 1に設定する。）

なお外付サンプルホールドを使用しなくても本ボード内で各チャンネルは逐次サンプルホールド & A/D変換される動作です。

【注】S/H信号出力は出荷時：非接続（2-4項参照）

outp (BASE+12, shc); /\* shc : S/H制御信号出力モード \*/

表3-18A . 【BASE+12】出力ポートの構成

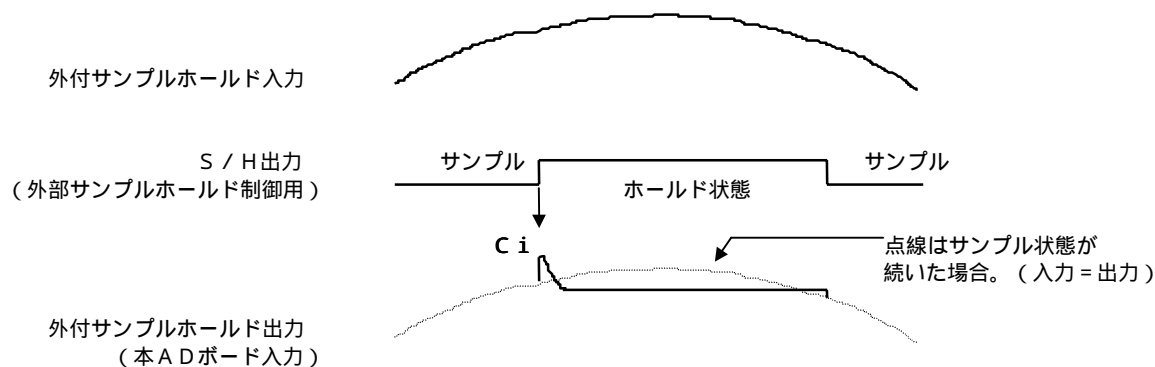
ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B15 ~ B2	未使用			
B0	S/H : サンプルホールド信号出力	タイミング調整する	タイミング調整なし	0

本A/Dボードには外付のサンプルホールドユニット（SHU-516）を接続して同時サンプリングを実現するための制御信号S/H出力があります。

**本ポートのビットB0 = 0のときは、**

当S/H信号出力がサンプリングスキャン開始と同時に立上りますが、そのままではチャージインジェクションという（サンプルホールド回路特有の）現象によりスキャン先頭チャンネルの値が数mV分の誤差を含んでしまいます。（図3-18Aの“Ci”）

図3-18A . チャージインジェクションの様子



この誤差を減少させるにはホールドタイミング（S/H信号の立上り）から先頭チャンネルのA/D変換開始までに（誤差が解消する）時間をおけばよいのです。そこで、

**本ポートのビットB0 = 1にしておく、**

S/H信号出力立上り直後に約1μsの時間を挿入してからサンプリング・スキャン開始となるように動作します。チャージ・インジェクションの影響は理論的にゼロとはなりませんが、実用的な水準を得るための時間です。

当オプションはサンプリング・スキャン開始を約1μs遅らせるだけですが、この分だけ時間を必要とするため可能な最高サンプリングが低下することに御注意ください。

図3-18B. 1回ADサンプリング・スキャン vs S/H出力

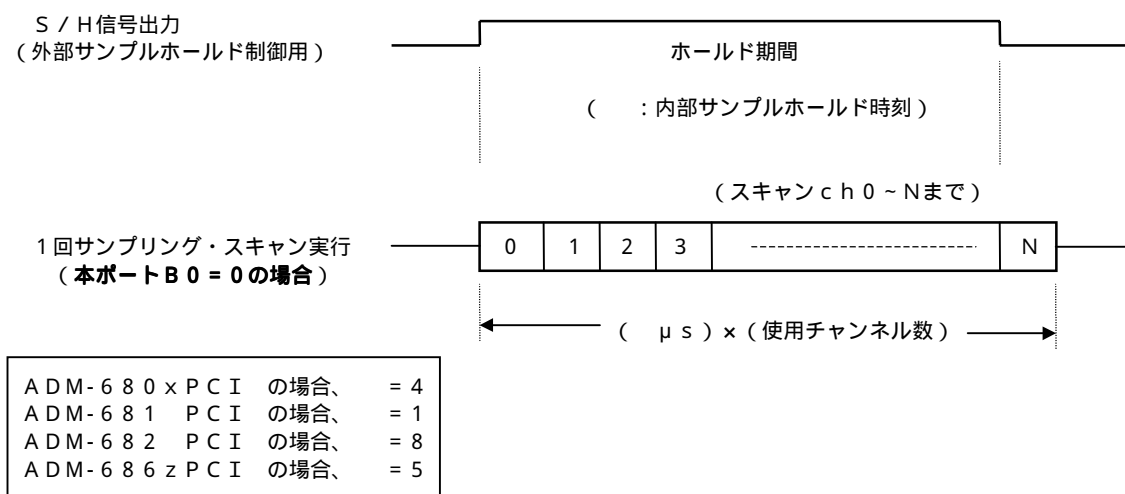
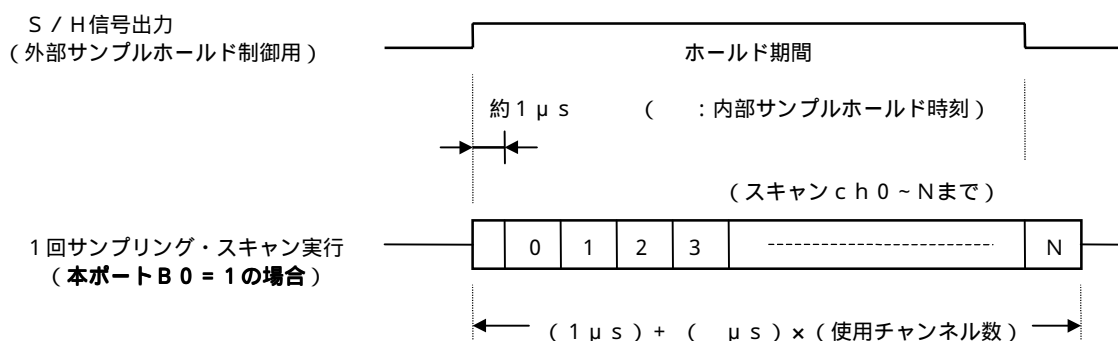


図3-18C. 1回ADサンプリング・スキャン vs S/H出力



最高サンプリング速度： ADボードと組み合わせたときの実現可能な最速周期は、使用するADボードの1スキャン・サンプリング実行時間に本機の必要とするアキュイジション時間  $5 \mu s$  (20Vステップで0.01%到達時間) を加算した値です。

但し当社製の適合ADボード各機は1スキャン・サンプリング実行プロセス中、最終チャンネルのAD変換開始と同時にS/H信号出力がLOW(アキュイジション状態)になります。(図3-18C参照)

したがってサンプリング時間が  $5 \mu s / ch$  以上のADボードでは本機の必要とするアキュイジション時間は1スキャン・サンプリング実行プロセス中にオーバーラップするので計算上は無視できます。

表3-18B. SHU-516/532と組み合わせたときの最高サンプリング周期

使用チャンネル数	1ch	2ch	4ch	8ch	16ch
ADM-680xPCI	$6 \mu s$	$9 \mu s$	$17 \mu s$	$33 \mu s$	
ADM-681PCI	$6 \mu s$	$7 \mu s$	$9 \mu s$	$13 \mu s$	$21 \mu s$
ADM-682PCI	$6 \mu s$	$17 \mu s$	$33 \mu s$	$65 \mu s$	$129 \mu s$
ADM-686zPCI	$6 \mu s$	$11 \mu s$	$21 \mu s$	$41 \mu s$	$81 \mu s$
ADM-687zPCI	$6 \mu s$	$11 \mu s$	$21 \mu s$	$41 \mu s$	$81 \mu s$
ADM-676PCI	$6 \mu s$	$11 \mu s$	$21 \mu s$	$41 \mu s$	$81 \mu s$

当表値の逆数が最高サンプリング周波数です。