

3-16．汎用デジタル入出力

入力

```
d i n = i n p ( B A S E + 9 ) ; /* 汎用 2 ビット ( 現在値 ) 入力 */
```

表 3 - 1 6 A ．【BASE + 9】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4 B 3 B 2	《未使用》		
B 1	I 1 : 汎用デジタル入力ビット 1	H i g h (開放)	L O W (D G に接続)
B 0	I 0 : " " " " 0	" (")	" (")

出力

```
o u t p ( B A S E + 9 , d o u t ) ; /* 汎用 2 ビット ( ラッチ ) 出力 */
```

表 3 - 1 6 B ．【BASE + 9】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ハードリセット時
B 7 B 6 B 5 B 4 B 3 B 2	《未使用》			
B 1	Q 1 : 汎用デジタル出力ビット 1	H i g h	L O W	0
B 0	Q 0 : " " " " 0	"	"	0

【注 1】 本ポート出力がクリアされるのは電源投入時、およびハードリセット操作時のみです。【3 - 5 項】ボード制御部リセットではクリアされません。

【注 2】 本ポートの各ビット出力端は T T L レベル・正論理（出荷時）ですが、出力素子はソケット実装ですからユーザ側で変更可能です。

	出力論理・レベル	出力素子
標準出荷時	正論理・T T L レベル	7 4 L S 0 4
オプション	負論理・T T L レベル	7 4 A L S 3 4 A
"	正論理・オープンコレクタ	7 4 L S 0 6
"	負論理・オープンコレクタ	7 4 L S 0 7

3-17．複数ボードの同期運転（マスタスレーブ動作）

F I F Oバッファ出力モードのときは、複数の本ボードを同一クロックで同期運転することもできます。この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。スレーブはマスタからのクロック供給を受けて同期をとりますが、サンプリング出力タイミングに最大200nsの遅れが生じます。接続・操作は以下のとおり。

ボード上の設定

各ボードのI/Oアドレスが重複しないようにボード上のSW1, SW2, SW3を所定の範囲内に設定する。付属のサンプルプログラムではマスタを《01B》、以下スレーブ各機を《11B》、《21B》...としています。（SW1の値を+1刻みで増加）

ボード間の接続等

ボード間はマスタのクロック出力【CLK - OUT】をスレーブのクロック入力【CLK - IN】に接続するだけです。

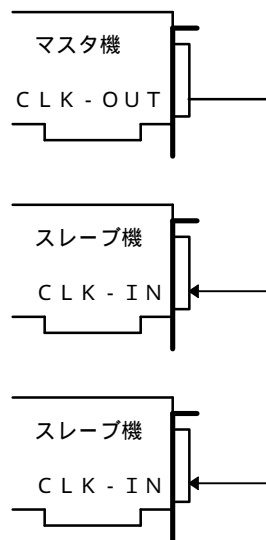


図3-17．マスタスレーブ接続（最大7スレーブ）

【注】 マスタ機のクロック出力を直接入力できるスレーブ数は使用する最高クロック値の制限を受ける。負荷が重くなると、出力素子の駆動能力・特性により波形が鈍るためです。この数は、

10MHzのとき2枚
4MHzのとき5枚
1MHzのとき7枚 です。

なお、マスタ機からクロックを供給されたスレーブ機のクロック出力を他のスレーブ機に再供給することも可能です。この場合、約200nsの通過遅れが生じます。

プログラム条件等

スレーブ各機の割り込み使用は禁止。マスタは任意。

スレーブ各機のクロック源は外部に、分周比は1/1に設定。

マスタ機は単独動作同様、何の制限も無い。

スタート操作はスレーブ各機を（ソフトトリガで）先に、マスタ機を最後に（任意のトリガで）行います。以後はマスタ機のステータスを監視しながら適時、各ボード上のF I F Oメモリに追加のデータを書き込むだけです。（サンプル：4-3項参照）