

3-14. ボード・ステータスの読み込み、クリア

```
sts = inp (BASE + 10) ; /* sts : ボード・ステータス */
```

本ボードのデータ入力、クロック、割り込み要求、FIFOメモリの充満状態等、動作状態を得ます。

表 3 - 14 A . 【BASE + 10】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	サンプリング動作 (指定点数入力) 【注 1】	終了	動作中 (開始前)	0
B 6	割り込み要求 【注 1】	発生	未発生	0
B 5	クロック (有効エッジ) 【注 1】	発生	未発生	0
B 4	未使用			0
B 3	トリガ発生認識 【注 1】	発生	未発生	0
B 2	サンプリング・エラー 【注 1】	発生	未発生	0
B 1	Not-Half-Full (FIFO)	(半分) 以下	(半分 + 1) 以上	1
B 0	Not-EMPTY (FIFO)	データ有り	データ無し	0

《 補助説明 》

【注 1】: ビット B 7, B 6, B 5, B 3, および B 2 は【BASE + 10】出力ポートの同位置ビットに “ 1 ” を書き込むことによりクリアされます。

またビット B 1, B 0 は【BASE + 10】出力ポートのビット B 0 に “ 1 ” を書き込むことによりクリアされます。(FIFOメモリ素子だけのリセット)

B 7 : 指定データ点数は 3 - 12 項を参照。

B 6 : 割り込み要求発生要因は 3 - 8 項を参照。

B 5 : クロックの (有効エッジ) タイミングによりセット (= 1) されます。

B 3 : トリガの発生によりセット (= 1) され、トリガ制御ビットのクリアによりリセットされます。 トリガ制御ビット: 前 3 - 13 項の B 7, B 6。

B 2 : FIFOメモリの入出力失敗を検出するとセット (= 1) されます。 具体的には、FIFOバッファ入力モードで動作中に同メモリ内が入力データで満杯になった状態で次に書き込まれようとした新データは書き込みが成らず消失されてしまいます。 このとき本ビットがセット (= 1) されます。

また、本ボードの最高速度以上でサンプリングを実行させたときにもセット (= 1) されます。 もちろん、この場合の取得データは無効です。

B 1 : FIFOメモリ内のデータ数が容量の半分 + 1 (標準 1024 語のとき = 513) 以上になるとセット (= 0) されます。 / 表 3 - 15 C、および 3 - 2 項を参照。

B 0 : FIFOメモリ内にサンプリングされた入力データが 1 個でも書き込まれるとセット (= 1) され、全部読み出されて空になるとリセット (= 0) されます。

/ 表 3 - 15 C、および 3 - 2 項を参照。

ステータス・ビット・クリア

```
outp(BASE + 10, bsc); /* bsc:クリア・データ */
```

機能： ボード・ステータス（表 3 - 14 A）のビット B 7，B 6，B 5，B 3およびB 2は本出力ポートの同位置ビットに“1”を書き込むことによりクリアされます。

またボード・ステータス（表 3 - 14 A）のビット B 1，B 0は本出力ポートのビット B 0に“1”を書き込むことによりクリアされます。（FIFOメモリだけのクリア）

【注 2】 なお当クリア・データは本ボード中で保持されることはなく、クリア動作の起動に使用されるだけです。したがって対応するボード・ステータス・ビットをクリア状態に維持するような機能はありません。本操作後、すぐに（クリアした）ビットがセットされるような状況も考えられます。

表 3 - 14 B . 【BASE + 10】出力ポートの構成

ビット	各ビットの機能・意味		= 1 のとき	= 0 のとき	リセット時
B 7	サンプリング動作	ステータス・クリア	クリアする	クリアしない	0
B 6	割り込み要求	ステータス・クリア	クリアする	クリアしない	0
B 5	クロック（有効エッジ）	ステータス・クリア	クリアする	クリアしない	0
B 4	未使用				0
B 3	トリガ発生認識	ステータス・クリア	クリアする	クリアしない	0
B 2	サンプリング・エラー	ステータス・クリア	クリアする	クリアしない	0
B 1	未使用				0
B 0	FIFOメモリ素子だけの リセット		リセットする	リセットしない	0

FIFOリセット

FIFOメモリ素子だけのリセットはサンプリング動作実行中に予定変更などの理由から（FIFOメモリ中の）残りデータをパソコン側から読み込むことなくクリアしたいときに利用できます。【Not - HALF - FULL】と【Not - EMPTY】両フラグがリセットされると同時にFIFOメモリ素子内の残りデータも失われます。

3-15. 16BITデータ入力（パソコン側への転送）

バイト・アクセスのときは、

$DL = \text{inp}(BASE + 0)$; /* DL : 下位バイト */

$DH = \text{inp}(BASE + 1)$; /* DH : 上位バイト */

ワード・アクセスのときは、

$D = \text{inp w}(BASE + 0)$; /* D : 2バイト・データ */

表3 - 15 A . 【BASE + 1】入力ポートの構成

ビット	ビット機能	適用
B 7	D 1 5	16BIT入力データの上位8BIT
B 6	D 1 4	
B 5	D 1 3	
B 4	D 1 2	
B 3	D 1 1	
B 2	D 1 0	
B 1	D 9	
B 0	D 8	

表3 - 15 B . 【BASE + 0】入力ポートの構成

ビット	ビット機能	適用
B 7	D 7	16BIT入力データの下位8BIT
B 6	D 6	
B 5	D 5	
B 4	D 4	
B 3	D 3	
B 2	D 2	
B 1	D 1	
B 0	D 0	

【注1】ここで読み込まれる16BITデータは入力モード【3 - 6項】により

直接入力モードのときは、コネクタ入力端の現在状態です。

FIFOバッファ入力モードのときは、FIFOメモリ内の最古データです。

【注2】入力データの論理（出荷時：正論理）はスイッチ設定（1 - 2項）で変更可能です。

FIFOメモリからのデータ読み込み

【FIFOバッファ入力モード（3 - 6 項）】が選択されているとき、16BIT入力データは指定クロックに同期してFIFOメモリに格納されます。FIFOメモリに入り口から書き込まれたデータは自動的に最奥部（出口側）まで転がり込んで行き、出口からは古い順に読み出される（パソコン側に転送される）動作となります。

FIFOメモリからのデータ読み込み方法は、

- 通常のIN命令：前ページに例示したとおりです。
データ転送方法に【I/O】を指定しておきます。（3 - 6 項）
FIFOメモリのステータスフラグ“Not - EMPTY”を監視しながら、適時または同フラグによる割り込み処理ルーチン内でデータを読み込みます。
- ブロック入力命令：データ転送方法に【I/O】を指定しておきます。（3 - 6 項）
FIFOメモリのステータスフラグ“Not - HALF - FULL”フラグを監視しながら、適時または同フラグによる割り込み処理ルーチン内で（FIFOメモリ容量の半分単位で）データの読み込みを行います。
- DMA転送：DAデータ転送方法に【DMA】を指定しておきます。（3 - 6 項）
FIFOメモリのステータスフラグ“Not - EMPTY”によりDMA要求が発信され、1データが（ワード）DMA転送されます。
なお高速性からはDMAよりブロック転送の方が圧倒的に良い結果が得られます。

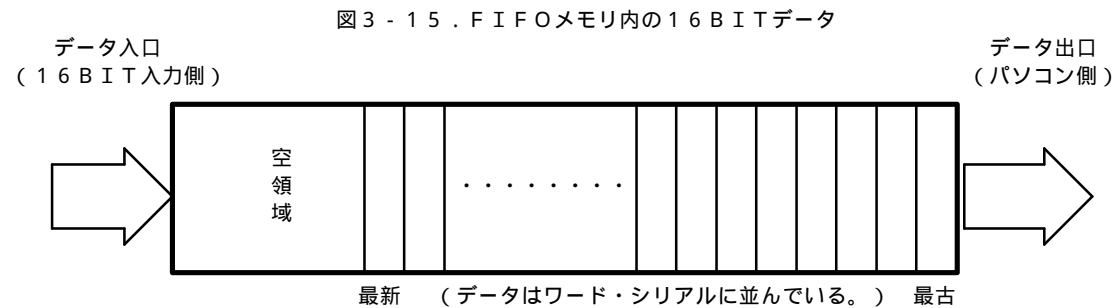


表 3 - 15 C . FIFOメモリ関連のステータス・フラグ

フラグ名	フラグの意味 (標準1024語のとき)	
Not - EMPTY	1語以上。(格納データ数 1)	
Not - HALF - FULL	[容量の半分]以下。(格納データ数 512)	
ERR	サンプリング・エラー発生。	データ読み出しが遅いためメモリが溢れた、または10MHz以上の速度で書き込みした。

3-16. 汎用TTLデジタル入出力

入力

```
din = inp ( BASE + 9 ) ; /* 汎用2ビットTTL ( 現在値 ) 入力 */
```

表3 - 16 A . 【BASE + 9】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4 B 3 B 2	《未使用》		
B 1	I 1 : 汎用デジタル入力ビット 1	High・(開放)	LOW・(DGに接続)
B 0	I 0 : " " " " 0	" ・(")	" ・(" ")

出力

```
outp ( BASE + 9 , dout ) ; /* 汎用2ビットTTL ( ラッチ ) 出力 */
```

表3 - 16 B . 【BASE + 9】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ハート・リセット時
B 7 B 6 B 5 B 4 B 3 B 2	《未使用》			0 0 0 0 0 0
B 1	Q 1 : 汎用デジタル出力ビット 1	High	LOW	0
B 0	Q 0 : " " " " 0	"	"	0

【注1】 本ポート出力がクリアされるのは電源投入時およびハード・リセット操作時だけです。【3 - 5 項】ボード制御部リセットではクリアされません。

【注2】 本ポートの各ビット出力端はTTLレベル・正論理（標準出荷時）ですが、出力素子はソケットに実装されていますからユーザ側で変更も可能です。但し、クロック出力にも同素子が使用されているため同様に反映されます。

表3 - 16 C . 出力論理 / レベル変更オプション

	出力論理 / レベル	出力素子
標準出荷時	正論理 / TTL	74LS04
オプション	負論理 / TTL	74ALS34A
オプション	正論理 / オープンコレクタ	74LS06
オプション	負論理 / オープンコレクタ	74LS07

3-17. 複数ボードの同期運転（マスタスレーブ動作）

F I F Oバッファ入力モードのときは、複数の本ボードを同一クロックで同期運転することもできます。この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。

各スレーブはマスタからのクロックを受けて同期を取りますが、サンプリング・タイミングに最大200nsの遅れが生じます。接続・操作は以下のとおり。

ボード上の設定

各ボードのI/Oアドレスが重複しないようにスイッチSW1, SW2, SW3を設定する。付属のサンプルプログラムではマスタを《01A》、以下スレーブを《11A》《21A》・・・としている。（SW1の値を+1刻みで増加させている。）

ボード間の接続等

ボード間はマスタのクロック出力【CLK-OUT】をスレーブ各機のクロック入力【CLK-IN】に接続するだけである。

マスタ機は外部クロック、外部トリガを使用することもできる。

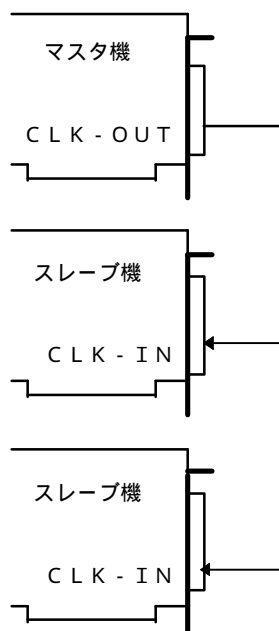


図3-17. マスタスレーブ接続（最大7スレーブ）

【注】 マスタ機のクロック出力を直接入力できるスレーブ数は使用する最高クロック値の制限を受ける。負荷が重くなると、出力素子の駆動能力・特性により波形が鈍るためである。この数は、

10MHzのとき2枚
4MHzのとき5枚
1MHzのとき7枚

なお、マスタからクロックを供給されたスレーブのクロック出力を他のスレーブに供給可能。（但し、通過遅れ：約200nsがある）

プログラム条件等

スレーブ各機の割り込みは全て禁止、マスタはプログラムで使用する割り込みレベルと発生要因に設定する。【3-7項/3-8項】もちろん、他のデバイスが使用する割り込みレベルに重複しないこと。なお、当プログラムで割り込みの使用は任意。

スレーブ各機のクロック源は外部【3-9項】に、また分周比は1/1【3-11項】に設定しておく。

マスタ機は単独動作時と同様に、何の制限なく条件設定できる。

スタート操作はスレーブ各機を（ソフトトリガで）先に、マスタ機を最後に（任意のトリガで）行う。以後はマスタ機のステータスを監視しながら適時、各ボード上のF I F Oメモリからデータを読み出すだけである。（サンプル：MSV251.C/4-3項）