

第3章 . 制御・操作

3-1. アナログ出力の様子

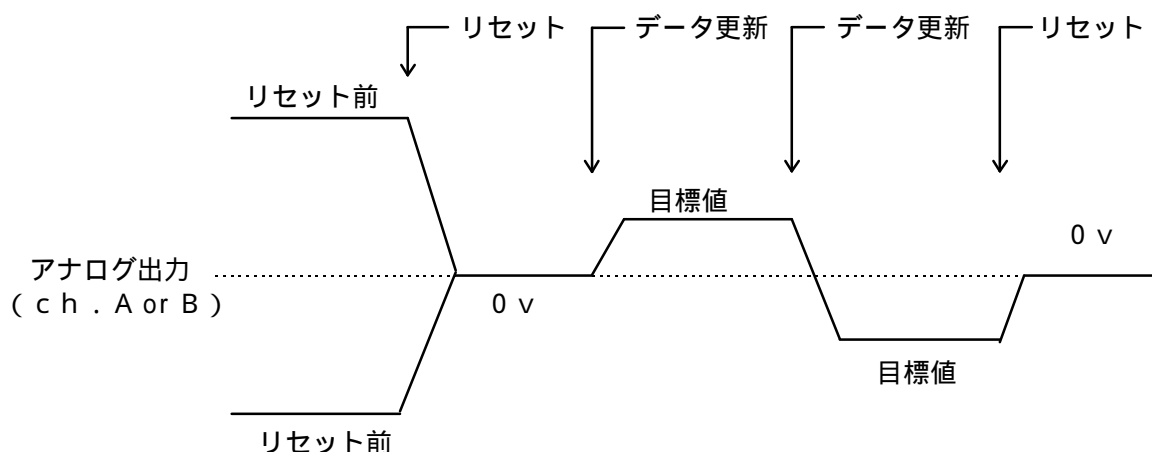
リセット時

電源投入、パソコン本体（ハードウェア）リセット操作、または本ボードの制御部リセット操作（3 - 5 項）直後のアナログ出力は両チャンネル共に 0 v となります。

更新出力後

任意のデータが D A 素子に書き込まれる（更新される）と、アナログ出力は対応する値（2 - 2 項 / 表 2 - 2 B , C）となり、以後、次の更新まで同値を保持します。（A , B 両チャンネル共）

図 3 - 1 A . アナログ（D A）出力の様子



データ更新遅れ： 即時更新モードのときは、パソコン側から O U T 命令で書き込まれる D A データはフォトカプラ（通過時間 = 約 $1 \mu s / b y t e$ ）を通して D A 素子のラッチ（1 データ分メモリ）に達します。

クロック同期更新モードのとき（チャンネル A のみ）は、F I F O メモリから D A 素子のラッチに転送される時間（数 $10 n s$ 以下）だけですから全んど問題になりません。

セトリング時間： 両チャンネル共、データが更新されると D A 素子のアナログ出力は新たな目標値に向かって変化を始めます。本機では、 $10 v$ の変化幅を 0.1% の精度で到達する時間（セトリング時間）が約 $1 \mu s$ です。

波形出力では更新周期が短くても電圧変化幅が比例して小さければ実用上の問題はないでしょう。

動作モード

D A出力チャンネルBは即時（単独または同期）更新動作であり、アナログ出力形態も出力範囲設定スイッチRGBで指定される汎用D A機能です。

一方、D A出力チャンネルAには加えて【クロック同期更新動作】があり、ボード上の【出力モード】設定スイッチRESL, OFSLでアナログ出力形態（2 - 3項）を選択することにより多様な動作形態が可能です。

【更新モード】 ソフト指定（3-17項）でD A出力データの更新タイミング形態を選択するもので、次の選択肢があります。

- (1) 即時・単独更新はパソコン側からの更新データが即D A素子のラッチに書き込まれるものです。（図3 - 1 C）
- (2) 即時・同期更新は、チャンネルAに更新データが書き込まれた時点でチャンネルBの前段ラッチに待機していたデータも同時にD A素子のラッチに書き込まれます。
すなわち、更新データの書き込み順をチャンネルB Aとします。（図3 - 1 D）
- (3) クロック同期更新・サイクルモードは、あらかじめボード上のF I F Oメモリに書き込んでおいた波形1サイクル分のD Aデータをクロックに同期して（指定回数、または無限に）循環出力します。この動作はパソコン側からの制御が必要なく本ボード内で自動的に実行されますから最高速《8.192MHz（Ms / s）サンプリング》が可能です。
- (4) クロック同期更新・非サイクルモードは、クロックに同期してF I F Oメモリから読み出されるD Aデータの利用（更新出力）は1回限りです。したがって、F I F Oメモリ容量を超えるクロック数を実行するときはパソコン側から逐次データの補給が必要になります。この補給速度（I S Aバスのデータ転送速度）が実質的なサンプリング速度を制限します。

図3 - 1 B . クロック同期更新・非サイクルモードの最高速度（F I F O：標準4 k語のとき）

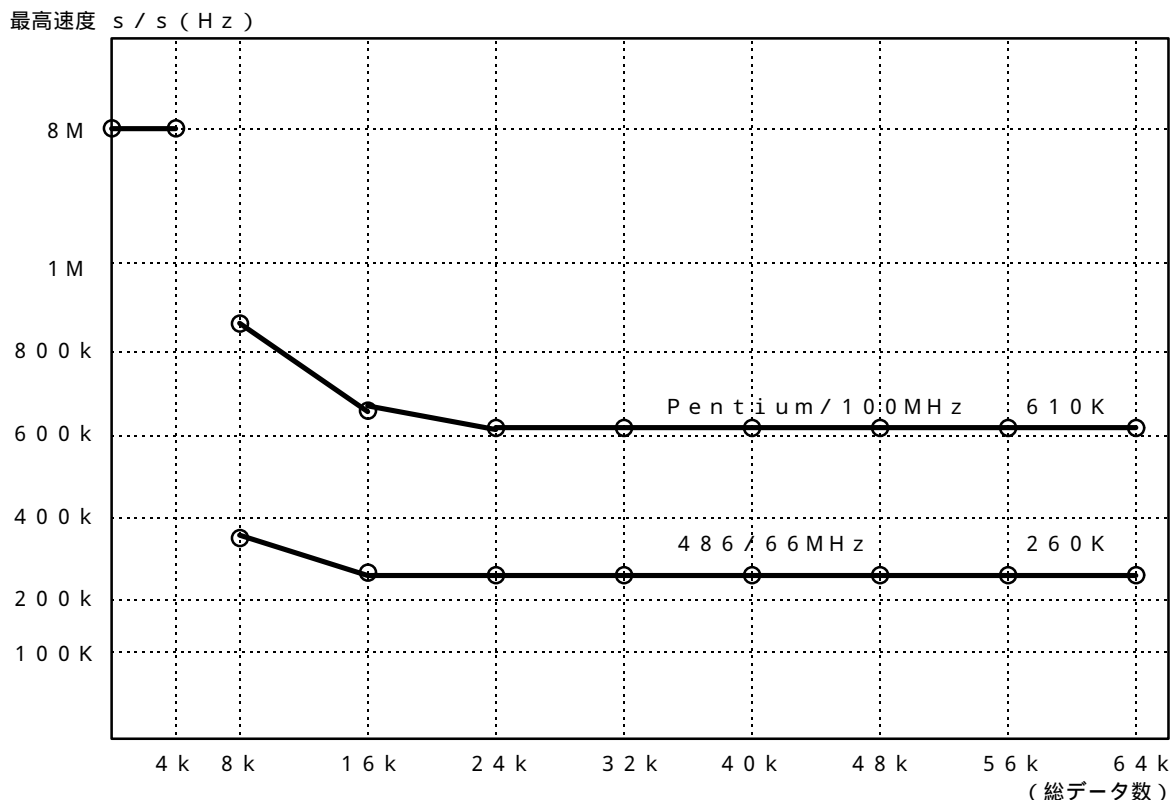


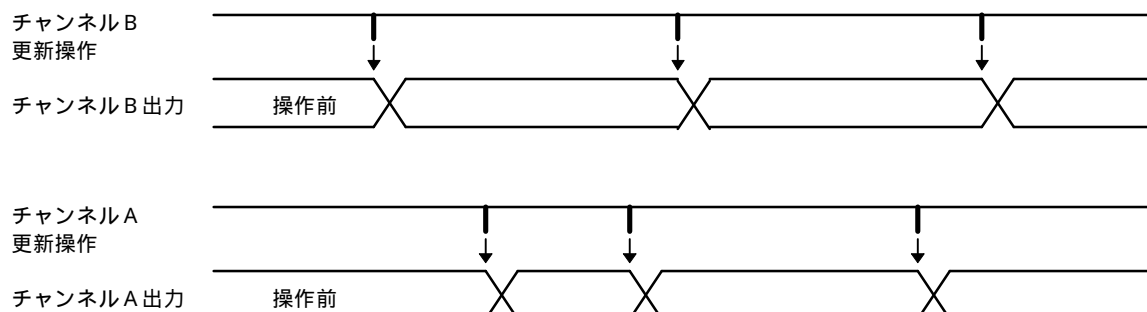
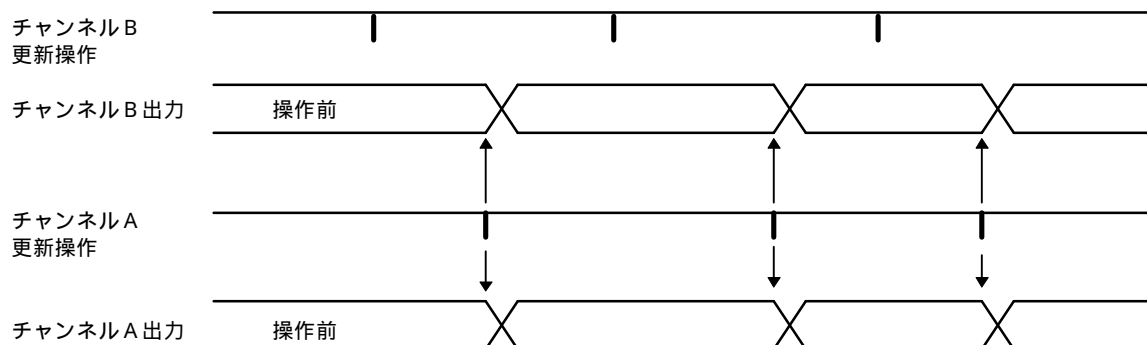
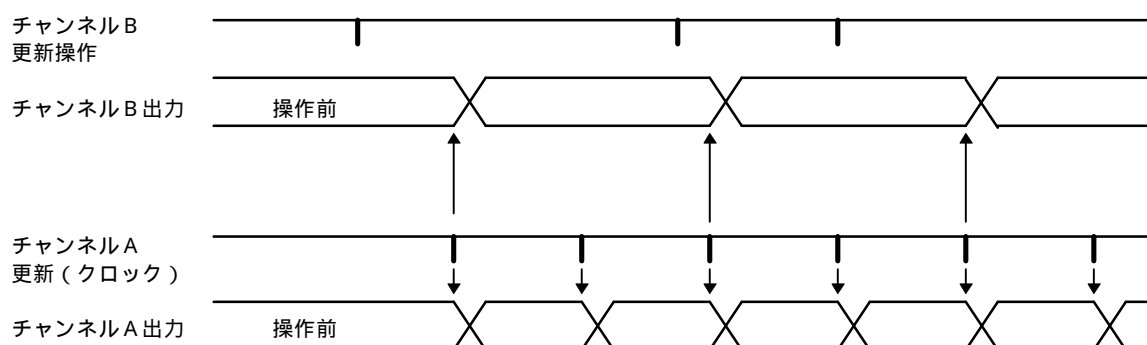
図 3 - 1 C . 即時・単独更新図 3 - 1 D . 即時・同期更新

図 3 - 1 E . クロック同期更新



【図 3 - 1 C】【図 3 - 1 D】【図 3 - 1 E】に示すタイミング・チャートは前ページの説明と併せて御参照ください。また、これらの図中ではパソコン側から書き込み操作した時の《データ更新遅れ》、および、アナログ回路の応答遅れ《セトリング時間》の表示を省略してあります。(前々ページ参照)

3-2. F I F Oメモリの動作

本機のチャンネルAを（波形出力用）クロック同期更新モードで使用するときのD Aデータはクロックに同期してボード上のF I F OメモリからD A素子（ラッチ付）に自動転送される動作となります。

F I F O（first in first out）メモリは図3 - 2 に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっています。

読み書きは非同期で、同時も可能です。すなわち、データを書き込む時に出口側のタイミングを気にする必要がありません。

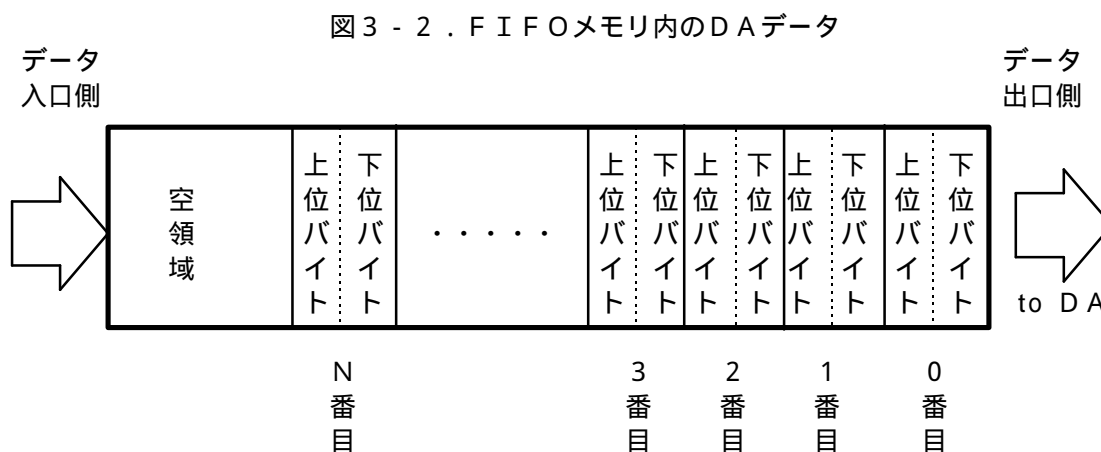


表3 - 2 . F I F Oメモリのステータス・フラグ

フラグ名	フラグの意味	(標準4096語のとき)
Not - Full	満杯ではない。	(格納データ数 4095)
Not - Half - Full	容量の1/2以下	(格納データ数 2048)
Not - Empty	データ有り	(格納データ数 1)

非サイクルモード

標準搭載のメモリ容量は4 K語（4096データ分）ですが、読み出した分だけ入口側に空領域が生じるため、読み出し（サンプリング）速度より書き込み速度が速ければ、いつまでたってもメモリが空になることが無く、したがって出力（サンプリング）データ点数に制限がありません。

サイクルモード

F I F Oメモリから読み出したデータをD A素子に転送しながら、同時に当データをF I F Oメモリの入口から再書き込みを行います。これによりF I F Oメモリ内のデータ数を1周期分とする連続繰り返し波形出力が実現されます。波形の1周期を4096データ以上で構成したいときはF I F Oメモリ増設オプション（8 K / 16 K / 32 K語）も用意されています。《価格表参照 / 注文時指定》

3-3. 制御・操作の手順

次項以下で各制御レジスタの機能を説明するのに先立って、操作手順の概要を記します。本項では割り込みやDMAを使用せず基本的なコーディングを例示します。実際のコーディング時は添付のサンプルプログラム・ソースを併せて御参照ください。また、波形出力用の汎用Cハンドラ(MS-DOS版LIB/第5章)も用意されています。

なお、リスト中の【BASE】= I/Oベースアドレス値(1 - 3項、3 - 4項、参照)です。

即時・単独更新モード

初期設定: ~

更新時刻: チャンネルAは、チャンネルBは

```

r s t = i n p ( B A S E + 7 ) ; /* リセット【出力VA=VB=0v】(3-5項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ(=0)指定 */
o u t p ( B A S E + 3 , 0 ) ; /* DAデータコード【=バイナリ】(3-7項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ(=1)指定 */
o u t p ( B A S E + 2 , 0 ) ; /* DAデータ転送方法【=I/O】(3-8項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ(=0)指定 */
o u t p ( B A S E + 5 , 0 ) ; /* 更新モード【=即時・単独】(3-17項) */

o u t p ( B A S E + 10 , B L ) ; /* DAチャンネルBの下位バイト (3-16項) */
o u t p ( B A S E + 11 , B H ) ; /* DAチャンネルBの上位バイト ( " ) */
o u t p ( B A S E + 8 , A L ) ; /* DAチャンネルAの下位バイト ( " ) */
o u t p ( B A S E + 9 , A H ) ; /* DAチャンネルAの上位バイト ( " ) */

```

即時・同期更新モード

初期設定: ~ (最後の以外は単独更新モードと同一)

更新時刻: チャンネルA, B共に (同時)

```

r s t = i n p ( B A S E + 7 ) ; /* リセット【出力VA=VB=0v】(3-5項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ(=0)指定 */
o u t p ( B A S E + 3 , 0 ) ; /* DAデータコード【=バイナリ】(3-7項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ(=1)指定 */
o u t p ( B A S E + 2 , 0 ) ; /* DAデータ転送方法【=I/O】(3-8項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ(=0)指定 */
o u t p ( B A S E + 5 , 2 ) ; /* 更新モード【=即時・同期】(3-17項) */

o u t p ( B A S E + 10 , B L ) ; /* DAチャンネルBの下位バイト (3-16項) */
o u t p ( B A S E + 11 , B H ) ; /* DAチャンネルBの上位バイト ( " ) */
o u t p ( B A S E + 8 , A L ) ; /* DAチャンネルAの下位バイト ( " ) */
o u t p ( B A S E + 9 , A H ) ; /* DAチャンネルAの上位バイト ( " ) */

```

クロック同期更新・サイクルモード

```

r s t = i n p ( B A S E + 7 ) ; /* リセット【出力V A = V B = 0 v】(3-5項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ( = 0 )指定 */
o u t p ( B A S E + 3 , 0 ) ; /* D A データコード【 = バイナリ】(3-7項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ( = 1 )指定 */
o u t p ( B A S E + 2 , 0 ) ; /* D A データ転送方法【 = I / O】(3-8項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ指定( = 1 ) */
o u t p ( B A S E + 1 , c k s ) ; /* c k s : クロック源選択 (3-11項) */

; /* クロック源分周比の設定 (3-13項) */
o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ指定( = 0 ) */

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 3 6 ) ; /* 制御データ: 固定値 */

o u t p ( B A S E + 7 , 0 x 0 ) ; /* 素子1のカウンタ# 0を指定 */
o u t p ( B A S E + 6 , D V # 0 L ) ; /* 分周比# 0の下位バイト */
o u t p ( B A S E + 6 , D V # 0 H ) ; /* " " 上位バイト

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 7 6 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 1 ) ; /* 素子1のカウンタ# 1を指定 */
o u t p ( B A S E + 6 , D V # 1 L ) ; /* 分周比# 1の下位バイト */
o u t p ( B A S E + 6 , D V # 1 H ) ; /* " " 上位バイト

; /* データ点数の設定 (3-14項) */
o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ指定( = 0 )

o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子2の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 3 4 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 4 ) ; /* 素子2のカウンタ# 0を指定 */
o u t p ( B A S E + 6 , N U M L ) ; /* 1ブロック当りデータ数の下位バイト */
o u t p ( B A S E + 6 , N U M H ) ; /* " " " 上位バイト

o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子2の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 7 2 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 5 ) ; /* 素子2のカウンタ# 1を指定 */
o u t p ( B A S E + 6 , B L K L ) ; /* ブロック数の下位バイト */
o u t p ( B A S E + 6 , B L K H ) ; /* " " の上位バイト

```

《 《 次ページに続く 》 》

クロック同期更新・非サイクルモード

```

r s t = i n p ( B A S E + 7 ) ; /* リセット【出力VA=VB=0v】(3-5項) */

o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ(=0)指定 */
o u t p ( B A S E + 3 , 0 ) ; /* DAデータコード【=バイナリ】(3-7項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ(=1)指定 */
o u t p ( B A S E + 2 , 0 ) ; /* DAデータ転送方法【=I/O】(3-8項) */

o u t p ( B A S E + 0 , 1 ) ; /* 所属ページ指定(=1) */
o u t p ( B A S E + 1 , c k s ) ; /* c k s : クロック源選択 (3-11項) */

; /* クロック源分周比の設定 (3-13項) */
o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ指定(=0) */

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 3 6 ) ; /* 制御データ: 固定値 */

o u t p ( B A S E + 7 , 0 x 0 ) ; /* 素子1のカウンタ#0を指定 */
o u t p ( B A S E + 6 , D V # 0 L ) ; /* 分周比#0の下位バイト */
o u t p ( B A S E + 6 , D V # 0 H ) ; /* " " 上位バイト

o u t p ( B A S E + 7 , 0 x 3 ) ; /* 素子1の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 7 6 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 1 ) ; /* 素子1のカウンタ#1を指定 */
o u t p ( B A S E + 6 , D V # 1 L ) ; /* 分周比#1の下位バイト */
o u t p ( B A S E + 6 , D V # 1 H ) ; /* " " 上位バイト

; /* データ点数の設定 (3-14項) */
o u t p ( B A S E + 0 , 0 ) ; /* 所属ページ指定(=0)

o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子2の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 3 4 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 4 ) ; /* 素子2のカウンタ#0を指定 */
o u t p ( B A S E + 6 , N U M L ) ; /* 1ブロック当りデータ数の下位バイト */
o u t p ( B A S E + 6 , N U M H ) ; /* " " " 上位バイト

o u t p ( B A S E + 7 , 0 x 7 ) ; /* 素子2の制御レジスタを指定 */
o u t p ( B A S E + 6 , 0 x 7 2 ) ; /* 制御データ: 固定値

o u t p ( B A S E + 7 , 0 x 5 ) ; /* 素子2のカウンタ#1を指定 */
o u t p ( B A S E + 6 , B L K L ) ; /* ブロック数の下位バイト */
o u t p ( B A S E + 6 , B L K H ) ; /* " " の上位バイト

```

《 《 次ページに続く 》 》

ここで、

割り込みを使用する場合は レベル設定 (3-9 項) 割り込み要求発生要因制御 (3-10 項)
DMAを使用する場合は チャンネル設定 (3-9 項) 前 は【= DMA】

```

o u t p ( B A S E + 0 , 0 ) ; / *  所属ページ ( = 0 ) 指定                      * /
o u t p ( B A S E + 5 , 1 ) ; / *  更新モード【=加ック同期・非サイクル】(3-17 項) * /

o u t p ( B A S E + 8 , A 1 L ) ; / *  先頭データ の下位バイト              (3-16 項) * /
o u t p ( B A S E + 9 , A 1 H ) ; / *  " " の上位バイト                  ( " ) * /
o u t p ( B A S E + 8 , A 2 L ) ; / *  2 番目データの下位バイト          ( " ) * /
o u t p ( B A S E + 9 , A 2 H ) ; / *  " " の上位バイト                  ( " ) * /
o u t p ( B A S E + 8 , A 3 L ) ; / *  3 番目データの下位バイト          ( " ) * /
o u t p ( B A S E + 9 , A 3 H ) ; / *  " " の上位バイト                  ( " ) * /
.
.
.
o u t p ( B A S E + 8 , A m L ) ; / *  m 番目データの下位バイト          ( " ) * /
o u t p ( B A S E + 9 , A m H ) ; / *  " " の上位バイト                  ( " ) * /

o u t p ( B A S E + 0 , 0 ) ; / *  所属ページ ( = 0 ) 指定                      * /
o u t p ( B A S E + 5 , 0 x 8 1 ) ; / *  トリガ【=ソフトトリガ】          (3-17 項) * /

o u t p ( B A S E + 0 , 0 ) ; / *  所属ページ ( = 0 ) 指定                      * /
o u t p ( B A S E + 5 , 1 ) ; / *  停止【=ソフトトリガ禁止】          (3-17 項) * /

```

《注1》 DAデータ書き込みの前に必ず 【=加ック同期・非サイクル】指定を実行しておく。

《注2》 スタート前の DAデータ書き込みはFIFOメモリ容量以内。 以後、必要ならステータスを監視して(または割り込み, DMAで)適時・追加書き込みを行う。

《注3》 割り込み要求発生要因制御を実行すると許可された要因による割り込みが有効になる(以下を待ってくれない)ので、場合によっては後にする必要もある。

《注4》 は【=ソフトトリガ/無限動作】=即スタートの例。
【=外部(立下り)エッジトリガ/無限動作】なら: 0 x 5 1、等
で指定ブロック数出力で自動停止なら: 0 x 8 9。

《その他》 チャンネルBとの乗算または減算モードのときは、(いつでも)チャンネルB出力の更新により、当チャンネルA出力の振幅制御が可能です。

```

o u t p ( B A S E + 10 , B L ) ; / *  D AチャンネルBの下位バイト * /
o u t p ( B A S E + 11 , B H ) ; / *  D AチャンネルBの上位バイト * /

```

