

Real Solution for FA/LA

(バージョンアップによる追加機能)

最高256KHz/chサンプリングに向上
マルチサンプリング&平均処理機能で大幅にノイズ除去可能
アナログ入力部をカスタマイズ可能(多彩なオプションも)

(無償ダウンロードの)

高機能ADデータ収集ソフト: LABDAQ-AQで即使用できる



12bit / 16ch ADM-682z PCI

取扱い説明書

対応パソコン

IBM PC / AT互換機
(PCI-bus)

マイクロサイエンス(株)

〒167-0042 東京都杉並区西荻北2丁目37番12号

TEL 03(3396)8362 代表

FAX 03(3301)5593

Email: welcome@microscience.co.jp

Feb 15, 2005

目 次

使用・適用上の注意	4
本製品の仕様一覧	5
本製品の構成・価格表	6

第1章．導入・試運転

1-1. 本製品の概要	7
1-2. ボード上の設定	9
1-3. 入出力コネクタ・ピン接続	10
1-4. 入出力接続オプション	12
1-5. ボードのインストール	18
1-6. 動作確認・試運転	22

第2章．信号入出力

2-1. アナログ入力回路	23
2-2. アナログ入力範囲	24
2-3. アナログ入力特性（誤差・ドリフト・雑音・保護対策）	27
2-4. （同時サンプリング用）外部サンプルホールド制御	28
2-5. デジタル入出力回路	29

第3章．制御・操作

3- 1. A/Dサンプリング動作・トリガ動作の様子	31
3- 2. F I F Oバッファメモリの構造・動作	35
3- 3. 制御レジスタI/Oアドレス・マップ	36
3- 4. ボード・リセット（初期化）、認識	37
3- 5. A/Dデータコード、スキャン速度指定	38
3- 6. サンプリング・チャンネル数の設定	39
3- 7. クロック源の選択	40
3- 8. (クロック源)分周比の設定	41
3- 9. 内部(アナログ)トリガレベルの設定	42
3-10. トリガモードの設定（含ソフトトリガ実行）	44
3-11. マニュアル(1回)サンプリング実行	47
3-12. ステータスデータの取得・クリア	48
3-13. A/Dデータの読み出し	50
3-14. 割り込み制御	52
3-15. 割り込み要求信号クリア	53
3-16. マスタスレーブ動作（複数ボードの同期運転）	54
3-17. 汎用デジタル入出力	56
3-18. 外付・同時サンプルホールド制御	57
3-19. マルチサンプリング回数指定	59
3-20. マルチサンプリング・クロック源の選択	60
3-21. （マルチサンプリング・クロック源の）分周比指定	61

第4章．ソフトウェア	
4-1. ソフトウェアのインストール	63
4-2. 割り込みについて	66
4-3. L a B D A Q	----- A Dデータ収集・解析ソフトウェア----- 68
第5章．DOSハンドラ	
第6章．WINDOWSハンドラ	
6-1. システム構成・ソフトウェア構造	75
6-2. サンプルングの様子とデータバッファ構造	76
6-3. 使用準備	78
6-4. 関数仕様・エラーコード	79
6-5. サンプルプログラム、および使用上の注意	90
第7章．保守・その他	
7-1. 故障・トラブル等の原因と対処	93
7-2. 修理のときは	95
7-3. アナログ入力範囲の再調整	96
7-4. 外部制御信号・タイミング等	98
付録．Q & A フォーム（質問／トラブル・故障に対する相談用）	100

旧ADM - 682PCIとの互換性・相違点。

本機：新ADM - 682zPCIは旧ADM - 682PCIに対して上位互換です。
旧機用に製作されたソフトウェアは何の変更もなく同様に動作します。

ADM - 680x / 681 / 682z / 686z / 687zPCIの主な相違点。

制御アルゴリズムは同一なので添付ドライバ間には高い互換性があります。
主要な仕様ではアナログ入力数・分解能・サンプルング速度（スキャン速度）が異なります。
ADM - 681PCIだけは各ch毎に専用の入力端バッファが配置されています。
（本機ADM - 682zおよび686zPCIは別売のカスタマイズモジュール追加で可能）

項目	ADM-681PCI	ADM-680xPCI	ADM-682zPCI	ADM-686zPCI	ADM-687zPCI
アナログ入力数	16 / 差動8	8 / 差動無	16 / 差動8	16 / 差動8	32 / 差動無
A/D分解能	14ビット	12ビット	12ビット	16ビット	16ビット
最高速度（単ch）	1μs	4μs	4μs	5μs	5μs
最高速度（複ch）	1μs / ch	4μs / ch	4μs / ch	5μs / ch	5μs / ch
信号処理	無し		自動多重サンプルング、& 自動平均処理機能		
入力カスタマイズ	無し		オプション モジュール		無し

ADM - 682zPCIとADM - 686zPCIは分解能と最高サンプルング速度が異なるだけです。

本製品の使用・適用についての注意

- 【１】 本製品はIBMPC/AT互換機のPCIバス拡張I/Oスロット、またはPCIバス拡張I/Oボックスに装着して使用するものです。
- 【２】 本製品が組み込まれたシステムの運用対象・方法・場所・環境等によって、故障・誤動作等が生じた場合に起こり得る、身体・生命・財産等に対する損害の回避措置は同システム的设计・制作に別途付加・反映させてください。本製品自体には前述の機能は無く、したがって当社では本製品が組み込まれたシステムの運用により発生した故障・誤動作・事故に起因する身体・生命・財産等の損害に対する責任は負えません。これは本製品の故障・誤動作が原因となった場合も含み、理由の如何を問いません。
- 【３】 本製品付属のソフトウェアは本製品利用の方法を示す例、またオプションの関連ソフトウェアは本製品利用の一般的便宜をはかるものであり、現在未発見のバグ存在の可能性も含めて、運用結果についての責任は一切負えません。
これらのソフトウェアには自身が組み込まれたシステムに故障・誤動作・事故等が生じた場合に起こり得る身体・生命・財産等に対する損害の回避機能はありません。御利用の場合は同システム的设计・制作で配慮・付加・反映させてください。
- 【４】 本製品（付属ソフトウェア含む）、およびオプションの関連ソフトウェアは医用・航空機器用・その他、高信頼性・高安全性を必要とするシステムに使用しないでください。
- 【５】 本製品付属のソフトウェアについて当社は著作権を保持しますが、第三者の権利を侵害しない限りにおいて、購入者は自身が制作するシステム等に自由に組み込み、販売することもできます。但し、当社製ソフトウェアのソースコードを含むソフトウェアを第三者に販売・移転するときは当社の文書による事前許可を必要とします。
- 【６】 当社では本製品の販売・サポート・保証の範囲を日本国内に限っています。

故障・修理・サポート方法について

- 【１】 納入後１年間は自然故障、および当社製造上の問題に起因したことが明らかな故障製品に対して無償修理を行います。但し、故障・不具合の原因や無償修理の対象となるか否かは（過去の経験等に照らして）当社側で判定させていただきます。
- 【２】 落雷等の自然現象、または漏電・過電圧印加・機械的破損・その他、使用者側の責に帰する故障品に対しては実費にて修理をお願いします。
- 【３】 修理は宅配便によるセンドバックで行います。なお、運賃は互いに発送する側が負担するものとします。（無償修理の場合も含む／着払い不可。）
- 【４】 本製品使用上の質問・トラブル対応・故障修理等は入手経路の如何にかかわらず、当社宛に直接御相談・御用命ください。その際は、客観情報の整理・評価を行うために必ずFAX等でレポートを御送付ください。（解決速度が格段に上ります。）
本書末尾の《Q&Aフォーム》が便利です。

本機の仕様一覧

アナログ入力部

項 目	
入力数・信号形式 (スイッチ選択)	16chシングルエンド(普通の2線式)、または 8ch差動入力
入力範囲 (スイッチ選択)	$\pm 10\text{V} / \pm 5\text{V} / \pm 2.5\text{V} / 0 \sim +10\text{V} / 0 \sim +5\text{V}$ 本機の入力範囲設定回路は高精度部品の使用により、出荷時設定($\pm 10\text{V}$)から変更しても通常の用途では再調整不要の誤差範囲に収まります。《下記、正確度参照》 電流入力：各チャンネルごとの終端抵抗(出荷時10MΩ)を交換可能。
入力インピーダンス	各チャンネルごとに10MΩの終端抵抗を標準実装。(外せば100MΩ以上)
CMRR typ	-65dB(差動入力するとき)
クロストーク typ	-72dB(=約1LSB、隣接チャンネル間)【注1】

【注1】クロストーク測定条件：信号源インピーダンス50Ω、共通シールドケーブル接続1m長、高速スキャンのとき。
 なお低速スキャンモードのときは更に3dB程度の改善が見込めます。

A/D変換部

項 目	
分解能	12ビット
単chサンプリング速度	4μs(256kHz)
複chサンプリング速度	高速モード：4×(実行ch数)μs、低速モード：8×(実行ch数)μs
非直線性	±0.025%FS(理論的な校正可能限度)
基本正確度【注2】	±0.090%FS(校正器誤差0.015%を含み、内部雑音&クロストークを含まず)
最悪正確度【注3】	±0.114%FS
内部雑音【注4】typ	±1LSB
温度ドリフト typ	±25ppm/
マルチサンプリング機能	各回サンプリング動作のとき各サンプリング・クロック(ペーサクロック)到来ごとにマルチサンプリング・クロックによる指定回数のA/D変換を実行する機能で、平均化による雑音除去や、絶え間のない連続測定動作等に応用できる。
平均化処理機能	マルチサンプリング動作で取得した複数A/Dデータの平均値をハード的に得る。
A/Dデータ・コード	バイナリ、または2の補数(ソフト指定)

【注2】常温で製造時調整Aモード $\pm 10\text{V}$ 範囲のとき。

なお、製造時調整Aモード $\pm 10\text{V}$ 範囲以外のときの基本正確度は $< 0.02\%FS >$ 低下します。

【注3】隣接チャンネル間の入力電圧差が最大のときに発生するクロストークを含む最悪値(内部雑音を含まず。)

【注4】当社内製造・検査システムにて。(マルチサンプリング&平均化処理で除去可能)

制御部・その他(両機種共通)

項 目	ADM-682z / 686z PCI 共通
クロック	クロック源：内部10MHz / 内部8.192MHz / 外部TTL入力 分周機能：32BITプログラマブルカウンタ(バイナリ)
トリガ (サンプリング開始)	内部トリガ：プログラム上からの即トリガ、 アナログ入力(先頭チャンネル)の指定エッジ、レベル、またはレンジ。 外部トリガ：外部TTL入力の指定エッジ、またはレベル
バッファメモリ	標準1024語FIFOメモリ(オプションで8K / 8M / 32M語に増設可能)
A/Dデータ転送	ブロック転送：通常、FIFOのHALF-FULLフラグを利用して容量の半分単位で行う。 通常IN命令：2バイト(上位・下位)に分割して連続読み込み。
マスタスレーブ動作	マスタのクロック出力をスレーブのクロック源入力に接続することにより可能。
割り込み (要リソース取得)	割り込み要因：1回サンプリング・スキャン終了、トリガ発生、 サンプリング・クロック、外部TTL入力の指定エッジ、 FIFOメモリのEMPTY解消、同HALF-FULLフラグ。
汎用デジタル入出力	1ビット・TTL入力、1ビット・5Vロジック出力(またはオープンコレクタ)
I/Oアドレス	組み込み対象システムのプラグアンドプレイ機能により(連続した)16アドレス占有。
基板寸法	PCIショートサイズ(174.3mm)×(98.4mm) / 突出部を含まず。
動作環境	周囲温度：0~+40℃(結露しないこと)、保存温度：-10~+80℃(結露しないこと)
付属品	入出力プラグ、CDROM、印刷された取扱説明書+回路図=取説セットは別売(¥2000)
電源消費(5V)	0.9A

製品構成

本体ADボード、 入出力プラグ（1組）
 C D R O M（添付ソフト、取扱説明書PDFファイル）
 M S - D O S用ハンドラ関数ライブラリ/ドライバ、
 W I N D O W S 9 8 / M E / N T / 2 0 0 0 / X P用ハンドラ関数ライブラリ/ドライバ、
 W I N D O W S 2 0 0 0 / X P用ADデータ収集ソフト：L a B D A Q - A Q
 （信号処理なし版、機能無制限、無償ダウンロード配布）
 （オプション） 印刷された取扱説明書、 回路図。

価格表

（消費税を含んでいません。）

/ 2 0 0 5 年 2 月 /

製品名	価格 ¥	製品の概要
ADM-682zPCI	69,000	12ビット/16（差動8）チャンネルFIFOメモリ付ADボード
（以下、オプション）		
ADM-682z取説セット	2,000	印刷された取扱説明書+回路図
DS37S-150	7,500	アナログ用1.5mケーブル（片方：プラグ/他方：バラ）
CBNC-04	8,000	外付・4chアナログBNC接続ボード（アナログ入力コネクタ直結）
CBOX-014-8	29,000	外付・8chアナログBNC&デジタル信号接続箱（接続ケーブル付）
CBOX-014-16	34,000	外付・16chアナログBNC&デジタル信号接続箱（接続ケーブル付）
CBRD-024KIT	23,000	外付・16chアナログ端子台基板接続キット（接続ケーブル付）
CTML-37	8,000	外付・16chアナログ端子台接続ボード（アナログ入力コネクタ直結）
CBOX-204	18,000	外付・デジタル信号のみ接続箱/制御信号はBNC（接続ケーブル付）
AIM-44L	別掲	外付・多チャンネル（4～16ch）絶縁アンプシステム
SHU-516BRD	95,000	外付・16ch同時サンプルボード（接続ケーブル付）基板
SHU-516BOX	135,000	外付・16ch同時サンプルボード（接続ケーブル付）BNC箱入
UNI-301BRD	4,000	内付・ユニバーサル基板（標準で本体に実装済み、交換実装用）
BGA-305BRD	15,000	内付・4ch個別ゲインアンプ基板（1倍/5倍/任意倍）
BUF-316BRD	19,000	内付・16ch個別入力バッファアンプ基板
ATN-324BRD	16,000	内付・4ch個別・高電圧（最大±40V）入力基板
SHU-004BRD	25,000	内付・4ch同時サンプルホールド基板（13ビット精度）
AIU-304BRD	26,000	外付・4ch絶縁センサアンプ（5Bシリーズ）用バックプレーン
AXADM-68X	16,000	ADM-68 PCIシリーズ共通のAD入力ActiveX
Kuzira-	各36,000	Linuxドライバ（ : ボード番号）、Rev2.4x
EXLOG-6XX	24,000	EXCEL直接入力ADデータ収集ソフト（MCI社製）/～XP版
LaBDAQ-AQ （無償）	ダウンロード	ADデータ収集ソフト（松山アドバンス社製）/2000～XP版
LaBDAQ-PRO	78,000	ADデータ収集・解析ソフト（松山アドバンス社製）/98～XP版

《 取説セット 》 印刷された取扱説明書+回路図は有償です。（¥2000）
 が、同一内容の取説PDFファイルと添付ソフトを格納したCDROMは無償配布しており、また
 取説PDFファイルは当社ホームページから無償ダウンロードすることができます。
www.microscience.co.jp

《 メモリ増設 》 該当容量のFIFOメモリ素子に交換して出荷します。（標準1K語搭載、普通はこれで充分です）
 本体製品型名の末尾にFIFOメモリ容量を示す枝番を付してください。

選択枝番： - 8KW（8K語分/¥10,000加算）、 - 1MW（1M語分/¥22,000加算）
 - 8MW（8M語分/¥27,000加算）、 - 32MW（32M語分/¥38,000加算）

第1章. 導入・試運転

1-1. 本機の概要

本ボードは効率のよい高速ブロックI/O転送命令も利用できるFIFOメモリを搭載しており、指定された条件（クロック・トリガ・チャンネル数）に従ってボード上で自動サンプリングを行う構造となっています。ソフト上では 条件設定 スタート（トリガ待ち） ステータス取得・評価 データ読み込みだけで、動作タイミング等の制御を必要としません。このような制御構造はリアルタイム/マルチタスクのFALシステムやWINDOWS環境に最適です。

WINDOWS2000・XP 版データ収集ソフトLaBDAQ-AQ（信号処理なし版、機能無制限）を無償配布。

WINDOWS98・ME・2000・XP 版のハンドラ関数ライブラリDLL/デバイスドライバを添付。

ActiveX：オプション。Linuxドライバ：オプション。

LaVIEWサンプル（Vi）を提供。

本機内蔵のマルチサンプリング機能、平均化処理で大幅に雑音を除去可能。

（添付のハンドラ関数で対応、他のソフトでは未対応もあります。）

高精度部品の使用により、アナログ入力範囲切り替え時の再調整不要。

サンプリング点数を制限しないFIFOバッファメモリ搭載。（標準1K語/増設可能）

マルチ・クロック源：内部10MHz/内部8.192MHz/外部入力。

マルチ・トリガ源：ソフト上の即トリガ/アナログ（エッジ・レベル・レンジ）/外部入力。

クロック入出力機能により複数ボードの同期運転可能（マスタスレーブ動作）。

内付・入力ユニバーサルボード（標準搭載）

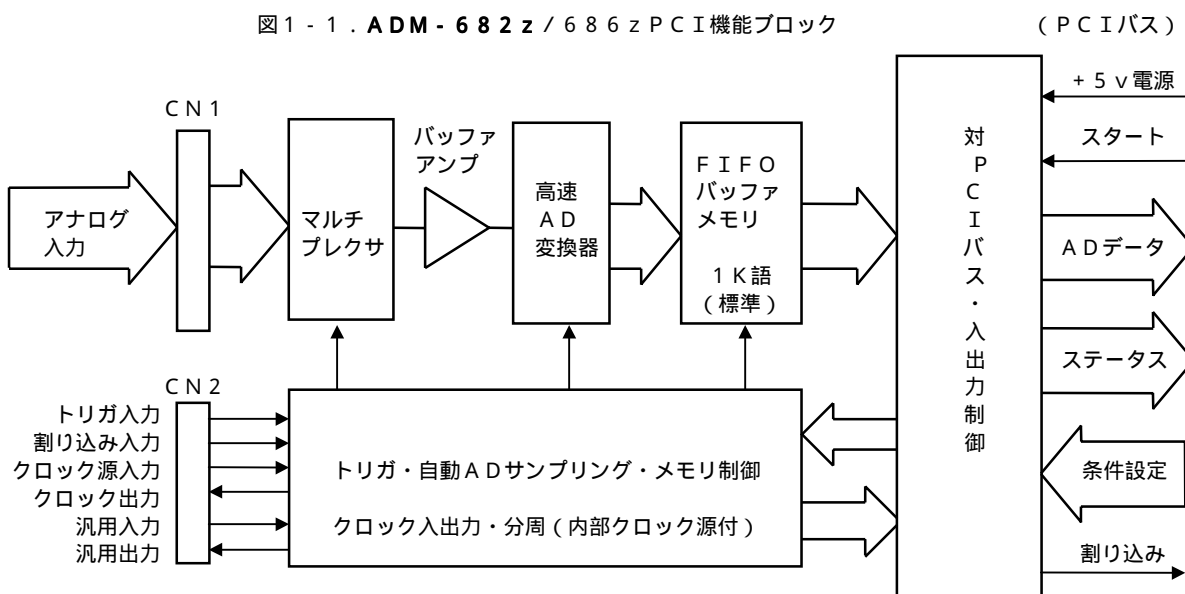
内付・各チャンネル別バッファ、低電圧入力、高電圧入力：オプション

内付/外付・同時サンプリング：オプション。

表1-1.

製品名	分解能/入力数	単chサンプル	複数chサンプル	特異機能
ADM-682zPCI	12BIT/16（差動8）ch	256KHz	（4xch）μs	汎用
ADM-686zPCI	16BIT/16ch（差動無）	200KHz	（5xch）μs	高精度

図1-1. ADM-682z/686zPCI機能ブロック



【注1】 汎用入力：1ビット・TTLレベル（現在値）入力。

汎用出力：1ビット・5Vロジックまたはオープンコレクタ出力。

高速・高機能化されたADM-682zPCI（完全上位互換、価格据置）

上位互換 ADM-682zPCIは旧機ADM-682PCIに対し上位互換ですから、これら旧機用に製作されたソフトウェアは何の変更もなく動作します。

高速化 最高速度が256KHz（4μs/ch）に大幅アップしました。

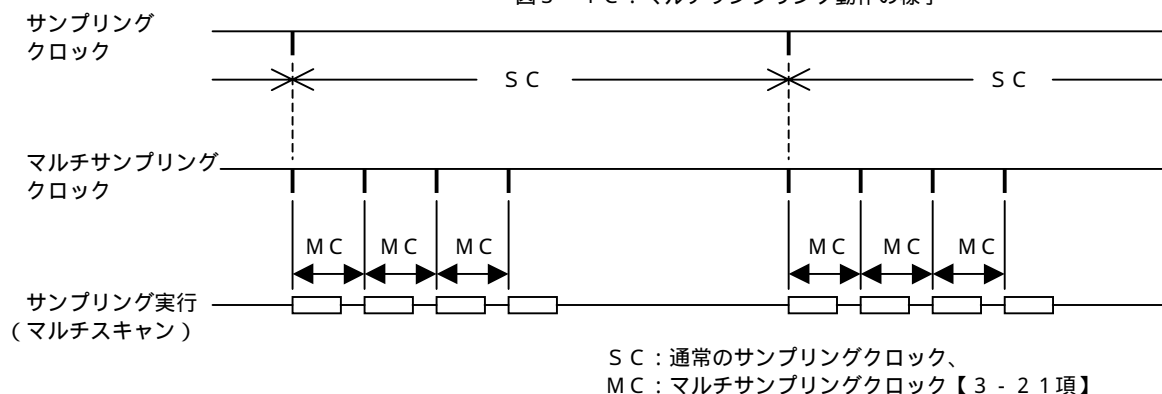
追加機能： クロックに同期した連続・自動サンプリング動作のとき、旧機ではクロック到来ごとに各1回のAD変換でしたが、本機では指定回数・繰り返しAD変換する“**マルチサンプリング機能**”“**平均処理機能**”を追加しました。

当機能はアナログ信号に重畳した高い周波数成分の大きな雑音がある場合、これを平均化により除去する有力な方法です。

この平均化演算は（最大255回に限りませんが）ハード的な処理なのでソフト上はパラメータ指定のみ、実行時間の配慮は不要です。

また測定サイクルを繰り返し実行するとき、ソフト/ハードの条件によって前回終了から次回開始までに数100msもの時間が必要になる問題を一挙に解決、間断ない自動連続測定にも適用できます。なお、マルチサンプリング回数の最大値は“**2の32乗**”（32ビット点数カウンタ制御）です。

図3-1C. マルチサンプリング動作の様子



SC：通常のサンプリングクロック、
MC：マルチサンプリングクロック【3-21項】

【注1】マルチサンプリング・クロック設定周期：MCの最小値＝（使用チャンネル数）×（4μs）

【注2】サンプリング・クロック設定周期：SCの最小値＝（使用チャンネル数）×（4μs）×（マルチスキャン回数）

そのほか、

アナログ入力部が交換可能なモジュール（ミニ基板）となっており、標準ではユニバーサルなので任意の入力回路を自作・実装して使用することができます。

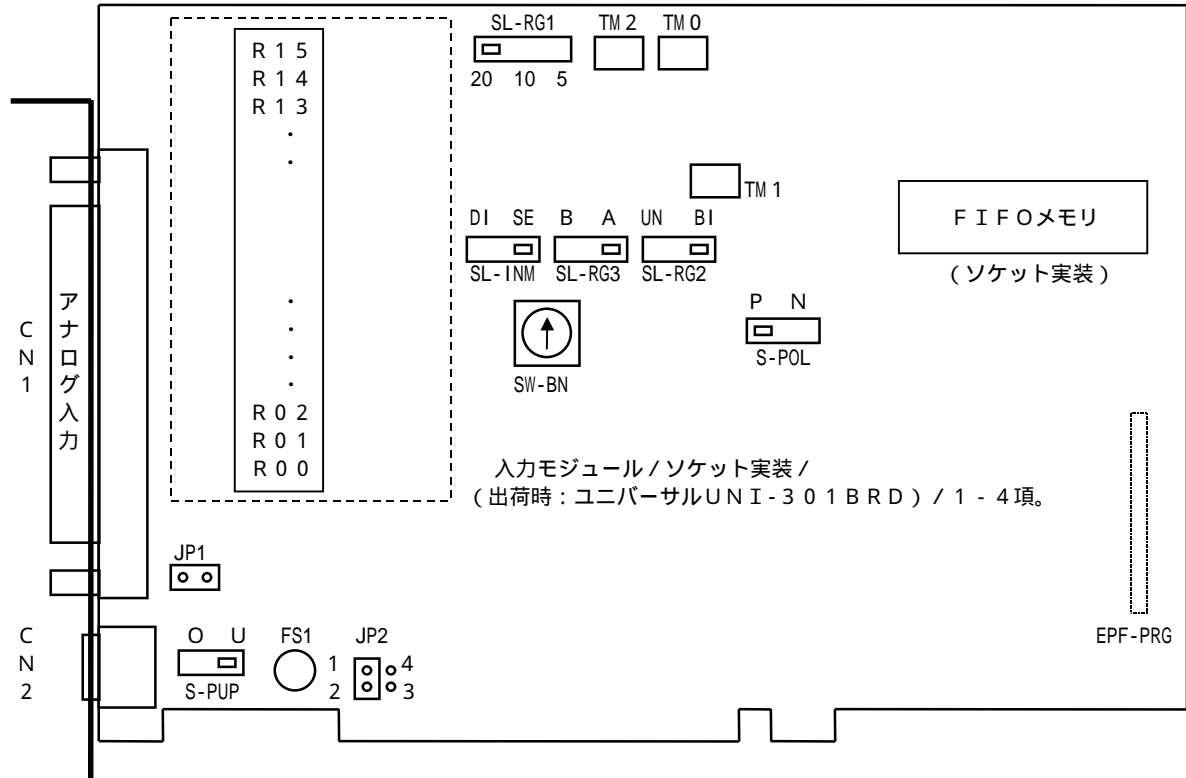
（但し利用可能な±15V電源は30mA以内、5V電源は1A可能）

オプションとして16チャンネル個別入力バッファ基板があり、信号源のインピーダンスが高い（数百Ω以上、ポテンショメータ等の）場合や、信号周波数が比較的高い場合に効果を発揮します。

対応ソフト： WINDOWS 98 / ME / 2000 / XP対応のハンドラ関数ライブラリとWDMデバイスドライバがあります。またWINDOWS 95 / NT、およびMS-DOSでは旧機用のハンドラ関数ライブラリが御利用できますが、マルチサンプリング機能には対応していません。

1-2. ボード上の設定

図1-2A. ADM - 682zPCIボード上の部品配置



R00 ~ 15 : アナログ入力終端抵抗【出荷時: 各10M】 / 2-1項

SW-BN : ボード番号設定スイッチ【出荷時: 0】 / 本ボードを複数使用時の認識用。

S-POL : 汎用デジタル出力の極性選択【出荷時: P (正論理)】 / 2-5項。

S-PUP : 汎用デジタル出力のプルアップ【出荷時: U (プルアップ接続)】 / 2-5項。

SL-INM : アナログ入力信号形式選択【出荷時: SE】 / 2-1項

SL-RG1 : アナログ入力 (公称) スパン選択【出荷時: 20】 / 2-2項。

SL-RG2 : アナログ入力範囲極性選択【出荷時: BI】 / 2-2項。

SL-RG3 : アナログ入力スパン・モード選択【出荷時: Aモード】 / 2-2項。

TM0 : (バイポーラ) オフセット調整トリマ。
 TM1 : (ユニポーラ) オフセット調整トリマ。
 TM2 : ゲイン調整トリマ。 } 再調整用 / 7-3項

FS1 : +5V電源出力保護ヒューズ (FRPU-2A: 浜井電球製) / 回路図

CN1 : アナログ入力コネクタ (37ピンD-SUB) / 1-3項

CN2 : デジタル入出力コネクタ / 1-3項

JP1 : S/H制御信号出力【出荷時: オープン (非接続)】パターンのみ / 2-4項。

JP2 : 消費電力申告【出荷時: 1-2側】 / 2-4項。

+5V電源消費がボード外部も含めて7.5Wを超えるときは【3-4側】に変更。
 (外付オプションの同時サンプル、または絶縁アンプユニットを接続する場合など)

EPP-PRG : 保守用 (出荷時: 未実装)

1-3. 入出力コネクタ・ピン接続

アナログ入力には37ピンD-SUBコネクタ、また汎用デジタル入出力（各1ビット）を含む制御信号入出力には8ピン丸型コネクタが使用されており、各適合プラグ（各1個）が添付されています。

プラグ：17JE-23370 02(D8A) / DDK製
基板側：17LE-13370-27(D4AB) / DDK製

図1-3A. アナログ入力コネクタ(CN1)ピン接続

信号名	機能	ピン番号	ピン番号	信号名(機能)
CH0 (0H)	ch0 入力 (差動: ch0の+側)	1	20	AG (アナログ・グランド)
CH1 (0L)	ch1 入力 (差動: ch0の-側)	2	21	AG (" ")
CH2 (1H)	ch2 入力 (差動: ch1の+側)	3	22	AG (" ")
CH3 (1L)	ch3 入力 (差動: ch1の-側)	4	23	AG (" ")
CH4 (2H)	ch4 入力 (差動: ch2の+側)	5	24	AG (" ")
CH5 (2L)	ch5 入力 (差動: ch2の-側)	6	25	AG (" ")
CH6 (3H)	ch6 入力 (差動: ch3の+側)	7	26	AG (" ")
CH7 (3L)	ch7 入力 (差動: ch3の-側)	8	27	AG (" ")
CH8 (4H)	ch8 入力 (差動: ch4の+側)	9	28	AG (" ")
CH9 (4L)	ch9 入力 (差動: ch4の-側)	10	29	AG (" ")
CH10 (5H)	ch10 入力 (差動: ch5の+側)	11	30	AG (" ")
CH11 (5L)	ch11 入力 (差動: ch5の-側)	12	31	AG (" ")
CH12 (6H)	ch12 入力 (差動: ch6の+側)	13	32	AG (" ")
CH13 (6L)	ch13 入力 (差動: ch6の-側)	14	33	AG (" ")
CH14 (7H)	ch14 入力 (差動: ch7の+側)	15	34	AG (" ")
CH15 (7L)	ch15 入力 (差動: ch7の-側)	16	35	AG (" ")
	空ピン	17	36	空ピン
S/H	S/H信号出力【注2】	18	37	DG (デジタル・グランド)
+5v	PCIバス上の+5v電源出力	19		

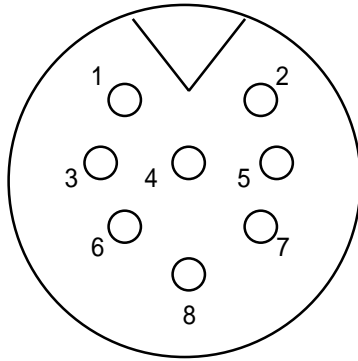
【注1】アナログ・グランドAGとデジタル・グランドDGはボード内部で接続されています。

【注2】外部サンプルホールド制御信号（ボード上のジャンパJP-1により接続出力できる。/ TTLレベル）

デジタル入出力コネクタ

ADM - 68?PCIシリーズ全機種共通。

図1-3C. デジタル入出力コネクタ (CN2) ピン接続



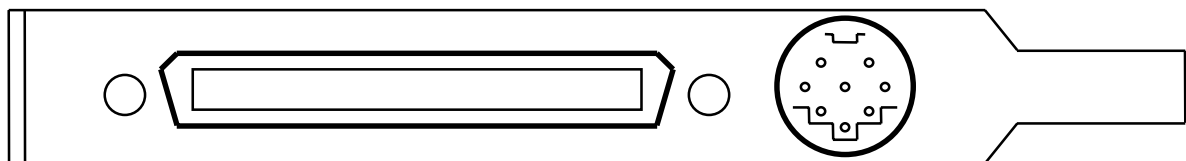
(添付プラグのハンダ付け側)

ピン1: 割り込み入力	INT - IN
ピン2: トリガ入力	TRG - IN
ピン3: クロック源入力	CLK - IN
ピン4: クロック出力	CLK - OUT
ピン5: 汎用デジタル入力	I/O
ピン6: 汎用デジタル出力	Q/O
ピン7: PCIバス+5V出力	+5V
ピン8: デジタルグランド	DG

(DGとAGはボード内で接続されている。)

プラグ: HR212-10P-8P-MS / ヒロセ製
 基板側: HR212-10RA-8SDL(03) / ヒロセ製

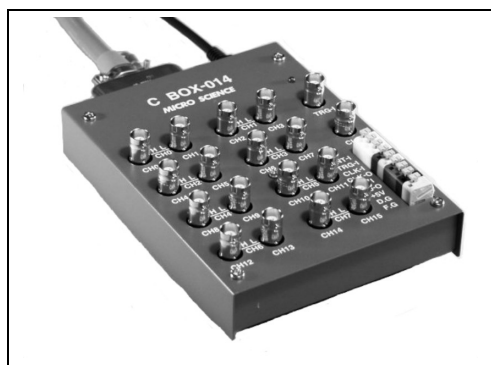
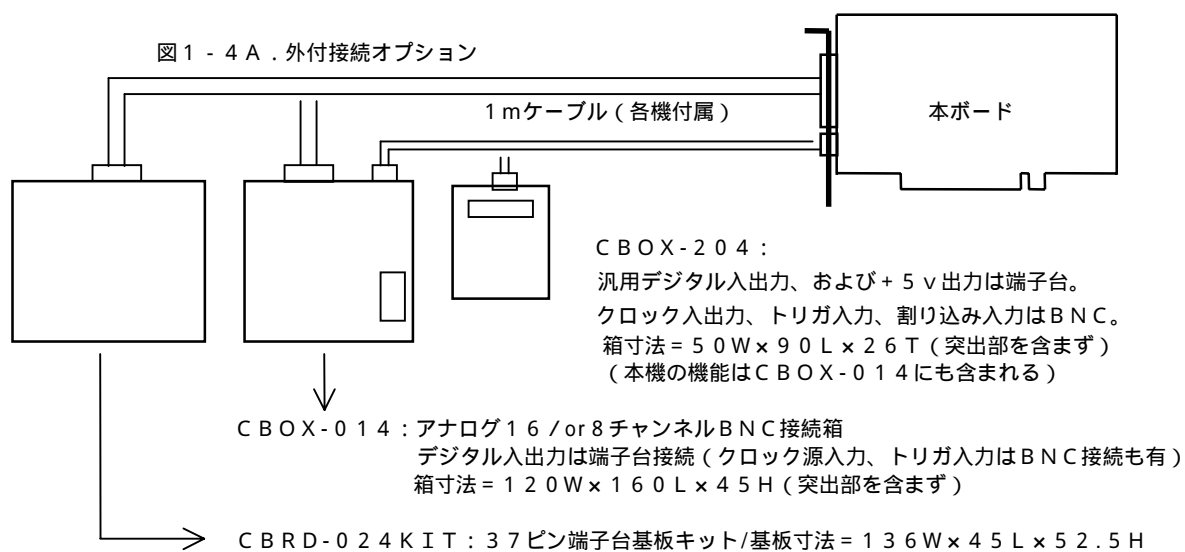
図1-3D. リアパネル面の外観



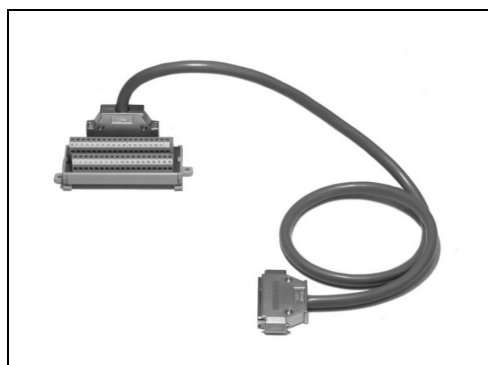
アナログ入力コネクタ (CN1)

デジタル入出力コネクタ (CN2)

1-4. 入出力接続オプション



CBOX-014（上）



CBRD-024KIT（上）

CBNC-04（4入力BNC基板）と
CBRD-37（37ピン端子台基板） →

CBNC-04はアナログ入力チャンネル0～3だけに
接続できる本体コネクタ直結型BNC接続ボード、
CBRD-37はアナログ入力コネクタの全37ピンに
接続できる本体コネクタ直結型の端子台接続ボード。

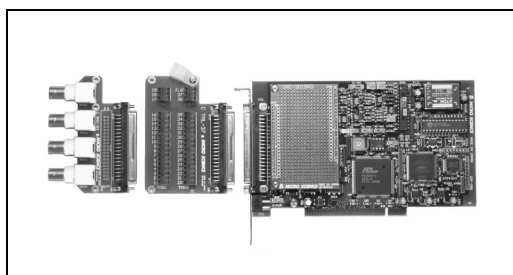
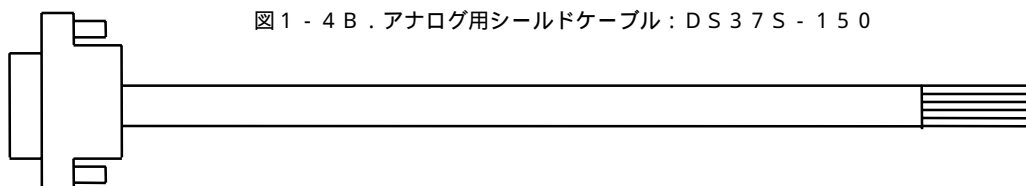
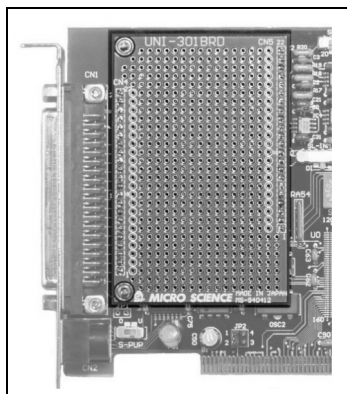


図1-4B. アナログ用シールドケーブル：DS37S-150



ユニバーサル基板（オンボード・標準搭載）：UNI-301BRD ¥4,000

アナログ入力部にユーザの自由な回路を実装するための基板で、標準出荷時は入力コネクタCN1と本体の入力回路が直結されたパターンになっており、加工するときはカットして使用します。（内付・標準搭載）



寸法：82 × 53 mm

両面スルーホール、2.54 mmピッチ、29 × 17穴

【注1】挿抜作業上の注意

本モジュール基板を本体から取り外すときは、本体基板を傷つけないように角が鋭利でない棒（調整棒など）を使用し、両側から交互に少しずつ“テコ”操作で抜き取ってください。

装着のときは、本モジュール基板側のピンを本体基板側の対応ソケット穴に正確に合わせたうえで両側を交互に少しずつ挿入・装着してください。

【注2】標準出荷時

UNI-301BRDの初期状態は、CN4コネクタ側のピン（1～16）とCN5コネクタ側のピン（1～16）がパターンで直結されています。加工するときは必要に応じカットして御使用ください。

アナログ入力モジュールCN4コネクタ

番号	信号機能
22	アナロググランド（AG）
21	アナロググランド（AG）
20	デジタルグランド（DG）
19	デジタル用電源（+5v）
18	サンプルホールド制御信号（S/H）
17	未使用
16	コネクタCN1側アナログ入力（CH15）
15	” ” （CH14）
14	” ” （CH13）
13	” ” （CH12）
12	” ” （CH11）
11	” ” （CH10）
10	” ” （CH9）
9	” ” （CH8）
8	” ” （CH7）
7	” ” （CH6）
6	” ” （CH5）
5	” ” （CH4）
4	” ” （CH3）
3	” ” （CH2）
2	” ” （CH1）
1	” ” （CH0）

アナログ入力モジュールCN5コネクタ

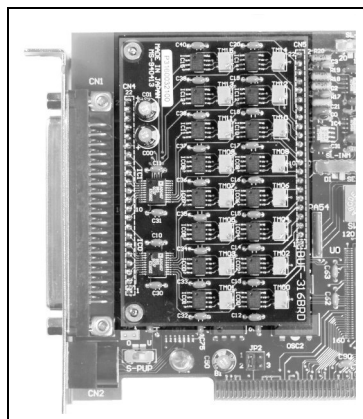
信号機能	番号
アナロググランド（AG）	22
アナロググランド（AG）	21
アナログ用電源（-15v）	20
アナログ用電源（+15v）	19
未使用	18
未使用	17
本体側アナログ入力（CH15）	16
” ” ” （CH14）	15
” ” ” （CH13）	14
” ” ” （CH12）	13
” ” ” （CH11）	12
” ” ” （CH10）	11
” ” ” （CH9）	10
” ” ” （CH8）	9
” ” ” （CH7）	8
” ” ” （CH6）	7
” ” ” （CH5）	6
” ” ” （CH4）	5
” ” ” （CH3）	4
” ” ” （CH2）	3
” ” ” （CH1）	2
” ” ” （CH0）	1

【注3】ユーザ回路実装上の注意

本基板が本体基板に装着された状態では、本体基板下面～本基板上面＝8mmで、隣接スロットに装着される他基板との間隔が約6mmしかありませんので御注意下さい。なお利用できる電源容量は+5v / 1A、±15v / 45mA以内です。

個別入力バッファ基板（オンボード・オプション）：**BUF-316BRD** ¥19,000

各アナログ入力には保護回路を通して入力選択用マルチプレクサに接続し、その出力が共通のバッファアンプに入力される構成になっていますが、対象によっては個別バッファアンプで受けた後にマルチプレクサに接続したい場合があります。信号源インピーダンスが高い場合や周波数が高いときです。本基板はそのような場合のオプションとして、利得 = 1 のバッファアンプが各入力ごと（全 16 ch）に実装・接続されるものです。



寸法：82 × 53 mm

電源消費：±15V（本体ボード側から供給）

装抜作業上の注意

本モジュール基板を本体から取り外すときは、本体基板を傷つけないように角が鋭利でない棒（調整棒など）を使用し、両側から交互に少しずつ“テコ”操作で抜き取ってください。

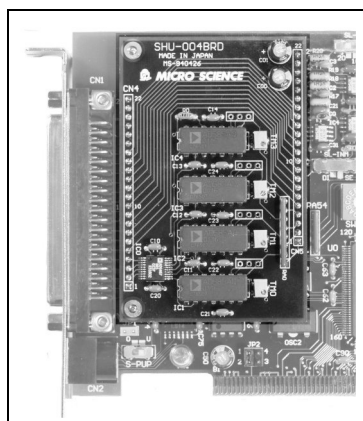
装着のときは、本モジュール基板側のピンを本体基板側の対応ソケット穴に正確に合わせたうえで両側を交互に少しずつ挿入・装着してください。

4ch同時サンプル基板（オンボード・オプション）：**SHU-004BRD** ¥25,000

各アナログ入力には保護回路を通して入力選択用マルチプレクサに接続し、その出力が共通のサンプルホールド機能付AD変換器に入力される構成になっていますが、本オプションを使用すると4チャンネル（ch0～3）分に限り、前段に同時サンプルホールドされた信号を入力することができます。（ch4～15は本オプション無しの場合と同じ。）

本オプションを使用するときは制御タイミングを最適化するためのソフト設定が必要です。

【3-18項】参照。



使用素子：AD585（13ビット精度）

寸法：82 × 53 mm

電源消費：±15V（本体ボード側から供給）

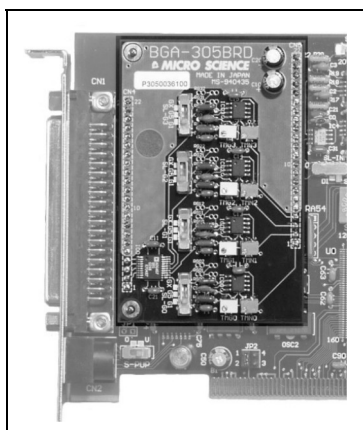
装抜作業上の注意

本モジュール基板を本体から取り外すときは、本体基板を傷つけないように角が鋭利でない棒（調整棒など）を使用し、両側から交互に少しずつ“テコ”操作で抜き取ってください。

装着のときは、本モジュール基板側のピンを本体基板側の対応ソケット穴に正確に合わせたうえで両側を交互に少しずつ挿入・装着してください。

個別4chゲイン入力基板（オンボード・オプション）：**BGA-305BRD** ¥15,000

各アナログ入力には保護回路を通して入力選択用マルチプレクサに接続し、その出力が共通のバッファアンプに入力される構成になっていますが、本オプションを利用すると4チャンネル（ch0～3）分に関り個別のゲインを設定することができます。ゲインはジャンパ設定で5倍／1倍／任意値です。任意値は抵抗の追加装着でユーザの希望値に設定できます。



寸法：82×53mm

電源消費：±15V（本体ボード側から供給）

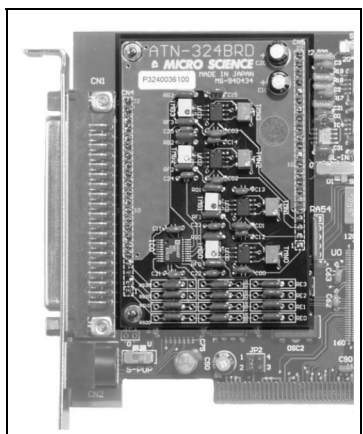
装板作業上の注意

本モジュール基板を本体から取り外すときは、本体基板を傷つけないように角が鋭利でない棒（調整棒など）を使用し、両側から交互に少しずつ“テコ”操作で抜き取ってください。

装着のときは、本モジュール基板側のピンを本体基板側の対応ソケット穴に正確に合わせたくえで両側を交互に少しずつ挿入・装着してください。

個別4ch高電圧入力基板（オンボード・オプション）：**ATN-324BRD** ¥16,000

各アナログ入力には保護回路を通して入力選択用マルチプレクサに接続し、その出力が共通のバッファアンプに入力される構成になっていますが、本オプションを利用すると4チャンネル（ch0～3）分に関り1／4分圧ステップダウン（最大±40V入力／±10V出力）することができます。本回路は入力端で抵抗分割した電圧をバッファする構成なので、抵抗値の変更で分圧比を変えることができますが、基板・部品の定格から±40Vを超える入力はありません。



寸法：82×53mm

電源消費：±15V（本体ボード側から供給）

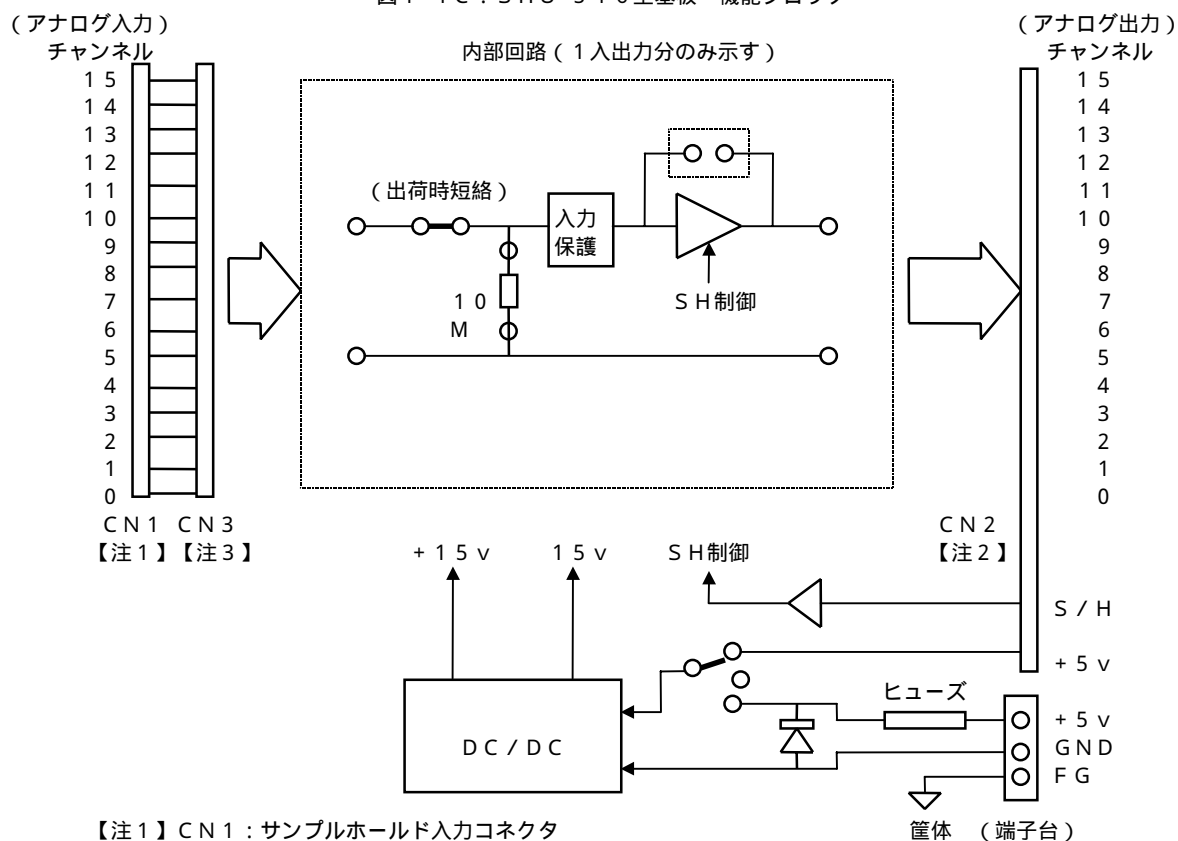
装板作業上の注意

本モジュール基板を本体から取り外すときは、本体基板を傷つけないように角が鋭利でない棒（調整棒など）を使用し、両側から交互に少しずつ“テコ”操作で抜き取ってください。

装着のときは、本モジュール基板側のピンを本体基板側の対応ソケット穴に正確に合わせたくえで両側を交互に少しずつ挿入・装着してください。

SHU516 : ADM-680x/681/682z/686z/676PCI 用 16ch 同時サンプルホールド

図1-4C. SHU-516 主基板・機能ブロック

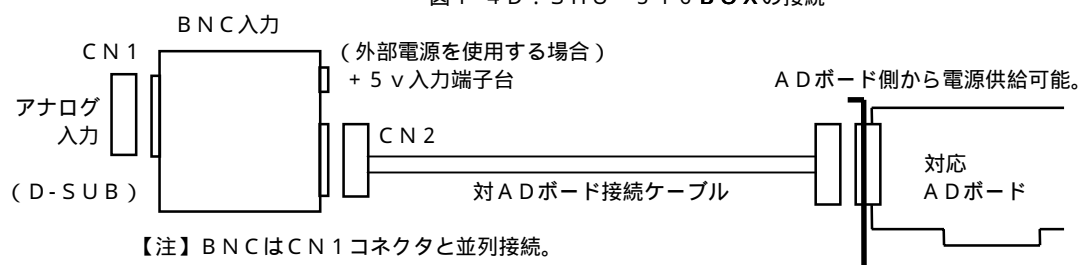


【注1】CN1 : サンプルホールド入力コネクタ

【注2】CN2 : サンプルホールド出力コネクタ (対ADボード接続側)

【注3】CN3 : 対BNC入力基板接続コネクタ (CN1に並列接続) : SHU-516 BOXで利用。

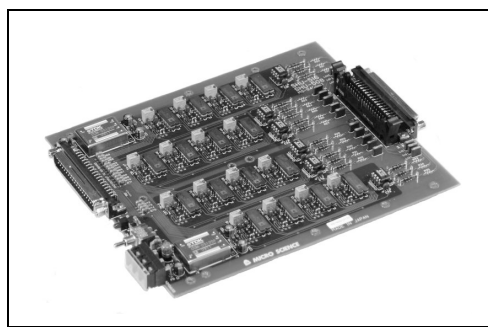
図1-4D. SHU-516 BOXの接続



【注】BNCはCN1コネクタと並列接続。



SHU-516 BOX



SHU-516 BRD

多チャンネル絶縁アンプ（外付）：AIM-44L

AIM-44Lは複数のアナログ信号源を個別・相互に絶縁してAD変換ボード等に入力するための高精度・省スペース・低価格の4チャンネル絶縁アンプモジュールです。

チャンネル数が多いときは最大4枚（16ch）の本モジュールをオプションの専用フラットケーブルで連結し、一括した1本のケーブルでAD変換ボード等に接続することができます。

当社製の各AD変換ボード向けには専用ケーブルが用意されていますが、本製品自体は適切に接続される限り対象ボード、メーカーを選びません。

特にAIM-44Lを当社製ADM-681/682z/686z/688/676PCI各機に接続するときは電源をパソコン側から（余力のある範囲で）供給することができます。

【注】AIM-44Lの正確度は0.05%FS程度です。

入出力：（出荷時指定 $\pm 10\text{V}$ / $\pm 1\text{V}$ / $\pm 100\text{mV}$ / $\pm 10\text{mV}$ ）入力、 $\pm 10\text{V}$ 出力

応答特性：遮断周波数1.2KHz（ $\pm 10\text{mV}$ 入力のときは600Hz）

セトリング時間4ms（0.1%FS到達時間、20Vステップのとき）

絶縁耐圧：DC500V（入出力間およびチャンネル間）

入力接続：4チャンネル・各個別絶縁アンプ入力用ネジ止め端子台、またはBNC。

出力接続：37ピンD-SUBコネクタ（male型）。

（別売で当社製各種ADボード接続専用ケーブルも有）。

連結接続：40ピン・リボンコネクタ（ラッチ型）。

（別売の連結用フラットケーブル：FC4004で合計4枚まで連結接続可能）。

DC5V（ $\pm 5\%$ ）0.35A：専用のACアダプタ接続ジャック、または

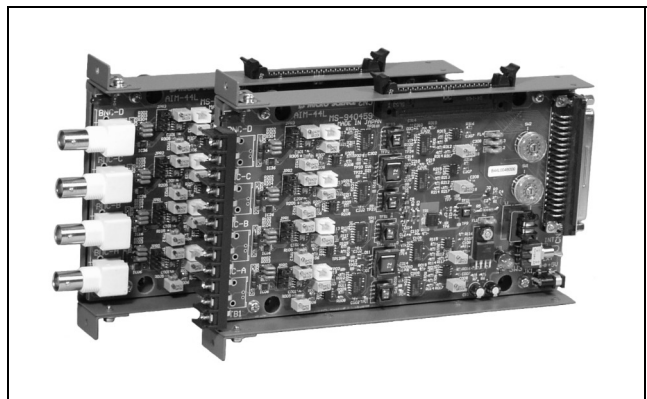
対ADボード接続ケーブルから（要パソコン本体の供給余力）

外形寸法：190D×110W×24T（突出部を含まず。）、**重量**：450g

外観写真

左奥がBNC入力仕様、
右手前がネジ止め端子台入力仕様、

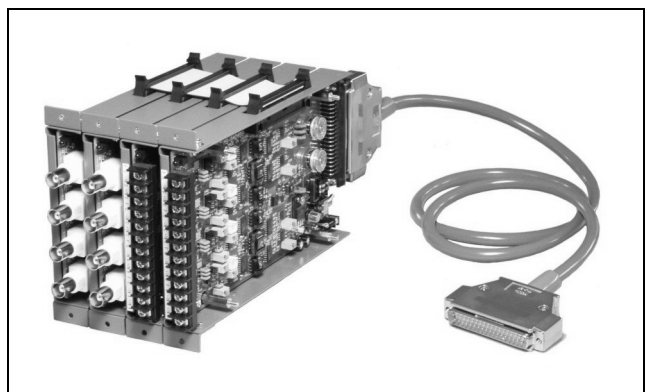
（出力ケーブルは別売り）



4機連結の外観写真

専用フラットケーブルで連結した
本機4枚（16ch）までの出力を
1本のケーブルで引き出すことが
できる。

接続設定の詳細はAIM-44L
マニュアル参照。（ダウンロード）



1-5. ボードのインストール

本製品はプラグアンドプレイに対応したPCIボードです。

御使用に先立ち、組み込むパソコンシステムにインストール（認識・リソース割り当て）される必要があります。この作業はシステムを上げたとき（電源投入直後）に自動実行されます。

準備

本ボード上の諸設定は出荷時の状態（1-2項）とします。

パソコン本体または拡張I/Oボックスの電源を切った状態でカバーを外し、任意の拡張（PCIバス）I/Oスロットに本ボードを無理なく押し入れ装着します。注意することは、

パソコン本体または拡張I/Oボックスの電源を必ず切っておく。電源を入れたままで本ボードを抜き差しすることは双方の故障原因となります。

本ボードのカードエッジ（金メッキ端子）に手を触れないこと。手を触れると、（油脂成分の付着等により）接触不良の原因となることがあります。もし、触れてしまった場合はアルコール等で拭き清めてください。

本ボード上ROM内のコンフィギュレーション情報

Vendor ID : 13FDH（インタフェース素子の製造者ID）【注1】
 Device ID : 0107H（ADM-682zPCIボード自体のID）【注1】
 Subsystem Vendor ID : 13FDH（ボード製造者=マイクロサイエンス社のID）
 Subsystem ID : 0107H（ADM-682zPCIボード自体のID）
 Class Code : 110000H（本ボードの適合する分類コード）

リソース要求：I/Oアドレス：連続した複数アドレス。

割り込み : デフォルトでは不要求。【注2】

バスマスタ : 機能なし（不要求）。

【注1】 Vendor ID / Device IDは本来、インタフェース素子メーカ/素子自体を特定するIDですが、本ボードで使用している素子は汎用品として多数の他社製品にも使用されており、（98/04/01）現在パソコンのプラグアンドプレイではVendor IDとDevice IDだけでボードを認識する機種があるので（混乱を避けるために）当社IDを記してあります。

【注2】 **割り込みを使用する場合**：本ボード上のROMに書き込まれているデフォルト（初期）のコンフィギュレーション情報では割り込みリソースを要求しません。もし要求したときに空きが無く拒否されるとI/Oアドレスの割り当ても受けられず、認識不能状態になる恐れがあるからです。割り込みを利用したいときは以下の手順を踏んでください。

本ボードを最初はデフォルト（初期）設定のままインストールし、システムから認識できる状態にしてください。

現在のシステムが使用しているリソース情報を調査してください。割り込みに空がある場合は（当社提供のユーティリティ：cf9050で）本ボード上のコンフィギュレーション情報（ROM）を割り込みリソースを要求するように修正して、一旦終了・電源を切ります。（パソコン電源部保護のため1分以上の後）、再度電源投入するとプラグアンドプレイで割り込みリソースが割り当てられます。

割り込みリソースに空きが無い場合は最後の手段として、既に他デバイスに割り当てられている割り込みリソースを共有する方法も考えられますが、他デバイスの動作にも影響する恐れがあるため、現時点では当社のサポート対象外としています。

【重要】 インストール作業の前に

(1)

旧機ADM - 682PCIの使用経緯が無く、
初めて本機ADM - 682zPCIを使用される場合は次ページ以降に記す手順で
インストールし、以後は第4章・第6章（新ハンドラ）の説明にしたがって御利用ください。

(2)

MS - DOS、WINDOWS - NTで使用する場合、および
旧機ADM - 682PCIをWINDOWS 95 / 98 / MEで使用するユーザプログラムが
既に有り、これを本機ADM - 682zPCIに適用する場合は、
旧機ADM - 682PCI用のマニュアルに従ってインストールのうえ、旧ハンドラDLLで
御利用ください。

(3)

旧機ADM - 682PCI用ユーザプログラムがWINDOWS 2000 / XP用であれば、
本書・次ページ以降に記す手順でインストールして、旧ハンドラまたは新ハンドラDLLを
選択・使用することができます。

本書・次ページ以降に記すインストール手順は本機ADM - 682zPCIに
追加された新機能、新速度（高速モード）、および複数ボード同期運転をサポートした
新ハンドラDLLを利用するため、WINDOWS 2000 / XP / 98 / ME共通の
WDMドライバに関連付けるものです。

インストール作業 (WINDOWS 98 / ME / 2000用) : 新ハンドラ使用のとき。

ボード装着直後の作業にはWINDOWS 2000用のインストールディスクが必要です。
WINDOWS 98 / ME / 2000全てWINDOWS 2000用を使用します。

当社ホームページwww.microscience.co.jpの<ダウンロード>アイコン以下で入手できる
ビジュアルな操作手順書も併せて参照し、注意深く行ってください。

なおMS-DOS、および旧来のWINDOWS 95 / 98 / ME / NT対応ハンドラで
使用する場合は旧ADM-682PCI用のマニュアルにしたがって御利用ください。

各作業は必要により Administrator レベルで行ってください。

《手順》

パソコンシステムの電源を投入するとWINDOWSが立ち上がり、このとき新ハードウェア
(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

新しいハードウェアの検出ウィザードが立ち上がり、
[新しいハードウェアが検出されました。/必要なソフトウェアを探しています]に続いて
ドライバの検出過程ダイアログが現れますから、添付の[ボードインストール・ディスク]
を挿入し、ウィザードに従って(ディスクがF Dの場合は[a:\win2K]フォルダから)読み
込ませてください。

(CDROM<2003-01版以降>の場合は適切なドライブのフォルダ[:win2K]から)

ファイルのコピーで“dms_pci.sys”が見つからないのメッセージが出たら、コピー元に同
上記のフォルダを指定してください。

これで本ボードの情報がWINDOWSのレジストリに登録されました。

- (1) インストールされたドライバ“DMS__PCI.SYS”は、
当社製各PCIボード(複数可能)に共通使用できるWINDOWS用のWDMドライバ
です。(WINDOWS 2000 / XP / 98 / MEで使用可能)

インストール元: ボードインストールディスク。

インストール先: ¥WINDOWS¥SYSTEM32¥DRIVERS

- (2) 御利用に先立ち、4-1項に従い各種ソフトウェアのインストール作業を行って下さい。
(専用インストーラによる解凍・展開)

インストール元: 添付のCDROM。

インストール先: ¥MSCIENCE 以下。

以後、アプリケーションからの利用が可能になります。

プラグアンドプレイによる本ボードの認識とリソース割り当てが有効に実施された場合、本機の
制御・操作は全てPCIバス上のハードウェアI/O空間(連続したアドレス)に割付けられてい
ます。【3-3項参照】

《割り当てリソースの調査》

WINDOWSの【スタート】メニューから 【設定】 【コントロールパネル】
【システム】 【ハードウェア】 【デバイスマネージャ】 【MSCIENCE】
【ボード名】 【プロパティ】 【リソース】で調べます。

なおソフトウェア上では(PCIデバイスIDが同一なので)、
旧ADM-682PCIと新ADM-682zPCIの区別はできません。

インストール作業 (WINDOVS-X P用) : 新ハンドラ使用のとき。

ボード装着直後の作業にはWINDOVS 2000用のインストールディスクが必要です。基本的な手順は前ページに記したWINDOVS 98 / ME / 2000の場合と同様で、同じWINDOVS 2000用を使用しますが、WINDOVS-X Pのウィザードは間違い易い表現が多いので作業には**注意が必要です**。(特にSP2のとき)

添付のCDROM、または当社ホームページwww.microscience.co.jpの<ダウンロード>アイコン以下で入手できるビジュアルな手順書も併せて参照し、注意深く行ってください。

《手順》----- オリジナルXPの場合。SP2の場合はビジュアルな手順書参照。

パソコンシステムの電源を投入するとWINDOVSが立上り、このとき新ハードウェア(本ボード)が初めて検出された時は対応ドライバの指定を求めてきます。

- (1) 新しいハードウェアの検出ウィザードの開始。 / ダイアログ /
 <ハードウェアに付属のインストールCD、ディスクがある場合は挿入してください>と表示されますが、ここでは添付のCDROMを**未だ挿入しないで**ください。
 下段に表示されている<インストール方法>選択肢ラジオボタン をデフォルトから<一覧または特定の場所からインストールする>に変更して【次へ】をクリックします。
 - (2) 検索とインストールのオプションを選んでください。 / ダイアログ /
 デフォルトの< 次の場所で最適のドライバを検索する>チェックボックスを外し、< 次の場所を含める>のみをチェック、ここで添付のCDROMを挿入すると、
 - (3) 自動再生 / ダイアログ / が登場してサーチを始めますが、これは即、【キャンセル】をクリックしてください。
- さらに、
- (4) この種類のファイルのディスクを挿入したり、デバイスに接続したりするたびにWINDOVSが自動的に実行する動作を選択できます。 / ダイアログ / が登場したらこれも【キャンセル】をクリックします。
- これで(2)の / ダイアログ / に戻りますから、
- (5) < 次の場所を含める>を指定するためのテキストボックスを正しく埋めるために【参照】ボタンをクリックします。
 - (6) フォルダの参照<ハードウェアのドライバを含むフォルダを選んでください> / ダイアログ / が開きますから、
 <CDROMアイコン> <0__ボードインストール> <WIN2K>と指定して【OK】をクリックするとインストールが実行されます。

これで本ボードの情報がWINDOVSのレジストリに登録されました。

以下は前ページに記したWINDOVS 98・ME / 2000と同様です。
 御利用に先立ち、4-1項に従い各種ソフトウェアのインストール作業を行って下さい。

【注】操作ミス等でボードインストールが正しく実行されなかった場合は、Windows XPはボードインストール作業直前の状態を記憶しているので、一旦終了・電源を落としてボードを外し、再立ち上げの後、WINDOVSの【スタート】から【ヘルプとサポート】を選択し、<ヘルプとサポートセンター>ダイアログ中の<コンピュータへの変更をシステムの復元で元に戻す>機能でボードインストールをやり直すことのできる元の状態に戻すことができます。

1-6. 動作確認・試運転

以下の手順で試運転してください。動作に不具合があるときは1-2項に記されたボード上の設定を確認してください。それでも不明なときは本書巻末に添付の【Q & Aフォーム】にシステム情報を御記入のうえ当社技術部までFAXしてください。迅速に応答します。

なお、TELいただく場合も客観情報の整理・評価は問題解決のスピードアップにつながりますから事前にFAXしてください。

本動作確認プログラムは第6章で説明する本ボード専用のハンドラ関数DLLではなく、ボード依存性のない汎用I/Oアクセス関数DLLを使用して製作されています。

いずれのDLLも下層(ボードのアクセス)に使用するドライバは同一で、本ボードをインストールするとき同時に自動インストールされたWDMドライバです。

動作確認プログラムの位置：添付CDROM(2005年2月版以降)のルート¥から、
<6_追加ソフト> <動作確認> <DIOボード> <Wdm>
以下です。

プログラム名：td682zw2.exe
ts682zw2.exe

内容はボードアクセスと基本動作確認で： ボードID取得、ステータス取得、
ボード番号取得(ボード上SW-BN設定値)
内部クロック使用でのサンプリング動作、
FIFO容量のチェック、

などを実行します。

操作手順

(1) WINDOWSの<スタート> <プログラム> <アクセサリ> <コマンドプロンプト>、
または<スタート> <プログラム> <MS-DOSプロンプト>、と進み、

(2) DOS窓中で d : (d : 実際のCDROMドライブ名に置き換える。)

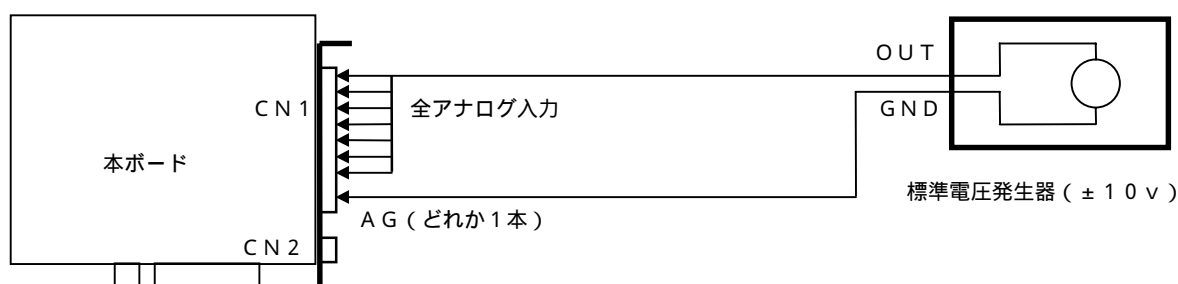
cd ¥6_追加ソフト¥動作確認¥ADボード¥Wdm

td682zw2

(ファイル名)

はスペース

図1-6. 動作確認用の外部機器接続



第2章. 信号入出力

2-1. アナログ入力回路

ADM - 682zPCIのアナログ入力はボード上のスイッチ (SL-INM) 切り替えにより普通の2線式 (シングルエンド) 16チャンネル、または差動8チャンネルで接続することができます。

アナログ入力範囲はボード上のスイッチ選択 (SL-RG1・SL-RG2・SL-RG3)、絶対最大定格は $\pm 3.5\text{V}$ です。これ以上の電圧が印加される恐れがある場合は保護対策 (2-3項) が必要です。

なお各チャンネル入力端には入力インピーダンスを下げるために $10\text{M}\Omega$ の終端抵抗が実装されています。(外すと $100\text{M}\Omega$ 以上となる)

図2-1A. アナログ入力～AD変換部の構造

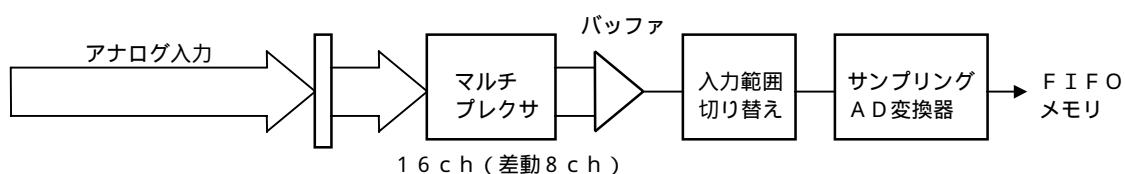


図2-1B. シングルエンド電圧入力の接続 (1チャンネル分)

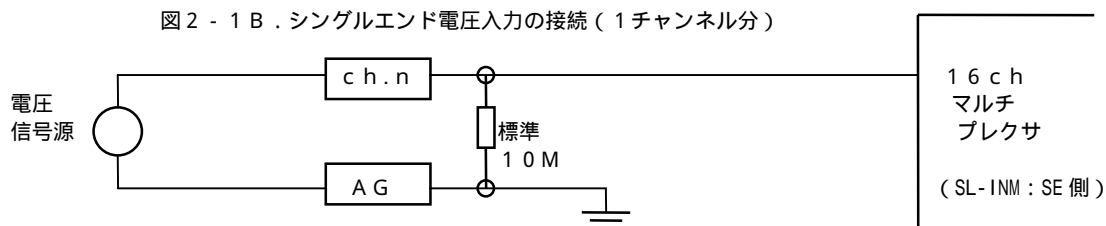
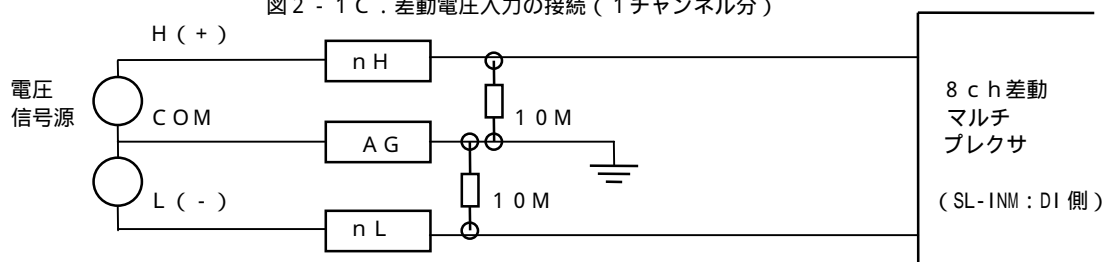


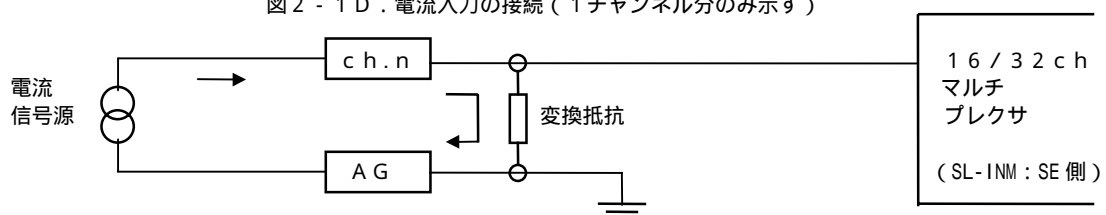
図2-1C. 差動電圧入力の接続 (1チャンネル分)



電流入力： 信号源が $4 \sim 20\text{mA}$ 等の電流出力の場合は標準実装されている $10\text{M}\Omega$ の終端抵抗を適当な値の電流・電圧変換用抵抗に交換して使用できます。

(例： 250 なら $1 \sim 5\text{V}$ に変換)

図2-1D. 電流入力の接続 (1チャンネル分のみ示す)



2-2. アナログ入力範囲

アナログ入力範囲はジャンパ設定により下表の5レンジから選択します。12BIT分解能は[1/4096]ですから公称入力範囲で正直に調整するとAD変換値1単位(digit)当りの電圧値が割り切れない値となります。当社では範囲を少し広げて切りの良い値となる(モードA)もサポートしています。その値は公称入力範囲の[1/4000]です。

表2-2A(1). 入力範囲・分解能・正確度

公称入力範囲	モード	実際の入力範囲 (±10V 超過は無効)	分解能 mv/digit	正確度 %FS
±10 V	A	- 10.240 ~ + 10.235 V	5	下表 2-2A(2) および 【注1】 【注2】 参照。
	B	- 10.000 ~ + 9.99512 V	4.88....	
±5 V	A	- 5.120 ~ + 5.1175 V	2.5	
	B	- 5.000 ~ + 4.99756 V	2.44....	
±2.5 V	A	- 2.560 ~ + 2.55875 V	1.25	
	B	- 2.500 ~ + 2.49878 V	1.22....	
0 ~ +10 V	A	0 ~ + 10.2375 V	2.5	
	B	0 ~ + 9.99756 V	2.44....	
0 ~ +5 V	A	0 ~ + 5.11875 V	1.25	
	B	0 ~ + 4.99878 V	1.22....	

【注1】 本機のAD入力は【±10V範囲/Aモード】で最終調整されていますが、高精度部品の使用により入力範囲を切り替えても多くの用途では再調整の必要がありません。

これ以外に入力範囲で最も正確度を良くしたいときは再調整(7-3項)が必要です。

表2-2A(2). スキャン速度と正確度

スキャン動作モード	単chサンプル	複数chサンプル	【注2】基本正確度 (クロストーク含む最悪正確度)
高速スキャンモード	256KHz	(4xch) μ s	±0.09 %FS (±0.114 %FS)
低速スキャンモード	256KHz	(8xch) μ s	±0.09 %FS (±0.114 %FS以下)

【注2】 基本正確度は出荷時の最終調整レンジAモード、±10V範囲で較正測定器誤差を含み、システム内部雑音および入力チャンネル間クロストーク誤差を含みません。最悪正確度は<基本正確度>に隣接チャンネル間入力電圧差が最大時に発生するクロストーク分を加算した値です。(クロストーク&内部雑音: 前5ページの仕様一覧参照。)
最終調整レンジAモード、±10V範囲以外で使用するときは<基本正確度>が<0.02 %FS>悪化します。

入力範囲(レンジ)の選択: ボード上の下記スイッチで設定します。/ 1-2項参照。

SL-RG1: 入力スパン選択(標準出荷時=20)/入力範囲の絶対電圧幅

SL-RG2: レンジの極性選択(標準出荷時=B I)/B I: バイポーラ、UN: ユニポーラ

SL-RG3: レンジモード選択(標準出荷時=A)/A: モードA、B: モードB

表2-2B. 入力範囲選択

公称 アナログ入力範囲	SL-RG3 (レンジモード選択)	SL-RG2 (レンジ極性)	SL-RG1 (スパン選択)
±10 V	A	B I	20
《該当なし》	A	UN	20
±5 V	A	B I	10
0 ~ +10 V	A	UN	10
±2.5 V	A	B I	5
0 ~ +5 V	A	UN	5
±10 V	B	B I	20
《該当なし》	B	UN	20
±5 V	B	B I	10
0 ~ +10 V	B	UN	10
±2.5 V	B	B I	5
0 ~ +5 V	B	UN	5

伝達関数

12ビットの分解能は“2の12乗分の1”ですから、変換データとアナログ入力電圧の関係は以下のようになります。

$$\text{分解能} \quad Res = Vspan \div 4096 \quad [v / \text{digit}]$$

$$\text{変換データ} \quad Dad = Vio \div Res \quad [\text{digit}] / \text{ユニポーラ} \text{のとき}$$

$$Dad = (Vio \div Res) + 2048 \quad [\text{digit}] / \text{バイポーラ} \text{のとき}$$

$$\text{入出力電圧} \quad Vio = Dad \times Res \quad [v] \quad / \text{ユニポーラ} \text{のとき}$$

$$Vio = (Dad - 2048) \times Res \quad [v] \quad / \text{バイポーラ} \text{のとき}$$

【注12】 $Vspan$ は入力範囲の絶対幅です。具体的には表2 - 2 Aの範囲に1digit分の電圧値を加算した値です。例えばAモードの公称 $\pm 10v$ 範囲なら $Vspan = 20.480v$ ($5[mv] \times 4096$)、またBモードなら $20v$ です。

図2 - 2 A . バイポーラ入力
【Aモード】

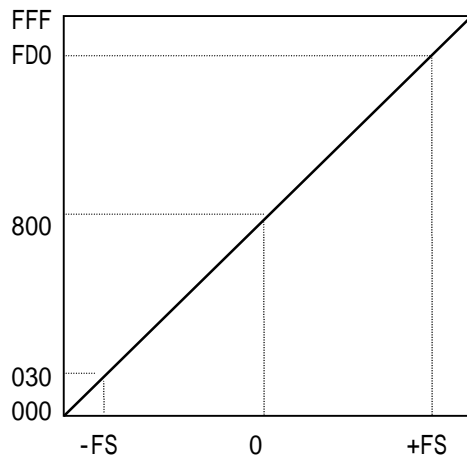


図2 - 2 B . ユニポーラ入力
【Aモード】

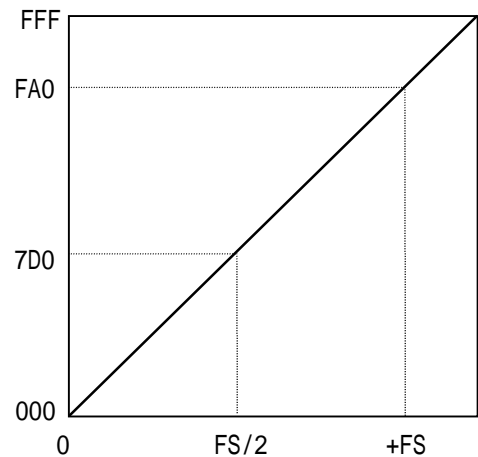


図2 - 2 C . バイポーラ入力
【Bモード】

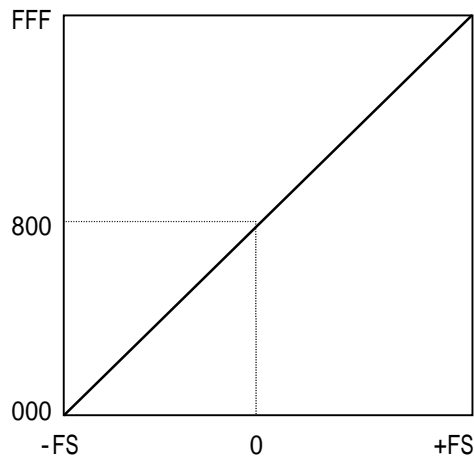


図2 - 2 D . ユニポーラ入力
【Bモード】

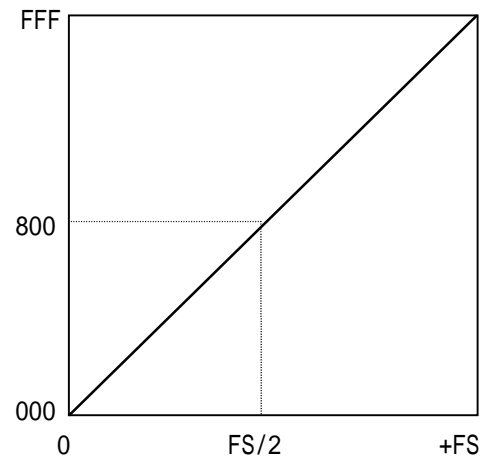


表2-2C. 12ビットADデータ vs アナログ入力 【Aモード】

ADデータ hex / 10進	アナログ入力範囲 (表2-2A参照)					
	±10v	±5v	±2.5v	0~+10v	0~+5v	
FFF / 4095	+10.235	+ 5.1175	+ 2.55875	+10.2375	+5.11875	
F00 / 4048	+10.000	+ 5.0000	+ 2.50000			
FA0 / 4000				+10.0000	+5.00000	
801 / 2049	+ 0.005	+ 0.0025	+ 0.00125			
800 / 2048	0.000	0.0000	0.00000			
7FF / 2047	- 0.005	- 0.0025	- 0.00125			
7D0 / 2000				+5.0000	+2.50000	
030 / 48	- 10.000	- 5.0000	- 2.50000			
001 / 1	- 10.235	- 5.1175	- 2.55875	+0.0025	+0.00125	
000 / 0	- 10.240	- 5.1200	- 2.56000	0.0000	0.00000	

《注》当表中の±10vを超える値は理論値。

アナログ回路に使用されている素子の仕様から±10vを超える値の正確度は保証されない。

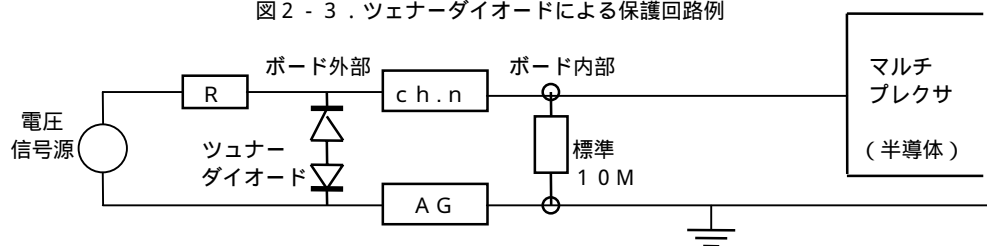
表2-2D. 12ビットADデータ vs アナログ入力 【Bモード】

ADデータ hex / 10進	アナログ入力範囲 (表2-2A参照)					
	±10v	±5v	±2.5v	0~+10v	0~+5v	
FFF / 4095	+9.99512	+ 4.99756	+ 2.49878	+ 9.99756	+ 4.99878	
F00 / 4048	+9.76563	+ 4.88281	+ 2.44141			
FA0 / 4000				+ 9.76563	+ 4.88281	
801 / 2049	+ 0.00488	+ 0.00244	+ 0.00122			
800 / 2048	0.00000	0.0000	0.00000	+ 5.00000	+ 2.50000	
7FF / 2047	- 0.00488	- 0.00244	- 0.00122			
7D0 / 2000				+ 4.88281	+ 2.44141	
030 / 48	- 9.76563	- 4.88281	- 2.44141			
001 / 1	- 9.99512	- 4.99756	- 2.49878	+ 0.00244	+ 0.00122	
000 / 0	- 10.00000	- 5.00000	- 2.50000	0.00000	0.00000	

2-3. アナログ入力特性 (5ページ記載の仕様一覧を併せて参照)

- A/D変換誤差：** 本機のA/D入力は【 $\pm 10\text{V}$ 範囲】で最終調整されていますが、高精度部品の使用により入出力範囲を切り替えても多くの用途では再調整の必要がありません。(前2-2項参照) 特定の入力範囲で最も正確度を良くしたいときは再調整(7-3項)を行ってください。
御希望により当社でも(有償で)行います。
- 温度ドリフト：** A/Dボードの周囲温度が変化するとき、同一アナログ入力に対するA/D変換データが変化する割合を(対フルスケール比で)示します。
本機ADM - 682zPCIでは【typ. $25\text{ppm}/^\circ\text{C}$ 】です。
- 経年変化：** 経年変化のデータはありません。 十分な精度の維持が必要な用途では年に1~2回(夏・冬)標準電圧源などで校正し、必要な場合に再調整を行うとよいでしょう。 御希望により当社でも(有償で)行います。
- 内部雑音：** 本ボード内部の雑音は各チャンネルの入力端をアナロググランドAGに短絡してみれば見当がつきます。 <実際の組み込みシステムに依存>
本機ADM - 682zPCIでは【typ. $\pm 1\text{LSB}$ 】です。
この雑音を減らす有力な方法マルチサンプリング機能については前記、1-1項、および後記3-1項で説明されています。
- 入力耐圧：** 本ボードのアナログ入力回路は $\pm 35\text{V}$ までの過電圧に対して保護されていますが、これを超える入力電圧が印加されると構成素子故障の原因となります。
入力電圧が(過渡的でも) $\pm 35\text{V}$ を超える恐れがある場合は入力保護対策が必要です。 但し、マルチプレクサ内の直列抵抗を含む保護回路は入力の浮遊容量と併せてローパスフィルタを構成するだけでなく漏れ電流による誤差の原因となりますから必要最小限とするべきでしょう。

図2-3. ツェナーダイオードによる保護回路例



計算例： 15V ツェナーダイオード(500mW 定格)2本と直列抵抗Rを上図のように接続して、過電圧 100V 保護動作時のダイオード消費電力を 150mW ($15\text{V} \times 5\text{mA}$)とすると、

$$\begin{aligned} \text{直列抵抗 } R &= (100 - 15) \div 5\text{mA} = 17\text{K} \\ \text{保護動作時の消費電力 } P &= (100 - 15) \times 5\text{mA} = 425\text{mW} \end{aligned}$$

【注1】直列抵抗Rには余裕をみて1W型を使用する。

【注2】ツェナーダイオードの漏れ電流(凡例 $= 100\text{nA}$)と直列抵抗Rによる電圧降下が正常動作時の誤差となる事に御注意ください。

2-4. 外部サンプルホールド制御

本機に使用されているA/D変換器はサンプルホールド機能を備えていますが、複数チャンネルを使用するときはアナログ入力端をマルチプレクサで（自動的に）切り替えてはサンプルホールド・A/D変換を繰り返す“逐次サンプル”方式です。【3-1項参照】 このため隣接スキャン順番チャンネル間のデータに本機ADM-682zPCIでは高速モードのとき4 μ s、低速モードのとき8 μ sの時刻差が生じます。（低速モード=旧機ADM-682PCI互換/3-5項参照）

オプションで外部に各チャンネル専用サンプルホールド回路を前置し、同時サンプリング動作を実現できるようなTTLレベルの制御信号（S/H）を用意しました。

【注1】当（S/H）信号は本機ボード上のジャンパJP1を接続することにより、アナログ入力コネクタに接続・出力されます。

図2-4A. 1回ADサンプリング・スキャン 対 S/H出力

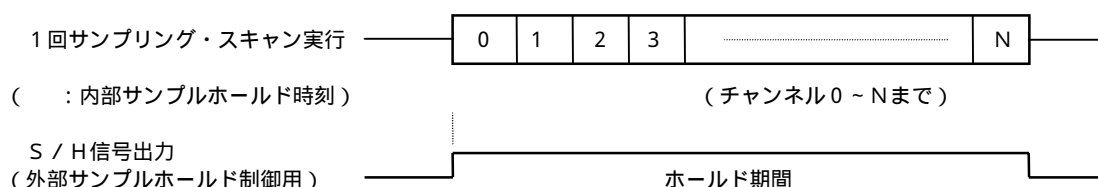
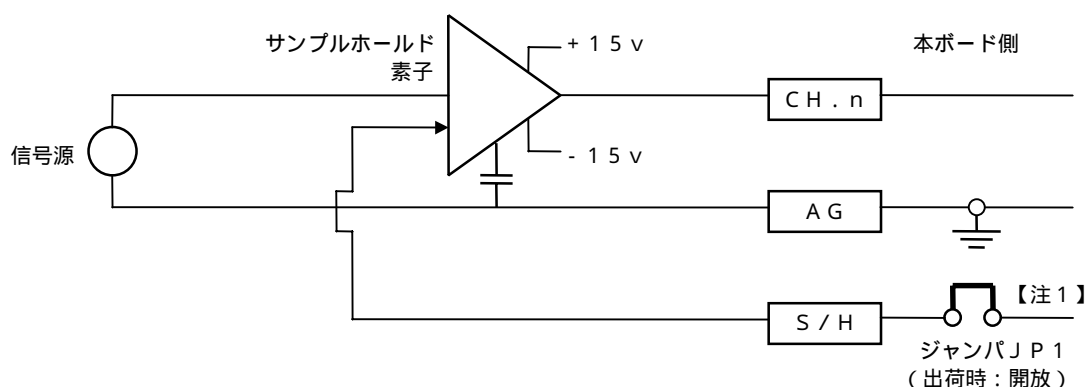


図2-4B. 外部サンプルホールド回路使用例（1チャンネル分のみ記す）



【注2】（上記例を含む）ユーザ設計の外部回路と一体化した性能は一切保証できません。

【注3】 外付けの同時サンプルホールド回路を接続・制御する場合はホールド・セトリング時間による誤差を最少化するためのソフト設定（3-18項）を行ってください。

【注4】 外部回路用の電源（+5V）をPCIバス側から本ボードのコネクタを通して供給する場合、本ボード自体（4.5W）も含めた総消費電力が7.5Wを超える場合はボード上のジャンパJP2を【3-4側】に設定してください。
（外付オプションの同時サンプルユニット、絶縁アンプユニットを接続する場合など）

オプション（詳細は各機仕様書を御覧ください。）

内付 4ch 同時サンプル・ユニット：SHU-004（ADM-682z/686zPCI 用） 外付 16ch 同時サンプル・ユニット：SHU-516（ADM-681/682z/686z/676PCI 用）

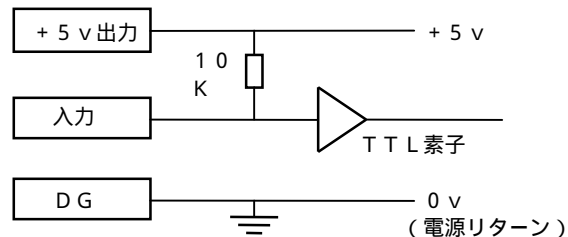
2-5. デジタル入出力回路

外部クロック源入力、外部トリガ入力、外部割り込み入力、汎用1BITデジタル入力は全てTTLレベルであり10Kでプルアップされています。クロック出力はTTLレベルです。

本機の汎用1BITデジタル出力はオープンコレクタ素子ですが、接続の相手がTTLレベル入力のときはボード上のスイッチS-PUP設定により1Kのプルアップ抵抗を接続して対応（出荷時状態）することができます。

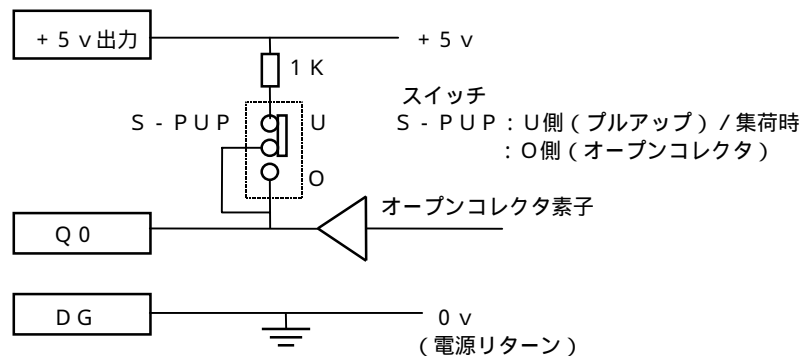
なお電源投入直後の汎用デジタル出力は“0”となりますが、リセット操作（3-4項）では変化しません。

2-5A. 全てのデジタル入力



【注意】 TTL入力の絶対最大定格は負側：-0.6V、正側：+7Vです。
この値を一瞬でも超えると入力端素子破壊の原因になります。
（7-2項に注意点や対策を記します。）

図2-5B. 汎用デジタル出力



デジタル出力論理はボード上のスイッチS-POLで設定します。
【出荷時：P（正論理）】、または【N（負論理）】

第3章. 制御・操作

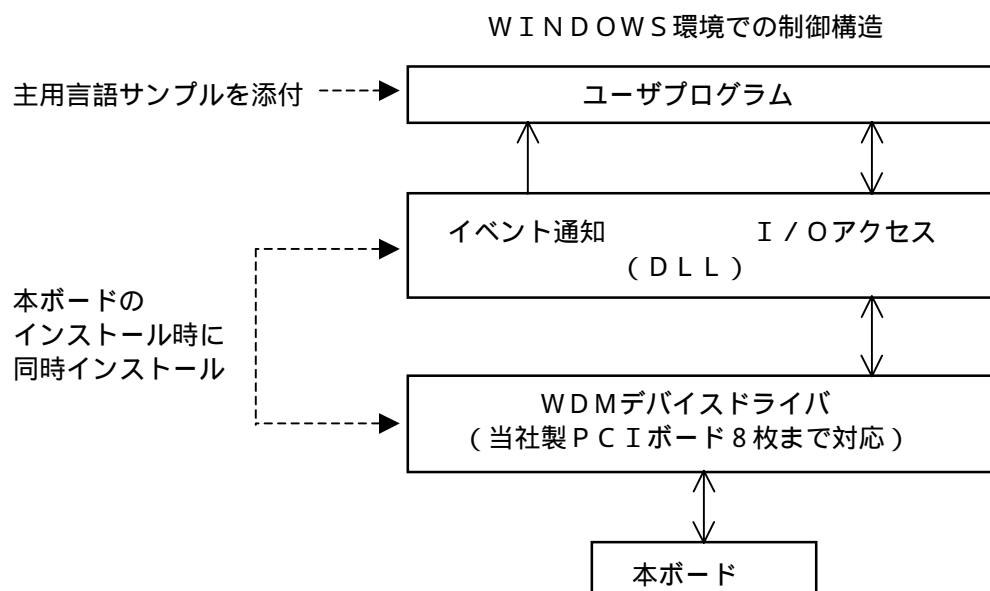
基本操作

本機の運転・操作は各機能が割付け設定された制御レジスタ（I/O、またはメモリ）に対する入出力命令により行います。

実用プログラムの作成

WINDOWS 98 / ME / 2000 / XP用にはボード依存性の無い汎用のI/O読み書き関数DLL、および本ボードに特化した汎用ハンドラ関数DLLとデバイスドライバが用意されています。オリジナルの制御関数を製作するときは以下3-1項～3-3項で制御構造・手順を、また3-4項以下で各制御要素（レジスタ）の定義を学習してください。

プログラミング手順については第4章でガイドしますが、多くのアプリケーションでは添付の汎用ハンドラ関数（第6章）とメジャーな言語サンプルを利用したプログラミングが効率的です。



3-1. ADサンプリング動作・トリガ動作の様子

本機には2種類のサンプリング・モードがあります。

いずれの場合もサンプリングされた結果のADデータ（2バイト構成）は順番にFIFOバッファメモリに書き込まれて行きます。パソコン側からはFIFOメモリの充満状態を示すフラグを参照しながらADデータを古い順に読み込みます。【3-2項参照】

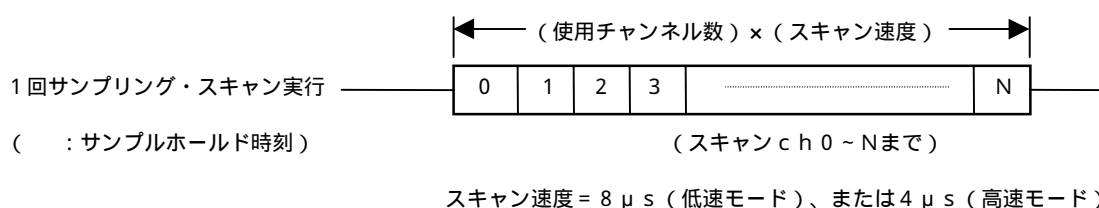
FIFOメモリ容量は標準1024語（32M語まで増設可能）ですからパソコン側の読み込み速度がサンプリング速度に追いつかずオーバーフローを起こしたような場合でも、その時点でFIFOメモリ容量だけの有効データを確保することができます。

本ボードからの実用的なデータ転送速度はWINDOWS 98 / ME / 2000 / XPで800K語/sec以上はありますから通常は本機の最高速度を実現することが充分可能です。

但し、表示や他の制御等を含む応用では時分割のマルチタスクとなり、（それらの）処理時間次第で実現可能な最高速度が決まります。

マニュアルサンプリング： 指定したアナログ入力チャンネル群に対して1回だけADサンプリング(&FIFOメモリに転送)を実行するものです。
 チャンネル0を先頭に指定最終チャンネルまで自動実行します。
 アナログ入力端は順次・切り替えてAD変換するため各チャンネルの実行時刻に一定の差 = $8\mu s$ または $4\mu s$ 生じます。
 1回サンプリングスキンの実行時間は使用チャンネル数に $8\mu s$ または $4\mu s$ を乗じた固定値で、この逆数が連続・自動サンプリングの最高周波数となります。

図3-1A. 1回ADサンプリング・スキン

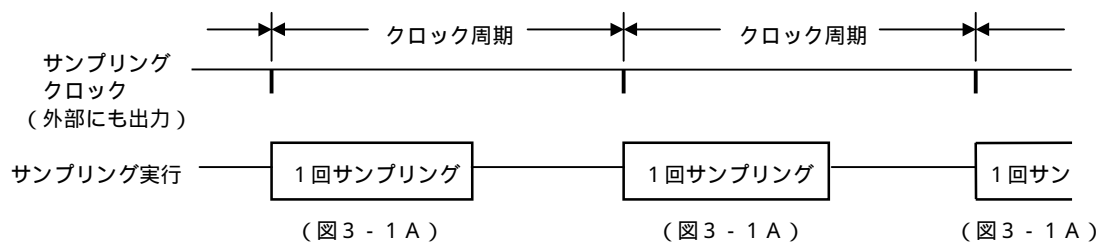


操作手順

- (1) 制御部リセット【3-4項】：制御部リセット
- (2) 動作条件設定【3-5項】：ADデータコード、スキャン速度指定
 【3-6項】：使用チャンネル数指定
 【3-10項】：トリガモード設定(マニュアルに指定)
- (3) 動作開始【3-11項】：マニュアル(1回)サンプリングスタート
- (4) ステータス検査【3-12項】：ステータスの読み込み/評価
- (5) ADデータ取得【3-13項】：ADデータを(FIFOから)読み出す

連続(自動)サンプリング： 指定したアナログ入力チャンネル群に対して指定したトリガ、クロックでADサンプリング(&FIFOメモリに転送)を連続自動的に実行するものです。

図3-1B. 連続サンプリング



操作手順

- (1) 制御部リセット【3-4項】：制御部リセット
- (2) 動作条件設定【3-5項】：ADデータコード、スキャン速度指定
 【3-6項】：使用チャンネル数指定
 【3-7項】：クロック源指定(内部/外部)
 【3-8項】：クロック源分周比(クロック値)の設定
 【3-9項】：内部(アナログ)トリガレベルの設定<任意>
 【3-10項】：サンプリングモードの設定
 【3-14項】：割り込み要求発生要因の設定<注><任意>
- (3) 動作開始【3-10項】：トリガモード設定<任意>
- (4) ステータス検査【3-12項】：ステータスの読み込み/評価
- (5) ADデータ取得【3-13項】：ADデータを(FIFOから)読み出す

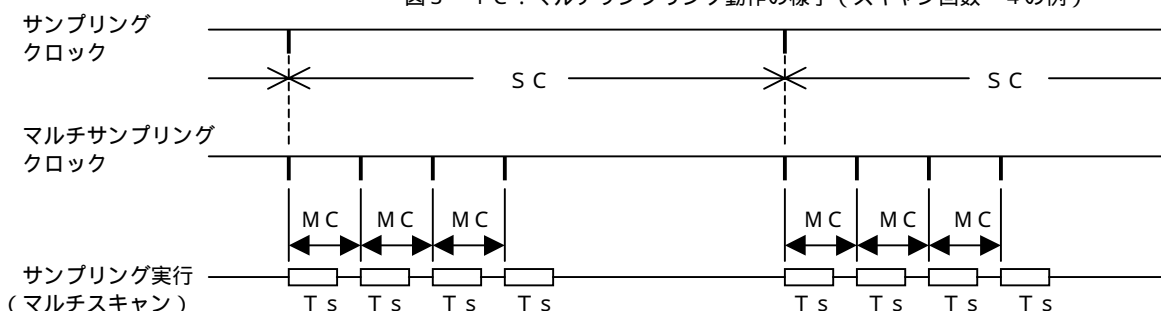
<注> 割り込みを使用時はデバイスドライバ中でクリア操作【3-15項】を行う必要があります。

マルチサンプリング

通常の連続・自動サンプリングは指定されたサンプリングクロック周期SCごとに各1回のサンプリングスキャンを実行する動作ですが、マルチサンプリングでは指定された複数回のサンプリングスキャンを実行します。マルチサンプリングクロック源は内部クロック源 10MHzのほかソフト指定で外部入力（汎用デジタル入力D0）を適用することもできます。/サンプリングクロック同様、任意に分周して利用。/

動作タイミング

図3-1C. マルチサンプリング動作の様子（スキャン回数 = 4の例）



SC : 通常のサンプリングクロック、MC : マルチサンプリングクロック【3-21項参照】

Ts : 1スキャン時間 = (スキャン速度) × (使用チャンネル数)

スキャン速度 = 8 μs / 低速モード、または 4 μs / 高速モード【3-5項参照】

【注1】マルチサンプリング・クロック周期MCの最小値 = 1スキャン時間 = (使用チャンネル数) × (スキャン速度)

【注2】サンプリング・クロック周期SCの最小値 = (使用チャンネル数) × (スキャン速度) × (マルチスキャン回数)

平均処理による雑音除去： 本機に使用されている高速ADコンバータは瞬時値を取得する性格から、雑音も合わせた変換値を出力します。本機を含むシステムの内部雑音は通常1デジット前後のバラツキとして見られ、この程度は問題になりませんが、実際の被測定信号に大きな雑音が重畳しているときは対策が必要になります。

現在のDC電圧値を測定するだけなら1回サンプリングスキャンを複数回（10回くらい）実行して平均処理すれば収束することが多いのですが、指定クロックによる連続・自動サンプリング動作のときはマルチサンプリング機能と平均化処理機能の利用が有効です。

またスキャンの繰り返し周期（図3-1CのMC）も指定できますから、既知の雑音（例えばAC電源）周期の整数倍期間を正確に積分するような処理も可能です。本機内蔵の当ハード的平均処理機能は最大点数255の制限がありますが処理時間は一瞬で、サンプリング動作時間内に納まっていますから、ソフト上での配慮は不要です。

連続測定サイクルに適用： 典型的な使用例としてトリガによりクロック同期の連続・自動サンプリングを開始して一連のADデータ収集後、続いて次のトリガ待ちとなるような連続測定があります。

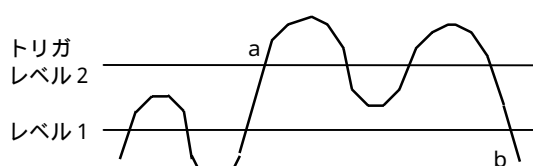
連続測定で、前回の測定終了から次の測定開始までの時間が少ない（数100ms以下の）場合は、ソフトまたはハードの都合で困難なことがあります。このような場合は通常のサンプリングクロックを各測定開始のトリガとし、マルチサンプリングクロックでデータ収集するようにすれば各測定サイクル間に許される待ち時間を限りなくゼロに近づけることができます。

マルチサンプリング機能の利用には3-19項 / 20項 / 21項に記された各レジスタの設定が必要ですが、使用は任意です。旧機ADM-682PCIにはこれらのレジスタがありませんが、これら旧ボード用のソフトは本ボードでも動作します。

最高サンプリング速度： 1回サンプリング・スキャン実行時間の逆数が本ボード自体の最高サンプリング周波数（可能なサンプリングクロック）となります。すなわち（使用チャンネル数）× 4 μs の逆数です。
マルチサンプリング機能利用のときは、さらに繰り返し回数を乗じた値の逆数になります。

トリガ機能： 本機のトリガは連続サンプリングを開始させるものです。【3-10項参照】ソフトトリガはプログラム上・任意のプロセスで実行できる即トリガ（即スタート）機能。外部トリガは外部TTL入力信号の指定エッジ、または指定アクティブ期間で機能します。内部（アナログ）トリガは指定条件とチャンネル0入力をボード上で比較して機能します。

図3-1C. アナログ・エッジトリガ

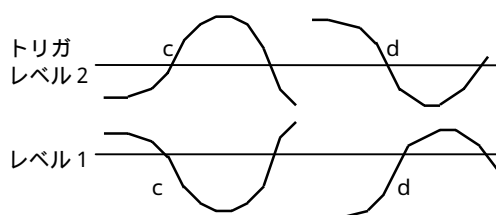


a : 正 (+) エッジトリガ点
b : 負 (-) エッジトリガ点

エッジトリガの場合はノイズ等による逆極性誤動作が起こらないようにヒステリシスを設定します。すなわち、ソフト上で指定したトリガレベル1, 2を連続して交差した点でトリガ発生となります。

レベルトリガの場合はレベル1と比較極性のみ設定、信号と大小だけを比較します。トリガ待ち開始 = 即トリガ発生もあり得ます。

図3-1D. アナログ・レンジトリガ



c : アウトレンジ・トリガ点
d : インレンジ・トリガ点

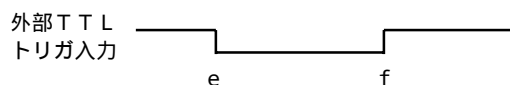
レンジトリガの場合は指定したトリガレベル1, 2の帯域から正負いずれかの方向に外れたC点でアウトレンジ・トリガ、逆に正負いずれかの方向から帯域内に入るD点でインレンジ・トリガ発生となります。

（別称：ウインドウレンジ・トリガ）

トリガレベル1, 2いずれかを指定極性で交差したときに発生するレンジ・エッジトリガもあります。

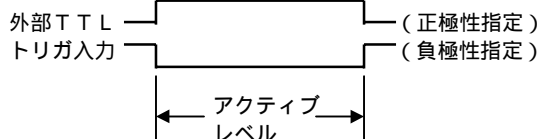
（別称：デュアルスロープ・トリガ）

図3-1E. デジタル・エッジトリガ



e : 負 (-) エッジトリガ点
f : 正 (+) エッジトリガ点

図3-1F. デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

トリガ動作遅れ： 本ボード上で自動的に行われるトリガ検出から連続サンプリング開始までの遅れ時間はトリガの種類によって少しだけ異なります。

内部（アナログ）トリガ： 約 4 μs
内部ソフトトリガ： 250 ns
外部デジタル入力トリガ： 250 ns

3-2. F I F Oバッファメモリの構造・動作

A Dデータ転送 (F I F O パソコン)

A D変換 (サンプリグ) されたデータは F I F Oメモリ内にあり、パソコン側からの読み出しを待っています。 ソフト上では F I F Oメモリの充満状態を示すフラグを監視、または割り込み等を設定してアプリケーションに適した転送方法を探ります。 いずれの場合も F I F Oバッファメモリがサンプリグ実行とデータ転送のタイミング違いを吸収するのでマルチタスクシステムを容易に実現することができます。

ポーリング : 【Not-Empty】フラグを監視して A Dデータを I N命令で 1 語ずつ読み込む方法、【Not Half-Full】フラグを監視して A Dデータを I N S B命令で F I F Oメモリ容量の半分単位で読み込むブロック I / O転送がある。

割り込み : 【Not-Empty】【Not Half-Full】【1回サンプリグ・スキャン終了】【トリガ発生】【外部割り込み】等から選択した要因による割り込みでポーリングと同様のデータ転送を実行する。

F I F Oメモリの動作

F I F O (first in first out) メモリは図 3 - 2 に示すパイプ状の構造をしており、入口から書き込まれたデータは自動的に最奥部まで転がり込んで行き、出口では最古のデータから順に読み出される構造となっている。

読み書きは非同期で同時も可能。 すなわちデータの書き込み (入口) と読み出し (出口) は互いに相手側のタイミングに配慮する必要がない。

F I F Oメモリ内部は出口から読み出された分だけ入口側に空領域が増えるので満杯となる前にデータを読み出す動作であればサンプリグ点数を制限しない。 なお満杯時に追加書き込みされようとしたデータは消失し【E R R : エラー】フラグがセット (= 1) されるが、この後も F I F Oメモリ内のデータは有効に読み出すことができる。

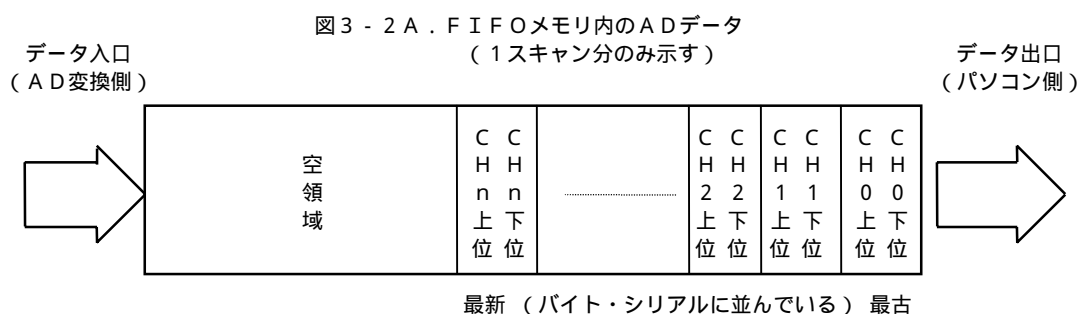


表 3 - 2 . F I F Oメモリ関連のステータス・フラグ

フラグ名	フラグの意味 (標準 1 0 2 4 語のとき)
N o t - E M P T Y	1 語以上。 (格納データ数 1)
N o t - H A L F - F U L L	[容量の半分] 以下。 (格納データ数 5 1 2)
E R R	サンプリグ・エラー発生。 データ読み出しが遅いためメモリが溢れた、または実力以上の速度で書き込みした。

3-3. 制御レジスタ I / O アドレス・マップ

表 3 - 3 に本ボード上の各制御レジスタ I / O アドレスを記します。
 表中の【BASE】はプラグアンドプレイで設定される I / O ベースアドレス値です。

表 3 - 3 . 制御レジスタ I / O アドレス

I/O アドレス	IN/OUT	ポート / レジスタ名・機能	記載項
【BASE】+ F	IN		
	OUT	(マルチサンプリング・クロック源) 分周比設定	【3-21】
【BASE】+ E	IN		
	OUT	マルチサンプリング・クロック源、モード選択	【3-20】
【BASE】+ D	IN		
	OUT	マルチサンプリング回数指定 (初期値 = 1)	【3-19】
【BASE】+ C	IN		
	OUT	外付・同時サンプルホールド制御 (オプション)	【3-18】
【BASE】+ B	IN	ボード番号 (スイッチ SW - BN の設定値)	【3-4】
	OUT		
【BASE】+ A	IN	汎用デジタル入力 / 現在値	【3-17】
	OUT	汎用デジタル出力 / ラッチ	
【BASE】+ 9	IN		
	OUT	(クロック源) 分周比設定	【3-8】
【BASE】+ 8	IN		
	OUT	クロック源選択	【3-7】
【BASE】+ 7	IN	ボード制御部リセット	【3-4】
	OUT	アナログ・トリガレベル (2) 設定	【3-9】
【BASE】+ 6	IN	マニュアル (1 回) サンプリングスキャン	【3-11】
	OUT	アナログ・トリガレベル (1) 設定	【3-9】
【BASE】+ 5	IN	ステータス取得	【3-12】
	OUT	ステータス (ビット指定) クリア	
【BASE】+ 4	IN		
	OUT	割り込み制御 (要因設定)	【3-14】
【BASE】+ 3	IN		
	OUT	トリガモード設定 (含ソフトトリガ実行)	【3-10】
【BASE】+ 2	IN		
	OUT	AD データコード指定、スキャン速度指定	【3-5】
【BASE】+ 1	IN		
	OUT	割り込み要求クリア	【3-15】
【BASE】+ 0	IN	AD データ読み出し	【3-13】
	OUT	スキャン最終チャンネル番号指定	【3-6】

【読み (IN) / 書き (OUT)】はパソコン側から見た方向。
 全てのポートは 1 バイト。

制御操作の詳細

以下【3-4 項】～【3-18 項】に各制御レジスタの詳細を記します。
 各ポートアドレス値は表 3-3 を御参照ください。

3-4 . ボード・リセット、認識

```
rst = inp (BASE + 7) ; /* 制御部リセット操作 */
```

本ボード全体の制御部をリセットします。 当操作で読み込んだデータ (rst) は本ボードのIDです。 当操作は電源ON、またはパソコン本体のハードウェアリセットと同等の機能ですが汎用デジタル (ラッチ) 出力だけは変化せずに保持されます。

本ボード上の各制御レジスタを初期化する。

ボードステータスを初期化する。

サンプリング中であれば、これを中止する。

FIFOメモリをクリアする。(格納されていた読み出し待ちADデータは失われる)

なお、クロック源/分周は無効となる。(要再設定)

汎用デジタル (ラッチ) 出力は変化せずに保持される。

表 3 - 4 A . 【BASE + 7】入力ポートの構成

ビット	各ビットの機能・意味
B 7 B 6 B 5 B 4 B 3 B 2 B 1 B 0	ADM - 682zPCIのボードID = 0EH (旧機ADM - 682PCIと同一値)

【注】ここで読み込まれるボードIDはPCIバス上のDEVICE IDとは無関係です。

(1-5項、参照)

<本ボードを複数使用する場合>

本ボードのI/Oアドレスはプラグアンドプレイにより(その都度)ダイナミックに割り当てられます。 複数の本ボードを同一システムにインストールして使用する場合、ハードウェアの構成・状態が変らなければ前回立上げ時と同一アドレスが割り当てられますが、増設・交換等の変化があった後は前回立上げ時と異なるアドレスを割り当てられることがあります。

そのようなときに複数の本ボードを区別・特定する手段としてボード番号設定スイッチがあります。(本ボードを1枚のみ使用する場合は初期値 = 0のままとしてください。)

```
BN = inp (BASE + B) ; /* ボード番号設定スイッチSW - BN読み込み */
```

表 3 - 4 B . 【BASE + B】入力ポートの構成

ビット	各ビットの機能・意味
B 7 B 6 B 5 B 4	未使用
B 3 B 2 B 1 B 0	ボード番号設定スイッチSW - BNの値 (0 ~ FH) / 出荷時設定値 = 0 /

3-5 . A D データコード、スキャン速度指定

o u t p (B A S E + 2 , d c d) ; /* d c d = データコード & スキャン速度指定 */

A D データコード (バイナリ、または 2 の補数) の設定データ、および
サンプリングスキャン速度指定データ d c d を書き込みます。

表 3 - 5 . 【BASE + 2】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用 (無効)			0
B 6	未使用 (無効)			0
B 5	未使用 (無効)			0
B 4	A D データコード	2 の補数	バイナリ	0
B 3	未使用 (無効)			0
B 2	未使用 (無効)			0
B 1	未使用 (無効)			0
B 0	サンプリングスキャン速度指定	高速 (4 μ s / ch)	低速 (8 μ s / ch)	0

【注】サンプリングスキャン速度： 複数チャンネルをサンプリングするときの 1 チャンネル当り
所要時間です。(3 - 1 項参照)

スキャン速度を下げると隣接チャンネル間のクロストークが
減少します。(2 - 2 項、および 5 ページの仕様一覧参照)

3-6 . サンプルング・チャンネル数の設定

outp (BASE + 0 , ech) ; /* ech : スキャン最終チャンネル番号 */

各回サンプルング・スキャンはチャンネル番号の若い順（先頭＝チャンネル0）に固定されており、当ポートで最終チャンネル番号echを指定します。 従って使用されるチャンネル数は（ech + 1）となります。 【注】サンプルングスキャン：3-1項 / 図3-1A . 参照。

表3 - 6 . 【BASE + 0】出力ポートの構成

ビット	各ビットの機能・意味	指定方法	リセット時
B 7 B 6 B 5 B 4	未使用		0 0 0 0
B 3 B 2 B 1 B 0	スキャン最終チャンネル番号	0 H ~ F H	0 0 0 0

3-7. クロック源の選択

```
outp (BASE + 8, cks); /* cks : クロック源選択 */
```

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的の連続サンプリング・クロックとなります。例えば外部クロック源 (CLK-IN) 入力を選択し、分周比を 1 / 1 に設定すれば、外部イベントに同期したサンプリングとなります。

表 3 - 7 A . 【BASE + 8】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	外部クロック源 (使用時) の有効極性指定	(+)	(-)	0
B 6 B 5	内部クロック源 (使用時) の選択データ	【表 3 - 7 B】参照。		0 0
B 4	クロック源選択 (外部 / 内部)	外部	内部	0
B 3 B 2 B 1 B 0	未使用			

表 3 - 7 B . 選択される内部クロック源

ビット		選択される内部クロック源	
B 6	B 5	クロック源周波数	主な用途
1	1	無効	
1	0	オプション	任意
0	1	8.192 MHz	周波数解析
0	0	10.000 MHz	汎用計測

オプションのクロック源素子 (10 MHz 以下) は本ボード上に追加装着することで使用可能となります。

素子名	JXO-5S- MHz (金石)、または DOC-49S1- MHz (大真空)、または SG-8002DC- M-PTBS (EPSON)
-----	---

3-8.(クロック源)分周比の設定 連続サンプリングクロック値の設定。

```

o u t p ( B A S E + 9 , d i v 1 ) ; /* d i v 1 = 分周比 A の下位バイト */
o u t p ( B A S E + 9 , d i v 2 ) ; /* d i v 2 = 分周比 A の上位バイト */
o u t p ( B A S E + 9 , d i v 3 ) ; /* d i v 3 = 分周比 B の下位バイト */
o u t p ( B A S E + 9 , d i v 4 ) ; /* d i v 4 = 分周比 B の上位バイト */

```

クロック源の分周比データを (BASE + 9 ポートに) 書き込みます。

必ず4バイト続けて書き込んで下さい。

分周は16BIT構成のカウンタA, Bを直列接続した32BITで行われます。

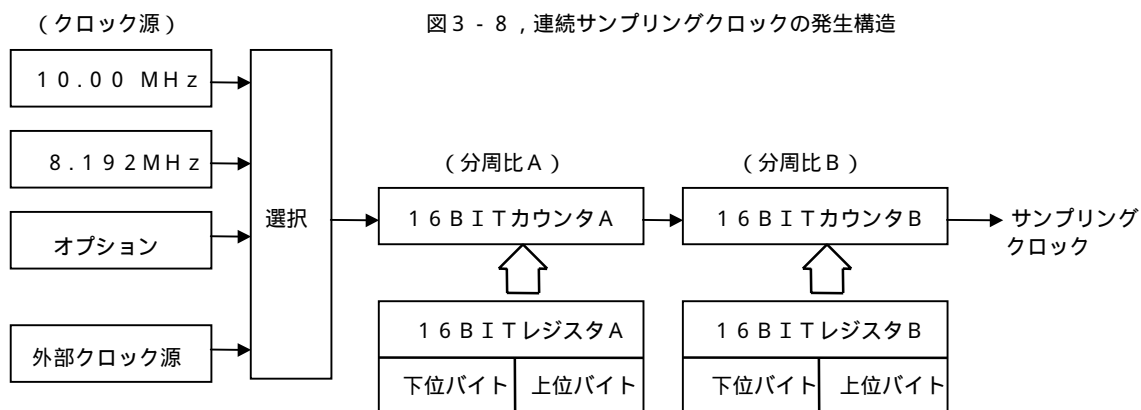
分周データA, Bの範囲は各1~65535で、各専用レジスタに書き込まれます。

内部クロック源10MHz (周期100ns) を選択したときの最長クロック周期は、

$$(100\text{ns}) \times 65535 \times 65535 = 429.4836225\text{秒}$$

表3-8. 【BASE + 9】出力ポートの構成

ビット	分周比A下位	分周比A上位	分周比B下位	分周比B上位	リセット時
B7	(div1) a7	(div2) a15	(div3) b7	(div4) b15	変化しない
B6	(") a6	(") a14	(") b6	(") b14	
B5	(") a5	(") a13	(") b5	(") b13	
B4	(") a4	(") a12	(") b4	(") b12	
B3	(") a3	(") a11	(") b3	(") b11	
B2	(") a2	(") a10	(") b2	(") b10	
B1	(") a1	(") a9	(") b1	(") b9	
B0	(") a0	(") a8	(") b0	(") b8	



内部クロック源10.00MHz および 8.192MHz は本ボード標準装備。

《分周動作》 連続サンプリング開始のトリガを認識すると分周動作が開始されます。
 レジスタからカウンタにロードされた分周比データはクロック源周期ごとに
 ダウンカウントされて行き、0に達するとタイミング信号を発生させると同時
 に再びレジスタからカウンタにロードされる繰り返しとなります。
 このタイミング信号が各回サンプリング・スキャンの実行開始タイミングと
 なります。

3-9. 内部（アナログ）トリガレベルの設定

outp (BASE + 6, TGL1); /* TGL1 = トリガレベル・データ1 */
 outp (BASE + 7, TGL2); /* TGL2 = トリガレベル・データ2 */

アナログ・トリガレベル指定データを (BASE + 6、BASE + 7 ポートに) 書き込みます。

必ず2データ続けて書き込んで下さい。

レベルトリガ・モードのときは (表3-9Aのように) TGL2は無効ですが、必ず形式的なダミーデータを書き込んでください。

本機が (内部 = アナログ) トリガ待ち状態の時はチャンネル0入力が一定周期【注】で連続的に監視サンプリングされ、AD変換値の上位8BITが当トリガレベル・データと比較されています。トリガが認識されると (3-8項で説明した) 分周動作が開始されます。すなわち、連続サンプリングのスタートです。【注】一定周期: 約4μs。

ここで指定するトリガレベル・データTGL1、およびTGL2は (3-10項で設定される) トリガモードにより表3-9Aの意味を持ちます。

表3-9A. トリガモード vs トリガレベル・データ

トリガレベル・データ	エッジトリガの場合	レベルトリガの場合	レンジトリガの場合
TGL1	トリガ基準レベル	トリガ基準レベル	トリガレベル下限値
TGL2	ヒステリシス・レベル	ダミーデータ	トリガレベル上限値

トリガレベル・データ TGLの算出

ユニポーラ入力範囲のとき: $TGL = V_{tg} \div (V_{span} \div 256)$ digit

バイポーラ入力範囲のとき: $TGL = V_{tg} \div (V_{span} \div 256) + 128$ digit

なお、 V_{tg} : トリガレベル電圧

V_{span} : スパン (入力範囲の絶対幅 / 表3-9B, C 参照)

表3-9B. 【12ビット】各アナログ入力範囲に対するスパン、およびトリガレベル分解能

アナログ入力範囲	Aレンジの場合		Bレンジの場合	
	Vspan	分解能 (Vspan/256)	Vspan	分解能 (Vspan/256)
±10v	20.48 v	80 mV	20 v	78.125 mV
±5v, 0 ~ +10v	10.24 v	40 mV	10 v	39.0625 mV
0 ~ +5v	5.12 v	20 mV	5 v	19.5312 mV

表3-9C. 【16ビット】各アナログ入力範囲に対するスパン、およびトリガレベル分解能

アナログ入力範囲	Aレンジの場合		Bレンジの場合	
	Vspan	分解能 (Vspan/256)	Vspan	分解能 (Vspan/256)
±10v	26.2144 v	102 mV	20 v	78.125 mV
±5v	13.1072 v	51 mV	10 v	39.0625 mV

内部（アナログ）トリガの各種形態

エッジトリガ：（トリガチャンネル＝スキャン先頭チャンネル）アナログ入力信号が指定トリガレベルを指定方向（極性）で交差したときに発生します。但し、本ボードでは信号に重畳した雑音による誤トリガを防ぐためにヒステリシスレベルを設定し、トリガ基準レベル（TGL1）とヒステリシス・レベル（TGL2）を連続して交差した時点でトリガを発生させます。

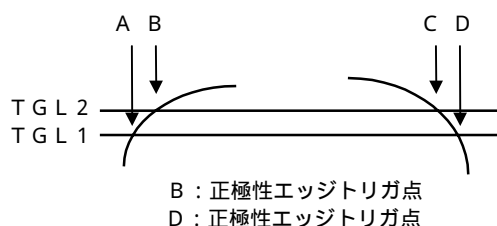
《補足》

トリガチャンネル入力信号に雑音が乗っており、エッジトリガ・モードでヒステリシスが無いときはトリガ基準レベル（TGL1）付近で誤トリガ発生が考えられます。

すなわち、正極性のエッジトリガを指定しているときはD点付近、また負極性のエッジトリガを指定しているときはA点付近で雑音による誤トリガ発生の可能性があります。

ヒステリシス・レベル（TGL2）の設定により正しいトリガ点でのみ動作します。

図3-9A. ヒステリシスによる正しいトリガ認識



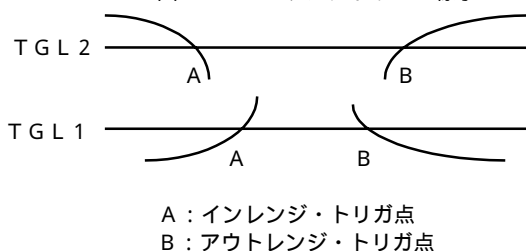
レベルトリガ： トリガチャンネル入力信号がトリガ基準レベル（TGL1）の大きさを単純に比較します。正極性を指定した場合はアナログ入力信号がトリガ基準レベルより大きい時、負極性を指定した場合はアナログ入力信号がトリガ基準レベルより小さい時にトリガ発生となります。したがって、トリガ待ちになった瞬間にトリガ発生となる場合もあります。

レンジトリガ： トリガチャンネル入力信号がトリガレベル上限値（TGL2）と同下限値（TGL1）で指定する帯域から上下いずれかの方向に外れた時がアウトレンジ・トリガ、逆に上下いずれかの方向から指定領域に入った時がインレンジ・トリガ（負極性のレンジトリガ）です。

《補足》

レンジトリガはレベル動作が一般的ですが、別名 デュアルスロープ・トリガ とも称するエッジトリガも可能です。その場合のヒステリシスはトリガレベル上下限値の外側、トリガレベル分解能1単位（表3-9B）に固定されています。

図3-9B. レンジトリガの様子



外部（デジタル）トリガの各種形態

図3-9C. デジタル・エッジトリガ

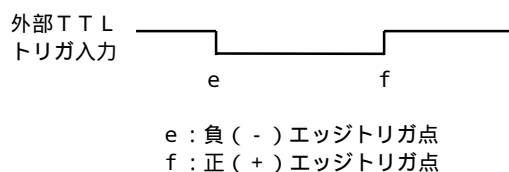
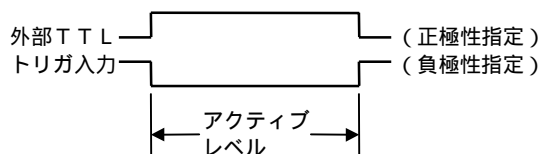


図3-9D. デジタル・レベルトリガ



デジタル・レベルトリガは指定極性のアクティブレベル期間中だけ自動連続サンプリングを行う。

3-10. トリガモード設定（含ソフトトリガ実行）

o u t p (BASE + 3 , t g m) ; /* t g m = トリガモード設定データ */

トリガモード、およびサンプリングモード設定データを書き込みます。

表 3-10A . 【BASE + 3】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	ソフトトリガ制御	発生	禁止（強制停止）	0
B 6	外部トリガ入力信号制御	許可	禁止（強制停止）	0
B 5	内部（アナログ）トリガ制御	許可	禁止（強制停止）	0
B 4	トリガ極性選択	+ ()	- ()	0
B 3	トリガ認識モード選択 2	エッジ	レベル	0
B 2	トリガ認識モード選択 1	レンジ	レンジ以外	0
B 1	未使用			0
B 0	サンプリング・モード選択	連続サンプリング	マニュアル・サンプリング	0

マニュアル・サンプリング動作（B 0 = 0 のとき）：次 3-11 項参照。

連続サンプリング動作（B 0 = 1 のとき）

連続サンプリングはトリガの発生によりスタートし、スタートの原因となったトリガ制御ビットのリセット（0）により停止します。複数のトリガを許可しておくで最初に発生したトリガで連続サンプリングがスタートしますが、その原因となったトリガ制御ビットをリセットしても他の許可されたトリガが発生すると再びスタートするので注意が必要です。

プログラム上任意のプロセスから連続サンプリングをスタートさせるには、**ソフトトリガ**制御ビット B 7 をセット（0 1）します。停止させるにはリセット（1 0）です。

なお、サンプリング・モードが**マニュアル・サンプリング（B 0 = 0）**のときに、ソフトトリガまたは許可されていたトリガが発生しても連続サンプリングは行われませんが、サンプリング・クロックは起動されます。したがってステータスデータ【3-12 項】には反映されますし、また同クロックによる割り込みが許可【3-14 項】されているときは割り込み要求信号が発信されます。

特殊なトリガ形態として**帯域サンプリング**（デジタル・レベルトリガ）動作があります。これは外部トリガ入力信号の指定レベル（極性）期間だけ連続サンプリングを行います。

/ 図 3-9D 参照 /

表 3 - 1 0 B . トリガモード設定ビットの組み合わせ

選択されるトリガ名		B7	B6	B5	B4	B3	B2	備考／一般的な別呼称
	ソフトトリガ	1	x	x	x	x	x	即トリガ（即スタート）
デジタル	エッジ・トリガ（＋）	0	1		1	1	0	
	エッジ・トリガ（－）	0	1		0	1	0	
	レベル・トリガ（＋）	0	1		1	0	0	帯域サンプリング（＋）
	レベル・トリガ（－）	0	1		0	0	0	帯域サンプリング（－）
アナログ	エッジ・トリガ（＋）	0		1	1	1	0	
	エッジ・トリガ（－）	0		1	0	1	0	
	レベル・トリガ（＋）	0		1	1	0	0	
	レベル・トリガ（－）	0		1	0	0	0	
	レベル・レンジトリガ（＋）	0		1	1	0	1	アウトレンジ・トリガ
	レベル・レンジトリガ（－）	0		1	0	0	1	インレンジ・トリガ
	エッジ・レンジトリガ（＋）	0		1	1	1	1	デュアルスロープ・トリガ（＋）
	エッジ・レンジトリガ（－）	0		1	0	1	1	デュアルスロープ・トリガ（－）

: 当ビットをセット (= 1) するとアナログトリガとのOR動作となる。

: 当ビットをセット (= 1) するとデジタルトリガとのOR動作となる。

×：無視

具体的な操作 (事前の条件設定等は別途必要)

```

マニュアル ( 1 回 ) サンプルング :  outp ( BASE + 3 , 0x0 )  : /* マニュアルサンプリングに設定 */
                                     mstr = inp ( BASE + 6 )  : /* 次 3 - 1 1 項参照 */

```

[illegible][illegible]

トリガ遅れ

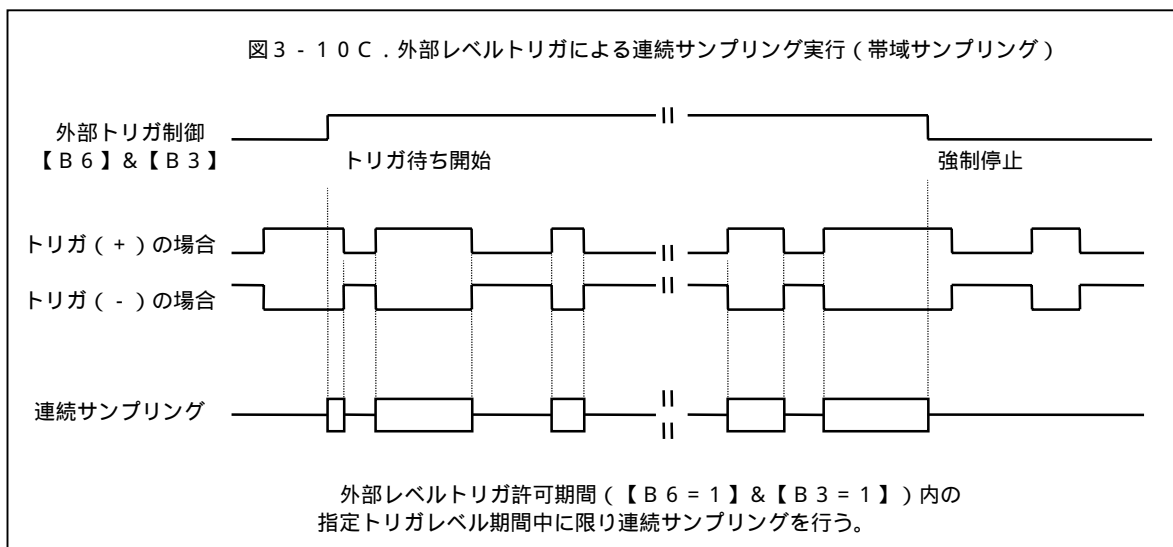
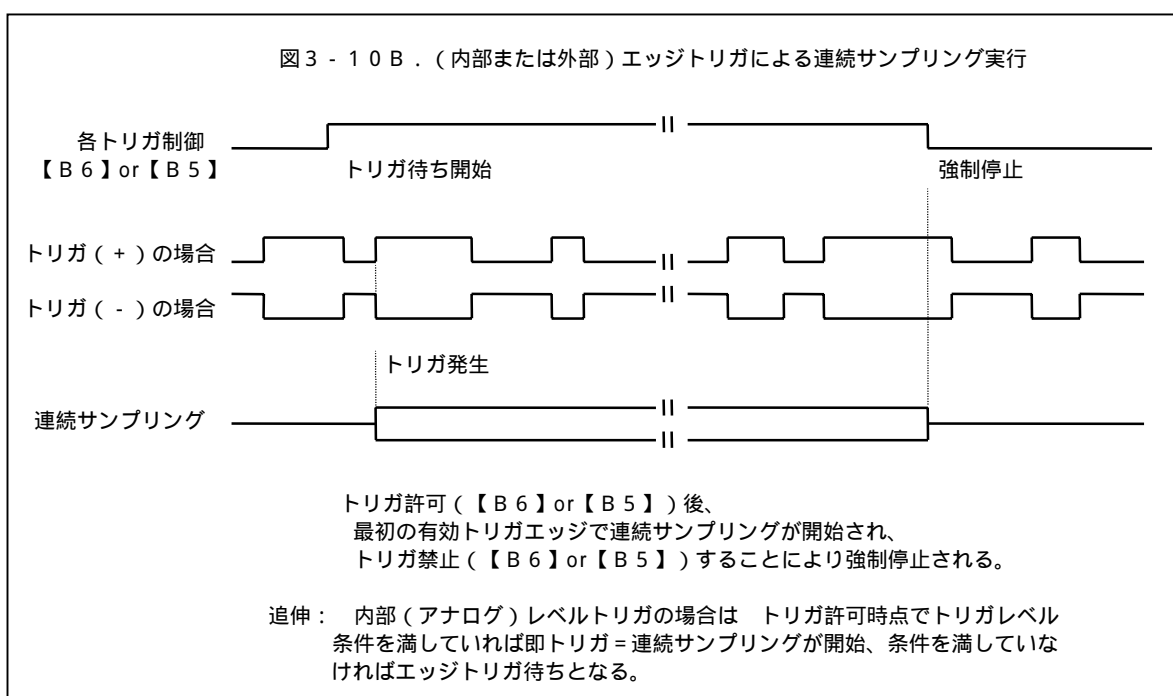
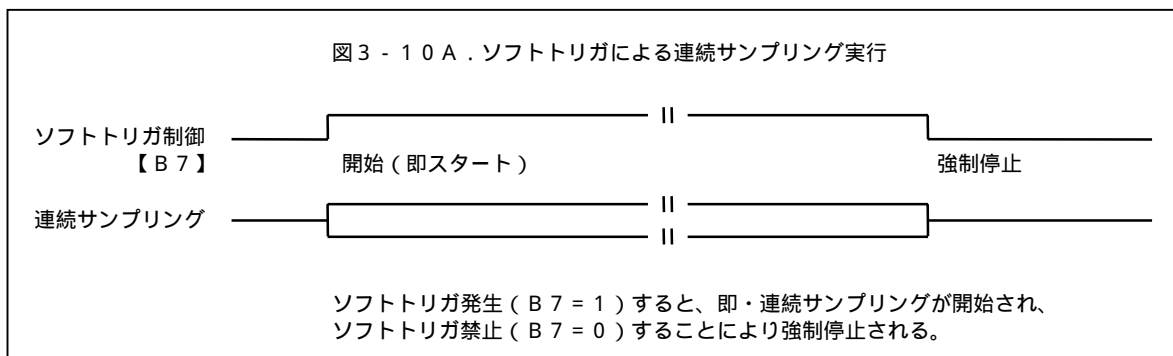
トリガ条件が成立したとき、本ボードがこれを検出して実際に連続サンプリングを開始するまでの遅れ時間はトリガの種類によって少しだけ異なります。
その遅れ時間は、

ソフトトリガ： 250 ns、

内部（アナログ）トリガ： 約 $4 \mu s$ 、

外部（デジタル）トリガ： 250 ns です。

図3-10A, B, Cに一般的な連続サンプリング動作の様子を示します。



3-11. マニュアル (1回) サンプリング開始

```
str = inp (BASE + 6) ; /* str = ダミー (無効) データ */
```

当操作により指定チャンネル群に対するマニュアル (1回) サンプリングが開始されます。変数 `str` には意味が無く、当操作の実行時に発生する I/O 制御信号で動作します。プログラム上任意のプロセスで指定チャンネル群に対する各 1 回サンプリングを実行したいときに利用します。

サンプリングされた AD データは (連続サンプリングと同様に) FIFO バッファメモリに自動転送されます。当操作の後は、FIFO メモリの各回サンプリングスキャン終了フラグ、または Not-Empty フラグ (次 3-12 項) を検出するループを経て AD データ読み込みを実行します。 (3-13 項)

マニュアル (1回) サンプリング操作の全手順

```
rst = inp (BASE + 7) ; /* 制御部リセット【3-4項】: 制御部リセット */
outp (BASE + 2, 0x0) ; /* 【3-5項】: データコード、スキャン速度 (本例ではバイナリ、低速) */
outp (BASE + 0, 0x3) ; /* 【3-6項】: 使用チャンネル数の (本例では4チャンネル) */

outp (BASE + D, 0xA) ; /* 【3-19項】: マルチサンプリング回数の設定 (本例では10回) */
outp (BASE + D, 0x0) ; /* 【  "  】: 同上 (最大255なので上位3バイトは必ず0) */
outp (BASE + D, 0x0) ; /* 【  "  】: 同上 (最大255なので上位3バイトは必ず0) */
outp (BASE + D, 0x0) ; /* 【  "  】: 同上 (最大255なので上位3バイトは必ず0) */
outp (BASE + E, 0x1) ; /* 【3-20項】: マルチスキャンクロック源、平均処理 (内部、平均する) */

outp (BASE + 3, 0x0) ; /* 【3-10項】: トリガモード設定 (マニュアルに指定) */

str = inp (BASE + 6) ; /* 動作開始【3-11項】: マニュアル (1回) サンプリング開始 */

while ((inp (BASE + 5) & 0x80) != 0x80)
    ; /* ステータス検査【3-12項】: ステータスの読み込み / 評価 */

outp (BASE + 5, 0x80) ; /* ステータス (EOSフラグ) クリア */

for (ch = 0; ch <= 3; ch++) ; /* チャンネル0~3まで */
{
    ADL (ch) = inp (BASE + 0) ; /* ADデータ下位バイト取得【3-13項】: FIFOから読む */
    ADH (ch) = inp (BASE + 0) ; /* ADデータ上位バイト取得【3-13項】: FIFOから読む */
}
```

《補》 マルチサンプリング & 平均処理機能を使うこともできます。

上例の【BASE + D】～【BASE + E】で設定している部分です。

この場合はチャンネル0～3の各入力を10回連続サンプリングスキャンし、各チャンネルごとの平均値をハード的に算出、これが1回サンプリングスキャン分のデータとしてFIFOバッファメモリに書き込まれます。

ここでは4チャンネル分、低速モード ($8\mu s / ch$) 指定なので実行時間は、
 $(8\mu s) \times (4ch) \times (10回) = 320\mu s$ になります。

なお自動連続サンプリングでは**指定マルチサンプリング・クロック周期**で指定回数を指定スキャン速度でサンプリングしますが、

マニュアルサンプリング (本項) のときは**指定マルチサンプリング・クロック周期は無視**され、指定回数を指定スキャン速度で間断なく実行します。

3-12. ステータスデータの取得、クリア

```
s t s = i n p ( B A S E + 5 ) ; /* s t s = ステータスデータ */
```

本ボードのステータスデータを読み込みます。

表 3-12A. 【BASE+5】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	EOS : 各回サンプリング・スキャン終了【注 1】	終了済み	実行中、その他	0
B 6	INT : 割り込み要求発生【注 1】	発生済み	未発生、その他	0
B 5	TIM : 各回サンプリング・スキャン開始【注 1】	開始済み	未開始、その他	0
B 4	TGD : トリガ発生認識【注 2】	発生済み	未発生	0
B 3	EOM : 各回マルチサンプリング終了【注 1】	終了済み	実行中、その他	0
B 2	ERR : エラーフラグ【注 1】	発生	未発生	0
B 1	HLF : Not Half-full (3-2 項参照) 【注 2】	1 / 2 未満	1 / 2 以上	1
B 0	EMP : Not Empty (3-2 項参照) 【注 2】	データ有	データ無	0

【注 1】 一旦セットされるとクリア操作まで保持するラッチフラグ。

【注 2】 現在状態を刻々反映する状態フラグ。

《補足説明》

EOS : 各回のサンプリング・スキャンが終了するたびにセット (= 1) される。すなわち、後述の TIM からサンプリング・スキャン実行時間だけ遅れてセットされる。

INT : 割り込み要求が発生 (3-14 項) するとセット (= 1) される。

TIM : 各回のサンプリング・スキャンが開始されるたびに (連続サンプリングクロックの前縁で) セット (= 1) される。

TGD : 許可されたトリガ (内部 / 外部 / ソフト) が発生するとセット (= 1) される。トリガ禁止操作 (3-10 項) でクリアされる。外部デジタル入力によるレベルトリガ (帯域サンプリング) 動作のときは同有効レベル期間中だけセット (= 1) される。

EOM : 各回のマルチサンプリングが終了するたびにセット (= 1) される。マルチサンプリング機能を連続測定のサイクルとして利用する場合は各測定サイクルの終了フラグとして利用できる。

ERR : サンプリング動作エラー（以下 ケースのいずれか）発生時にセット（= 1）
 （B2） され、制御部リセット操作（3 - 4項）まで保持される。

FIFOバッファメモリが満杯になった状態で、次のデータは書き込みが
 成らず消失された。《データロスト・エラー》

本機の（実力）最高サンプリング速度以上のクロック値を指定して連続サ
 ンプリングを実行した。《オーバーラン・エラー》

HLF : FIFOバッファメモリ内がサンプリングされたデータで《半分 + 1》以上に
 （B1） なった時にセット（= 0）され、読み出しの実行で《半分 + 1》未満になるとリ
 セット（= 1）される。/Not Half-full/
 本機のFIFOメモリ容量は標準1024語、《半分 + 1》= 513語。

EMP : FIFOバッファメモリにサンプリングされたデータが1個でも書き込まれる
 （B0） とセット（= 1）され、空になるとクリア（= 0）される。/Not Empty/

ステータス・クリア操作

```
outp (BASE + 5, stc); /* stc = ステータス (の指定ビット) クリア */
```

ステータスデータ（の指定ビット）、またはFIFOメモリ素子をクリアします。
 この動作は当出力命令実行の瞬間に行われ、当出力データは保持されません。

表3-12B. 【BASE + 5】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B7	EOS【注1】ビットのクリア制御	クリアする	クリアしない	0
B6	INT【注1】ビットのクリア制御	クリアする	クリアしない	0
B5	TIM【注1】ビットのクリア制御	クリアする	クリアしない	0
B4	未使用			0
B3	EOM【注1】ビットのクリア制御	クリアする	クリアしない	0
B2	ERR【注1】ビットのクリア制御	クリアする	クリアしない	0
B1	未使用			0
B0	FIFOメモリ素子だけのクリア【注3】	クリアする	クリアしない	0

【注3】 FIFOメモリ内の残りデータを破棄し、EMP, HLFフラグをリセットする。

3-13 . A Dデータの読み出し

F I F Oバッファメモリ内のA Dデータは図3 - 13に示す配置となっています。 これらを逐次読み出し、パソコン側のメモリに転送する方法は通常の入力命令のほかにブロック入力命令もあります。

- (1) 通常の入力命令の場合はバイト単位で（連続して）読み出します。

ソフト上ではサンプリングされたA DデータがF I F Oメモリ内に1個以上有るか / 空かを示すステータスフラグE M P（前3 - 12項）をポーリングするか、または同ステータスによる割り込みを使用します。

《読み込み操作例》

```
ADL = inp (BASE+0x0) ; /* ADL = 下位バイト・データ (D7~D0) */
ADH = inp (BASE+0x0) ; /* ADH = 上位バイト・データ (D15~D8) */
```

- (2) 80286以上のCPU搭載パソコンでは複数のデータを連続して読み出し、パソコン側のメモリに転送するブロック入力転送命令（INSB命令）を使用することができます。

この場合はF I F Oメモリ内に蓄積されたA DデータがF I F Oメモリ容量の 半分 + 1以上か / 未満かを示すステータスフラグH L F（前3 - 12項）をポーリングするか、または同ステータス変化による割り込みを使用します。

```
《ブロックIN命令》  mov    dx, (BASE+0x0) ; /* 読み出しポート */
                   mov    ecx, count ; /* 読み出しデータ数 x 2 */
                   mov    edi, dest ; /* データ格納先アドレス先頭 */
                   cld
                   rep insb ; /* データ転送 */
```

（期待転送速度 = 800 Kword / sec 程度。）

A Dデータ読み出しアルゴリズム作成上の注意

F I F OメモリからA Dデータを読み出すときに監視・参照するフラグにはNot-Empty、Half-Full、各回サンプリングスキャン終了などがあります。 Half-Full フラグはもっぱらF I F Oメモリ容量の半分単位でブロック転送（INSW命令）するときに使用し、Not-Emptyと各回サンプリングスキャン終了フラグは時々刻々の読み出しに使用されます。

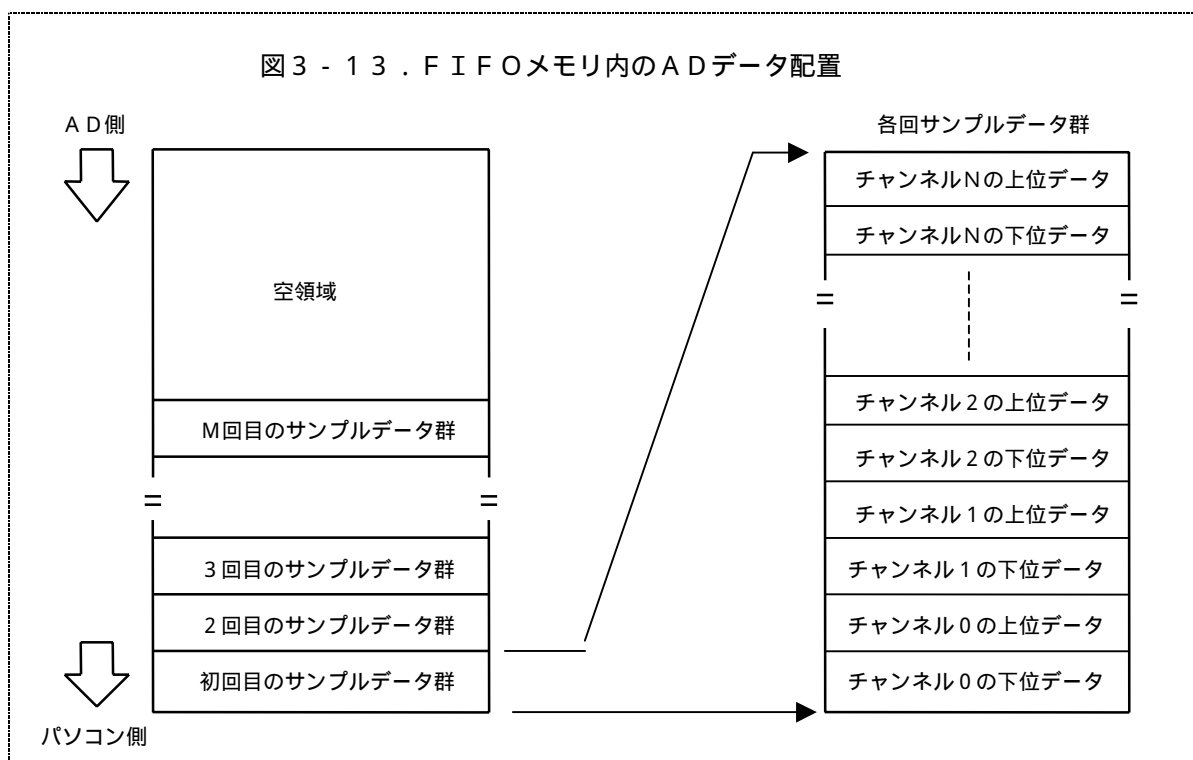
注意すべきは Not-Empty の使用法で、複数チャンネルを使用しているときに当フラグを検出して複数データの読み出し操作を行うと（ソフト実行速度が速い場合）後順チャンネルのA Dデータが未だ入力されていないのに読んでしまうことが起こり得ます。

各回サンプリングスキャン終了フラグを利用すれば、当フラグの検出時には既に指定チャンネル分のA Dデータが存在するので確実に読み出すことができます。

エラーが発生するときは、

本ボード搭載のF I F Oメモリ入力速度（使用チャンネル数 × サンプル周波数）が出力側の読み出し速度（パソコン側へのデータ転送速度）より速いときは、同メモリの充満量が次第に増えてゆき、ついにはオーバーフローを起こしてエラー（ERR）フラグが立ちます。

当時点以降にサンプリングされた新データは全て消失されますが【ここでトリガ禁止操作によりサンプリング動作を止めれば】F I F Oメモリ内の残りデータは全て有効に読み出すことができます。 【注】オーバーフロー発生がブロック転送実行タイミングと重なった場合は、F I F Oメモリ末尾側に最大1ブロック転送分の空領域を残すような形となります。



3-14 . 割り込み制御

```
outp (BASE + 4, irm); /* inm : 割り込み要求の発生要因制御 */
```

本ボードからパソコン本体内部割り込みコントローラに発信する割り込み要求の発生要因を制御します。複数の要因を許可するとOR動作となります。なお本ボードで割り込みを使用するにはインストール時にリソースを取得しておく必要があります。(1-6項/インストール/参照)

【割り込みを使用しない場合は操作不要です。/読み飛ばしてください。】

表3-14 . 【BASE + 4】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	外部割り込み信号 (INT-IN) の有効極性指定	(+)	(-)	0
B 6	(FIFO) HALF-FULL 状態に変化 による割り込み	許可	禁止	0
B 5	(FIFO) Not-EMPTY 状態に変化 による割り込み	許可	禁止	0
B 4	各回マルチサンプリング終了 による割り込み	許可	禁止	0
B 3	各回サンプリング・スキャン終了 による割り込み	許可	禁止	0
B 2	トリガ発生 による割り込み	許可	禁止	0
B 1	外部割り込み信号 (INT-IN) による割り込み	許可	禁止	0
B 0	連続サンプリング・クロック による割り込み	許可	禁止	0

《 補助説明 》

- B 7 : 外部割り込み信号 (INT-IN) が許可された場合の信号エッジ極性 () 指定。
- B 6 : FIFOメモリ内の待機データが半分 (標準 1K 語のとき 512) を超えた状態が発生したタイミングによる割り込み制御。
- B 5 : FIFOメモリ内が空から 1 データ入ったタイミングによる割り込み制御。
- B 0 : 指定クロックの有効エッジによる割り込み制御。
(各回サンプリング・スキャン開始タイミングによる割り込み制御。)

実際に割り込みを使用するには、 割り込みリソースを取得する。(1-5項)
割り込み処理サブルーチンを用意する。
ドライバで割り込みを使用するように設定する。

このあと当割り込み制御ポートに書き込みを行います。WINDOWSでは割り込みコントローラ素子(パソコン本体内部)をアプリケーションで直接操作することはせず、デバイスドライバが事前事後の処理と応答操作を行い、アプリケーションには通知と戻りのメッセージ交換で対処します。具体的には本ボード付属のCサンプルの該当部分を参照してください。
《添付のデバイスドライバを使用した例》

3 - 15 . 割り込み要求クリア

```
outp (BASE + 1, 0x0) ; /* 割り込み要求信号クリア (出力禁止) */
outp (BASE + 1, 0x1) ; /* 割り込み要求信号出力許可 */
```

本ボードからパソコン本体内部割り込みコントローラに発信する割り込み要求信号出力はソフト（ボードのドライバ）上でクリア操作する必要があります。すなわち、PCIバスの割り込み信号はクリア操作まで割り込み要求状態を保持する“レベル動作”です。

また当ポートはラッチポートですからビットB0で出力禁止（クリア）操作を行うと当状態は保持され、次の割り込み信号が出力できない状態です。これを解消するには再度ビットB0をセット（= 1）する操作が必要です。

《WINDOWSでは通常、この操作はデバイスドライバ内で行います。》

表 3 - 15 . 【BASE + 1】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7	未使用			0
B 6				0
B 5				0
B 4				0
B 3				0
B 2				0
B 1				0
B 0	PCIバス上への割り込み信号出力制御	出力許可	出力禁止（クリア）	0

3-16．マスタスレーブ動作（本機添付の新ハンドラ関数で対応）

複数の本ボード（最大7枚）を同一クロックで同期運転することもできます。

この場合、トリガを検出するボードをマスタ、他のボードをスレーブとします。

スレーブはマスタからのクロックを受けて同期をとりますが、サンプリングタイミングに最大125nsの遅れが生じます。接続・操作は以下のとおり。

ボード上の設定

各ボードを1枚ずつインストールし、直後に割り当てられたリソース（I/Oアドレス）とPCIバス番号・デバイス番号を確認・記録する。／各ボードに認識ラベルを付すとよい。

マスタボード上のDIPスイッチSW-BNの設定値を“0”に、以下、スレーブ各機は順次“1”“2”“3”……“7”に設定する。／重複禁止／

ボード間の接続等

マスタ機のクロック出力《CLK-OUT》をスレーブ各機のクロック入力《CLK-IN》に接続するだけである。（図3-16参照）

マスタ機は外部クロック源、外部（デジタル）トリガを使用することもできる。

ソフトウェア

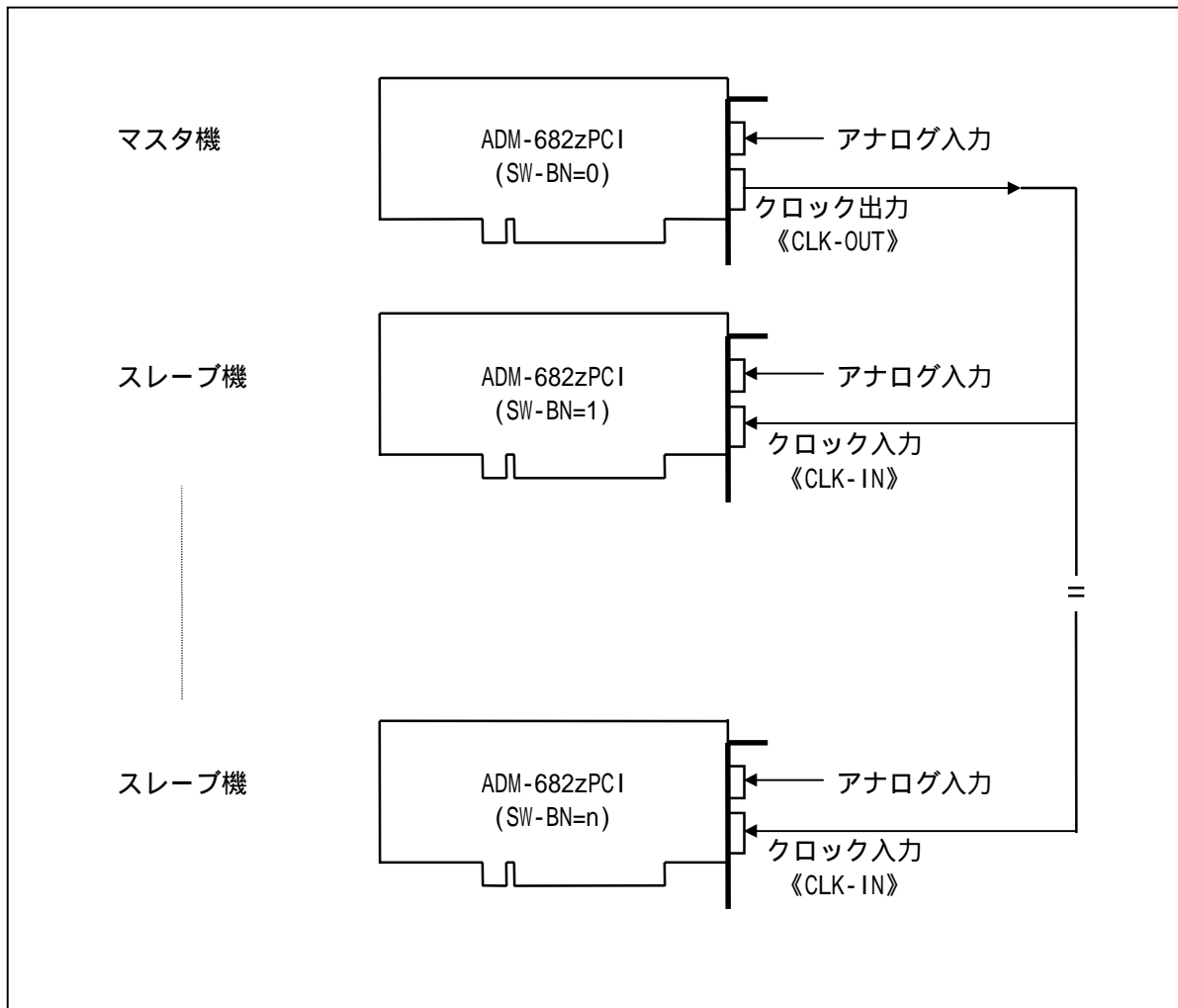
スレーブ各機のクロック源は外部に設定（3-7項）、またクロック源の分周比は1/1に設定（3-8項）しておく。

スレーブ各機の内部（アナログ）トリガ、および外部トリガは禁止としておく。

マスタ機は単独動作時と同様に（何の制限もなく）条件設定できる。

連続サンプリング動作のスタート操作はスレーブ各機を（ソフトトリガで）先に、最後にマスタ機を（任意のトリガ条件で）行う。連続サンプリング開始後はマスタ機のステータスを監視しながら適時、各機からのADデータを読み出す。

図3-16. マスタスレーブ接続による複数ボードの並列・同期運転



マスタスレーブ動作の概要

- (1) スレーブ各機をソフトトリガで即スタートさせると外部クロック入力による連続サンプリング動作となるが、この時点ではマスタ機からのクロック入力待ち状態である。
- (2) マスタ機が（設定した）トリガにより連続サンプリングが開始されるとマスタ機から有効なクロック信号が出力され、これがスレーブ各機（最大7枚）に入力されて同期サンプリングが実行される。／この間の遅れ時間は最大125nsである。／
- (3) 以後はマスタ機のステータスを監視しながら適時、各機のFIFOバッファメモリからADデータを読み出す。マスタを含めて各機は自身の最高速度で連続サンプリングできるが、バスの現実的な転送速度による制限と各機の搭載メモリ容量（標準＝1K語）で実際に可能な最高サンプリング速度が決まる。
／搭載メモリ容量までは無条件にボード自体の最高速度で動作可能。／

3-17. 汎用デジタル入出力

```
d i n = i n p ( B A S E + 10 ) ; /* 汎用1ビットTTL (現在値)入力 */
```

表3-17A. 【BASE+10】入力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用		
B 0	I 0 : 汎用デジタル入力ビット 0	H i g h (開放)	L O W (0 v レベル)

```
o u t p ( B A S E + 10 , d o u t ) ; /* 汎用1ビット (ラッチ) 出力 */
```

表3-17B. 【BASE+10】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B 7 B 6 B 5 B 4 B 3 B 2 B 1	未使用			
B 0	Q 0 : 汎用デジタル出力ビット 0	H i g h	L o w	0

【注1】 電源投入、またはハードウェアリセット直後の汎用デジタル出力は“0”ですが、ソフト的な制御部リセット操作(3-4項)ではクリアされません。

【注2】 汎用デジタル出力の論理はボード上のスイッチS-POLにより任意に設定することができます。また、出力レベルはボード上のスイッチS-PUPで1Kのプルアップ(U側:標準)、またはオープンコレクタ(O側)を選択できます。
(1-2項、2-4項参照)

3-18. 外付・同時サンプルホールド制御

複数チャンネル同時サンプルホールド回路を外付け接続する場合のサンプリング・スキャン開始タイミング調整オプションです。（使用する場合は当ポートのビットB0 = 1に設定する。）

なお外付サンプルホールドを使用しなくても本ボード内で各チャンネルは逐次サンプルホールド & A/D変換される動作です。

【注】S/H信号出力は出荷時：非接続（2-4項参照）

outp(BASE+12, shc); /* shc: S/H制御信号出力モード */

表3-18A. 【BASE+12】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	リセット時
B15 ~ B2	未使用			
B0	S/H: サンプルホールド信号出力	タイミング調整する	タイミング調整なし	0

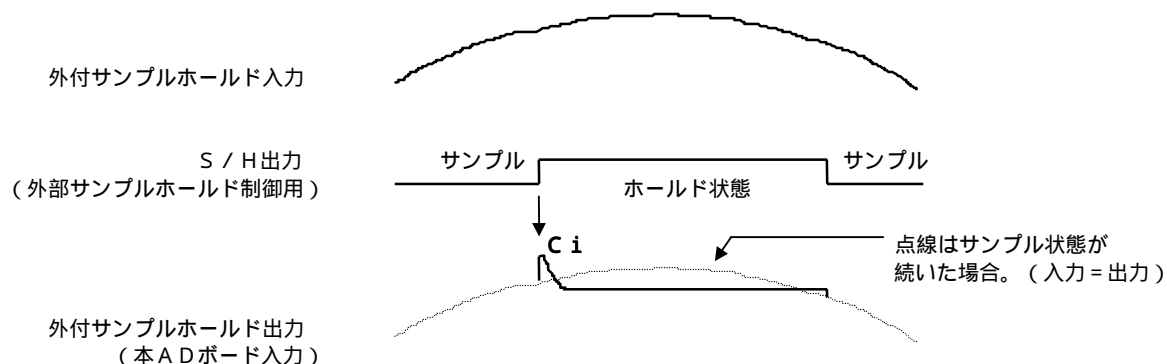
本A/Dボードには外付のサンプルホールドユニット（SHU-516）を接続して同時サンプリングを実現するための制御信号S/H出力があります。

（4チャンネル以内の利用ならオンボードオプションのSHU-004BRDも使用可能。）

本ポートのビットB0 = 0のときは、

このS/H信号出力がサンプリングスキャン開始と同時に立上りますが、そのままではチャージインジェクションという（サンプルホールド回路特有の）現象によってスキャン先頭チャンネルの値が数mV分の誤差を含んでしまいます。（図3-18Aの“Ci”）

図3-18A. チャージインジェクションの様子



この誤差を減少させるにはホールド・タイミング（S/H信号の立上り）から先頭チャンネルのA/D変換開始までに（誤差が解消する）時間をおけばよいのです。そこで、

本ポートのビットB0 = 1にしておく、

S/H信号出力立上り直後に約1μsの時間を挿入してからサンプリング・スキャン開始となるように動作します。チャージ・インジェクションの影響は理論的にゼロとはなりませんが、実用的な水準を得るための時間です。

当オプションはサンプリング・スキャン開始を約1μs遅らせるだけですが、この分だけ時間を必要とするため可能な最高サンプリングが低下することに御注意ください。

図3-18B. 1回ADサンプリング・スキャン vs S/H出力

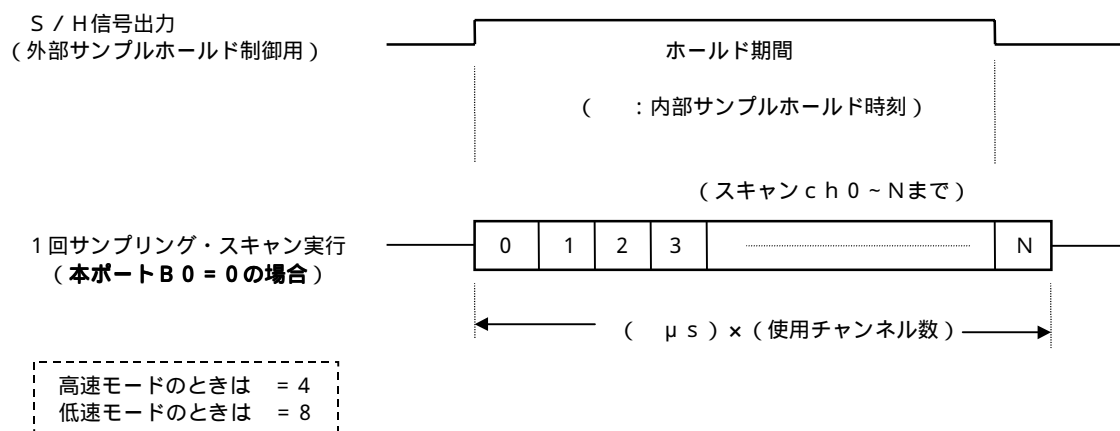
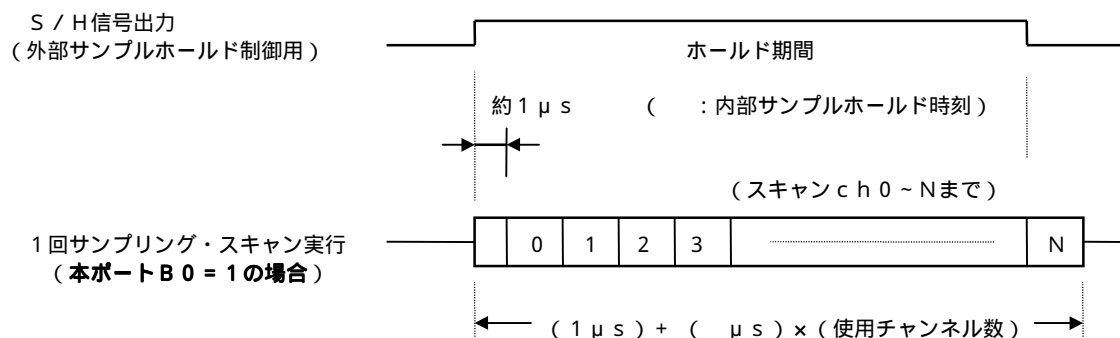


図3-18C. 1回ADサンプリング・スキャン vs S/H出力



最高サンプリング速度： ADボードと組み合わせたときの実現可能な最速周期は、使用するADボードの1スキャン・サンプリング実行時間に本機の必要とするアキュイジション時間5 μs (20 Vステップで0.01%到達時間)を加算した値です。

但し当社製の適合ADボード各機は1スキャン・サンプリング実行プロセス中、最終チャンネルのAD変換開始と同時にS/H信号出力がLOW(アキュイジション状態)になります。(図3-18C参照)

したがってサンプリング時間が5 μs / ch以上のADボードでは本機の必要とするアキュイジション時間は1スキャン・サンプリング実行プロセス中にオーバーラップするので計算上は無視できます。

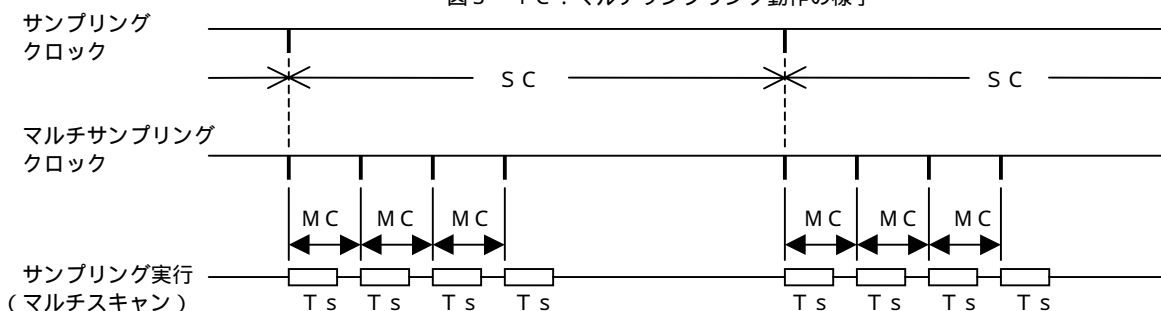
表3-18B. SHU-004/516と組み合わせたときの最高サンプリング周期

使用チャンネル数	1 ch	2 ch	4 ch	8 ch	16 ch
ADM-680xPCI	6 μs	10 μs	18 μs	34 μs	
ADM-681PCI	6 μs	7 μs	9 μs	13 μs	21 μs
ADM-682zPCI	6 μs	10 μs	18 μs	34 μs	66 μs
ADM-686zPCI	6 μs	11 μs	21 μs	41 μs	81 μs
ADM-676PCI	6 μs	11 μs	21 μs	41 μs	81 μs

当表値の逆数が最高サンプリング周波数です。

以降の 3-19 / 3-20 / 3-21 項はマルチサンプリング機能にのみ必要な設定です。
同機能を使用しない場合は何もする必要が無く、旧機 ADM - 682zPCI と同一に使用
することができます。

図 3-1C. マルチサンプリング動作の様子



SC : 通常のサンプリングクロック、MC : マルチサンプリングクロック【3-21項参照】

Ts : 1 スキャン時間 = (スキャン速度) × (使用チャンネル数)

スキャン速度 = 8 μs / 低速モード、または 4 μs / 高速モード【3-5項参照】

【注1】マルチサンプリング・クロック周期MCの最小値 = 1 スキャン時間 = (使用チャンネル数) × (スキャン速度)

【注2】サンプリング・クロック周期SCの最小値 = (使用チャンネル数) × (スキャン速度) × (マルチスキャン回数)

3-19. マルチサンプリング回数指定 (= マルチスキャン回数)

マルチサンプリング機能を使用時に、通常のサンプリングクロック到来ごとにサンプリング
スキャン (指定チャンネル群に対して各 1 回 A/D 変換する動作) を実行する回数を指定します。

当レジスタの初期値 = 1 で、この場合は、マルチサンプリングではない通常のサンプリング
動作になります。(= 0 の指定は禁止)

```
outp (BASE + D, cnt 0); /* マルチサンプリング回数値 (最下位バイト) */
outp (BASE + D, cnt 1); /* マルチサンプリング回数値 (中下位バイト) */
outp (BASE + D, cnt 2); /* マルチサンプリング回数値 (中上位バイト) */
outp (BASE + D, cnt 3); /* マルチサンプリング回数値 (最上位バイト) */
```

マルチサンプリング回数指定データをカウンタ (BASE + DH アドレス) に書き込みます。

必ず 4 バイト続けて書き込んでください。

計数は 32 ビットのバイナリ・ダウンカウンタ 1 本で行われ、計数値 “0” に達すると 1 回の
マルチサンプリング動作が終了し、次回は再び設定値からダウンカウントされる動作です。

表 3-19. 【BASE + D】出力ポートの構成

ビット	(最下位バイト)	(中下位バイト)	(中上位バイト)	(最上位バイト)
B 7	回数指定データ D 7	回数指定データ D 15	回数指定データ D 23	回数指定データ D 31
B 6	" " D 6	" " D 14	" " D 22	" " D 30
B 5	" " D 5	" " D 13	" " D 21	" " D 29
B 4	" " D 4	" " D 12	" " D 20	" " D 28
B 3	" " D 3	" " D 11	" " D 19	" " D 27
B 2	" " D 2	" " D 10	" " D 18	" " D 26
B 1	" " D 1	" " D 9	" " D 17	" " D 25
B 0	" " D 0	" " D 8	" " D 16	" " D 24

【注】本ボード内でハード的に平均処理を行う (設定: 次 3-20 項) ときの最大データ数は
255 です。

【マルチサンプリング機能を使用しない場合は操作不要です。 / 読み飛ばしてください。】

3-20 . マルチサンプリング・クロック源の選択

output (BASE + E , mcs) ; /* mcs : マルチサンプリング・クロック源指定 */

ここで選択されたクロック源信号は次項で説明するプログラマブルカウンタにより分周されて目的のマルチサンプリング・クロックとなります。例えば外部（汎用デジタル入力D0）を選択し、分周比を1 / 1に設定すれば、外部イベントに同期したサンプリングとなります。

表3-20A . 【BASE + E】出力ポートの構成

ビット	各ビットの機能・意味	= 1 のとき	= 0 のとき	ビット時
B 7	外部クロック源（使用時）の有効極性指定	(+)	(-)	0
B 6	未使用			0
B 5				0
B 4	クロック源選択（外部 / 内部 10MHz）	外部【注1】	内部	0
B 3	未使用			0
B 2				0
B 1				0
B 0	本機内で平均化処理の実行の有無【注2】	実行する	実行しない	0

【注1】 マルチサンプリング・クロック源の“外部”とは“汎用デジタル入力D0”のことで、通常のサンプリングクロック用の“外部クロック源入力CLK-IN”とは違いますので御注意ください。

【注2】 “実行しない”とした場合、マルチサンプリングにより取得された複数回分のデータは生のままFIFOバッファメモリに入り、以下ソフトの処理に任せられます。すなわち、これらのデータを雑音除去の平均化処理するか、連続測定 of 1 サイクル分として使用するかは任意となります。

“実行する”とした場合、マルチサンプリングにより取得された複数回分のデータは本ボード内部で平均化処理され、1 データとしてFIFOバッファメモリに入ります。

この場合の全データ数はマルチサンプリング機能を使用しない従来と同一になります。

本ボード内でのハード的平均化機能を使用するときの最大マルチサンプリング回数は255です。なお平均化処理は一瞬なので、対応ソフトはパラメータ指定のみでよく、実行時間の配慮は不要です。

【マルチサンプリング機能を使用しない場合は操作不要です。 / 読み飛ばしてください。】

3-21. (マルチサンプリング・クロック源の) 分周比指定

クロック源の分周比データを (BASE + F アドレスに) 書き込みます。

必ず4バイト続けて書き込んで下さい。

分周は32ビットのカウンタ1本で行われます。

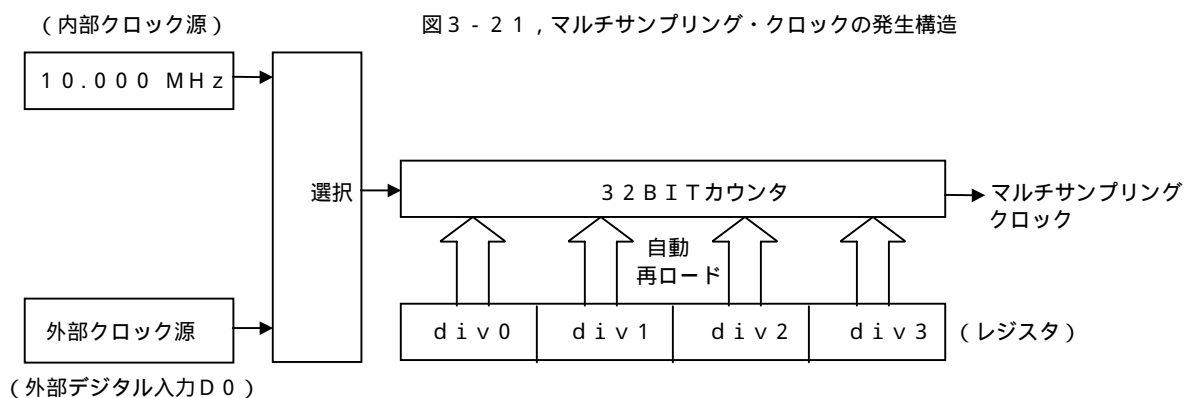
(カウンタ構成が通常のサンプリングクロック用: 16ビット×2と少し異なります。)

分周データは各専用レジスタに書き込まれます。

```
outp (BASE + F, div0); /* div0: 分周比 (最下位バイト) */
outp (BASE + F, div1); /* div1: 分周比 (中下位バイト) */
outp (BASE + F, div2); /* div2: 分周比 (中上位バイト) */
outp (BASE + F, div3); /* div3: 分周比 (最上位バイト) */
```

表3-21. 【BASE + F】出力ポートの構成

ビット	(最下位バイト)	(中下位バイト)	(中上位バイト)	(最上位バイト)
B 7	分周比データ D 7	分周比データ D 15	分周比データ D 23	分周比データ D 31
B 6	" " D 6	" " D 14	" " D 22	" " D 30
B 5	" " D 5	" " D 13	" " D 21	" " D 29
B 4	" " D 4	" " D 12	" " D 20	" " D 28
B 3	" " D 3	" " D 11	" " D 19	" " D 27
B 2	" " D 2	" " D 10	" " D 18	" " D 26
B 1	" " D 1	" " D 9	" " D 17	" " D 25
B 0	" " D 0	" " D 8	" " D 16	" " D 24



《分周動作》 各回の連続サンプリングクロック到来を認識すると分周動作が開始されます。

レジスタからカウンタにロードされた分周比データはクロック源周期ごとにダウンカウントされて行き、0に達するとタイミング信号を発生させると同時に再びレジスタからカウンタにロードされる繰り返しとなります。

このタイミング信号が各回サンプリング・スキャンの実行開始タイミングとなります。

【注】

マルチサンプリング・クロック設定周期の最小値 = (使用チャンネル数) × (スキャン速度)
(スキャン速度: 4 μs / 高速モード、4 μs / 低速モード)

